'95 THE 74SERIES IC MANUAL

最新74シリーズIC規格表

定価1,200円

TTL、HCMOS、Advanced CMOS、Bi-CMOS

半導体規格表シリーズ(全20冊)

No.8

DEALER'S GUIDE

ディーラ，ショップ名 \ デバイス・メーカ名	ACTEL	ADVANCED MICRO DEVICES	ALTERA	アルプスエルエスアイテクノロジーズ	ANADIGICS	ANALOG DEVICES	APEX MICROTECH	APPLIED MICRO CIRCUITS	旭化成マイクロシステム	BROOKTREE	BURR BROWN	キャノン	キャノンコンポーネンツ	CYPRESS SEMICONDUCTOR	DALLAS SEMICONDUCTOR	DATEL	DIGITAL EQUIPMENT	ELANTEC
アロマン(株)	●	●	●			●			●	●	●	●		●	●	●		
今永電機産業(株)																		
極東貿易(株)							●											
清友電子(株)						●					●					●		
(株)千石電商											●	●						
第一商事(株)																		
テクセル(株)	●	●		●	●			●			●		●				●	
(株)テレビイ商会																		
(株)十一電気商会																		
(株)東通販						●					●					●		
マイクロテック(株)		●													●			●

ディーラ，ショップ名 \ デバイス・メーカ名	富士通	GENERAL INSTRUMENT	GOLD STAR(金星電子)	浜松ホトニクス	HARRIS	HEWLETT PACKARD	HI-SINCERITY MICRO ELECTRONICS	日立製作所	HYUNDAI ELECTRONICS(現代電子)	INTEGRATED DEVICE TECHNOLOGY	INTEL	泉シーアールボックス	LATTICE SEMICONDUCTOR	LINEAR TECHNOLOGY	LORAL FAIRCHILD SYSTEMS	MAXIM INTEGRATED PRODUCTS	MICROCHIP TECHNOLOGY	電話番号
アロマン(株)	●	●	●	●	●	●		●	●	●	●		●	●		●	●	044-934-0034
今永電機産業(株)																		06-974-1111
極東貿易(株)																		03-3244-3793
清友電子(株)	●	●			●			●			●		●			●		03-3864-6131
(株)千石電商	●	●		●				●										03-3253-4411
第一商事(株)																		03-3591-7840
テクセル(株)	●											●			●			03-5467-9000
(株)テレビイ商会							●											03-3253-3861
(株)十一電気商会	●				●			●										06-211-4107
(株)東通販	●	●		●	●			●					●	●		●		03-3255-1051
マイクロテック(株)																●		03-5300-5535

ディーラ，ショップ名 \ デバイス・メーカ名	MICRO LINEAR	ミツミ電機	三菱電機	MOSEL-VITELIC	MOSPEC SEMICONDUCTOR	MOTOROLA	MUSIC SEMICONDUCTOR	MX-COM	NATIONAL SEMICONDUCTOR	NEC	日本無線	OAK TECHNOLOGY	沖電気工業	オリジン電気	PHILIPS	PLESSY SEMICONDUCTOR	PRECISION MONOLITHICS	RAYTHEON SEMICONDUCTOR
アロマン(株)	●	●	●			●			●	●	●	●	●	●	●	●	●	●
今永電機産業(株)																		
極東貿易(株)																		
清友電子(株)		●	●		●	●			●	●	●		●	●	●			●
(株)千石電商		●	●			●			●	●			●	●				
第一商事(株)																		
テクセル(株)				●				●										●
(株)テレビイ商会																		
(株)十一電気商会		●	●							●								●
(株)東通販		●				●			●	●			●	●	●			
マイクロテック(株)				●			●					●						

ディーラ，ショップ名 \ デバイス・メーカ名	RCA	RECTRON	リコー	ローム	三洋電機	セイコー電子工業	セイコーエプソン	SEMIKRON	SGS-THOMSON MICROELECTRONICS	シャープ	SIPEX	S3	新日本無線	新日本製鐵	ソニー	SUPERTEX	TELEDYNE SEMICONDUCTOR	電話番号
アロマン(株)		●	●	●	●	●	●	●	●	●	●	●	●		●		●	044-934-0034
今永電機産業(株)																		06-974-1111
極東貿易(株)																		03-3244-3793
清友電子(株)	●			●	●	●	●		●	●			●		●		●	03-3864-6131
(株)千石電商		●		●	●	●			●	●			●		●			03-3253-4411
第一商事(株)																		03-3591-7840
テクセル(株)			●	●					●					●				03-5467-9000
(株)テレビイ商会																		03-3253-3861
(株)十一電気商会		●			●	●			●				●					06-211-4107
(株)東通販				●	●	●	●		●	●			●		●		●	03-3255-1051
マイクロテック(株)																●		03-5300-5535

ディーラ，ショップ名	デバイス・メーカ名 TEXAS INSTRUMENTS	東光	トーキン	東芝	UMC	ユニデン	ヤマハ	ZILOG	その他の電子部品名 抵抗器	ダブル・バランスド・ミキサ	コンデンサ	トランス，コイル	フィルタ	スイッチ	リレー	モータ，ファン，ブロア	センサ	振動子，発振子	EMI対策用部品	プリント基板，積層板	コネクタ	ケーブル	筐体，シャーシ	ソケット，端子部品	電源機器	電話番号
アロマン(株)	●	●	●	●	●	●	●	●			●	●	●	●	●		●	●			●			●	●	044-934-0034
今永電機産業(株)									●		●	●	●	●	●		●	●	●	●	●	●	●	●	●	06-974-1111
極東貿易(株)																										03-3244-3793
清友電子(株)	●	●	●	●		●		●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	03-3864-6131
(株)千石電商	●	●	●	●		●			●		●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	03-3253-4411
第一商事(株)																						●				03-3591-7840
テクセル(株)								●																		03-5467-9000
(株)テレビイ商会																										03-3253-3861
(株)十一電気商会				●					●		●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	06-211-4107
(株)東通販	●	●	●	●					●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	03-3255-1051
マイクロテック(株)																										03-5300-5535

74シリーズIC規格表

—TTL，HCMOS，Advanced CMOS，Bi-CMOS—

◆規格表ご利用の際のお願い◆

本規格表のデータはメーカー発表の資料に基づいて作成しておりますが，メーカーでは改良などのために予告なく仕様が変更されることがあり，また，データ量が多いため編集の都合で省略している場合などがあります．したがって，実際に素子を使用して製品を生産される場合などは，当該メーカーにお問合せの上，必ず仕様をご確認ください．本書に記載されたデータによって生じた不具合などについては，小社ならびに著作権者は責任を負いかねますのでご了承ください．

◆規格表のあらまし

この74シリーズIC規格表は，各ICメーカが出している部厚い74シリーズICマニュアルを何冊もいちいちひっくり返さなくとも，手近にピン配列や等価回路，消費電流など，回路設計に必要なデータが得られることを目的としています．このため1品種1ページを原則として，ICの名称からすぐそのICの規格を知ることができるようになっています．

ICは74シリーズの番号順に並べてあります．同一ページに，TTLのNormal，LS，ALS，ALS1000番台，Fast，S，AS，HC/HCT‐MOS，FAST‐CMOS（AC/ACT），Bi-CMOS(BC/BCT)のデータを入れてあります．TTLのH，Lタイプはあまり使われないし，新しいファミリも増えそうにないため，紙面のつごうで割愛しました．

TI社以外の各社が自社のオリジナル品を出していて，74シリーズに入っていないものの中からよく使われるものは，1987年度版以前のTTL IC規格表に収録してあります．74シリーズがセカンド・ソース品である場合でも，ページの索引は74シリーズでとってあります．

1992年版から，TTLのスタンダードおよびLSしか供給がなく，しかも1，2社のみからしか供給していない型番は削除しましたので，それらのデータは1991年版以前の旧版を参照して下さい．

4000/4500シリーズのHC-MOSについては2品種を1頁にして74シリーズのあとに入れてあります．

PLDについては，メモリIC規格表のROM編に収録してあります．

形名のみあり，あまりセカンド・ソースがないものや，特別な用途のもの，64バイト以上のメモリは収録してありません．

各メーカの74シリーズのピン・コンパチブル品の供給状況は，各頁の表に記入してありますので，ここを参照してください．この表は各メーカの現状で，過去に供給されたものでも，現在ないものは無印です．

規格についてはTTL　ICはTI社，CMOSについてはMotorola社のものを代表としてとりあげ，等価回路や表のデータとしてあります．ただしACおよびBCについては，各社でかなり値がちがいますので，ギリギリの設計をする際は注意してください．信号名称はTI社の付けかたにならっています．なお各社によって製造方法や等価回路がちがうためV_{OH}やt_{pd}などが多少異なりますので，精度の高い設計を行うときは，各社から出ているマニュアルを参照してください．

図版と表の一部はミス・プリントを避けるために，TI社のマニュアルを主とし，一部Motorola社の図版を転載しました．TI社の図版の多くはコピーしてあります．その他の各社の図版はTI社の書き方に準拠して手を加えてあります．図版の使用許可をいただいたTI社とデータその他の転載を許可いただいた各ICメーカに謝意を表します．

74 シリーズ IC を活用するための規格表の見方

1 74 シリーズ IC

74 シリーズ IC はバイポーラのスタンダード TTL, ハイスピード(H)TTL, ローパワー(L)TTL, ショットキー(S)TTL, ローパワー・ショットキー(LS)TTL とそのシリーズが増え，さらに ALS, AS, F へとシリーズが追加されてきました.

このシリーズ中, H シリーズと L シリーズはすでに絶滅してしまいました. スタンダードは消費電力の点で，そうスピードの変わらない LS シリーズに移行しました. この移行により，ほとんどのスタンダード TTL は製造中止となっています.

また 74ALS1000 番台はバッファ・タイプなので別品種とせず，同一の機能のページへ組み込んであります. 74 シリーズとピン・コンパチブルな CMOS ロジックはすべて収録されています. TTL の LS シリーズ相当の 74HC(CMOS インターフェース), 74HCT(TTL インターフェース)および TTL の F シリーズ相当の 74AC, さらに高速なバイポーラ CMOS の 74BC が収録されています. その他 AS シリーズ相当の CMOS が一部メーカで作られていますが，ピン接続が 74 シリーズと異なるため，除外しました. 4000/4500 シリーズの IC でも HC, AC, BC シリーズがあり，74 シリーズにない便利なファンクションは収録しました. 74AS1000 番台は除外しました.

紙面のつごう上，表中のデータは min または max に限ってあります(　は typ 値).

2 外　形

TTL の外形は各メーカによっていろいろと異なっていますが，DIP(デュアル・イン・ライン・パッケージ)のピン・レイアウトは共通で，8 ピン，14 ピン，16 ピン，20 ピン，24 ピン，28 ピンが使われています. DIP ではピンとピンの間は 2.54 mm で，足の並びと並びの間は 24 ピンを境として，24 ピン未満が 7.62 mm 幅，24 ピン以上が倍の 15.24 mm 幅ですが，占有面積の低減のため 24 ピンの 7.62 mm 幅パッケージもあります. 巻末の用途別分類表では，前者を 24 W 後者を 24 S と区別してあります. 特に 74800 番台は，24 ピン・ワイド・タイプをスリム・タイプに置き換えたものが多いようです.

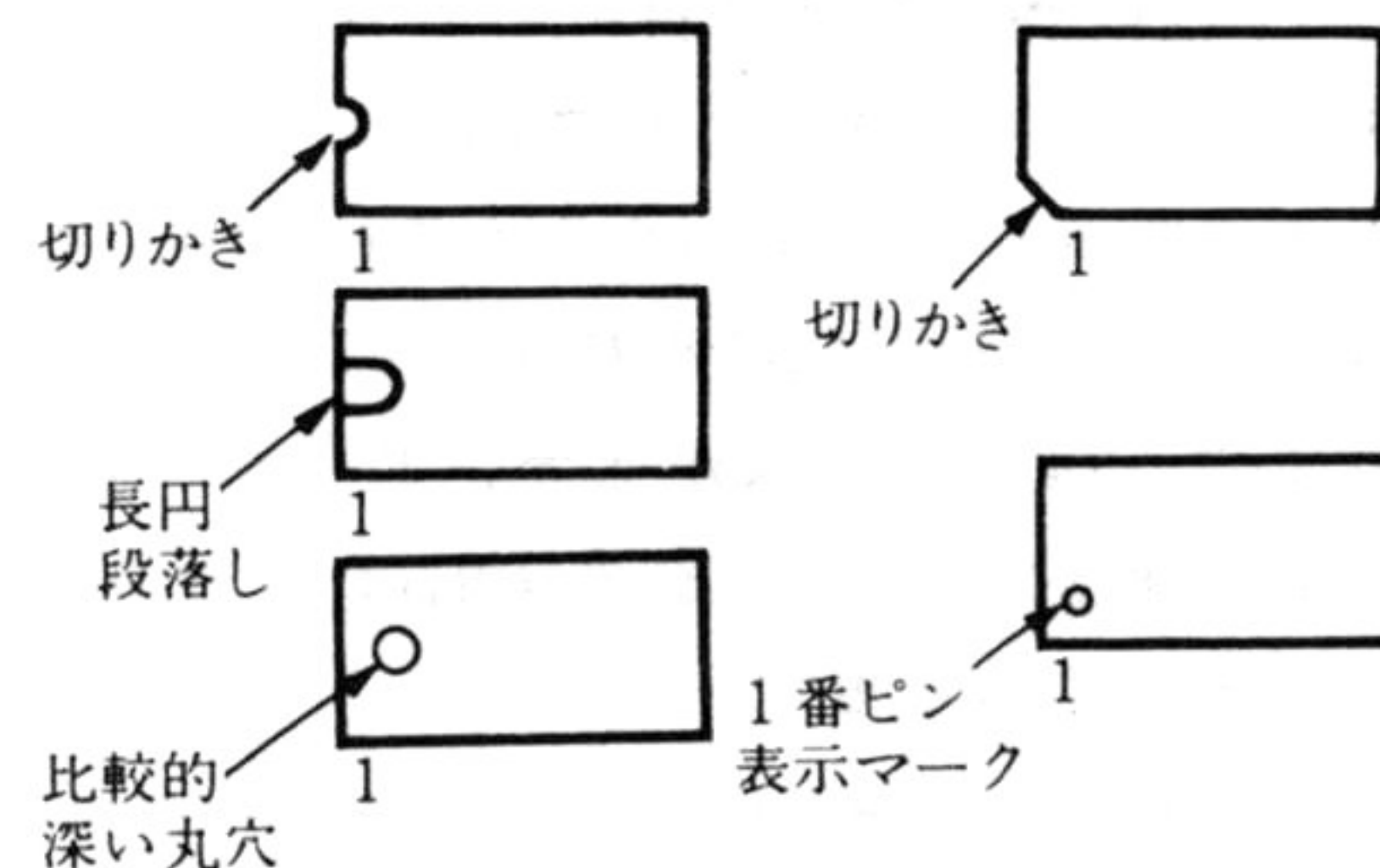
パッケージはこのほかミニ・フラット型がありますが，ピン・レイアウトは同じなので，DIP のみがのせてあります.

パッケージはセラミックとプラスチックがあり，一般的に前者は使用温度範囲が広く，特性的にきびしくなっています. 用途としては軍事用，宇宙航空用など特別なところです. この規格表では省いてあります.

IC は通常名称が読める向きに置いて，手前の左端のピンが 1 番で，そこから時計と逆まわりに番号を付けていきます. 規格表中の IC のピン・レイアウト図はぜんぶ IC を上から見た(TOP VIEW)ものですので，プリント基板に入れて，うらがわから見ると逆まわりとなりますから注意してください.

IC 名称の印字だけではあてにならないので，通常**図 1** のように 1 番ピンの側になんらかのマークが付いています.

〈図 1〉 1 番ピンの表示

切りかき 1
切りかき 1
長円段落し 1
比較的深い丸穴 1
1 番ピン表示マーク 1

3 用途別分類

74シリーズICは種類が非常に多いため，自分の必要なICをすぐ見つけることがたいへんです．このため，設計側の考えかたを中心にして，目的の用途に当てはまるICを早くさがせるよう，巻末に用途別分類を付けました．

ここでは一目でわかることを目的としたため，記号をたくさん使っていますので，ここで解説をしておきます．

(1) IC 機能名称

NOT : Not
INV BUFF : Inverting Buffer
BUFF : Buffer
INV, BUFF : Inverting Buffer & Non-Inverting Buffer
SENSE : Sense Amp
NAND : And-Inverter
AND : And
NOR : Or-Inverter
OR : Or
INV : Inverter
AOI : And-Or-Inverter
Exp : Expander
$\overline{RS}$: $\overline{RS}$ FlipFlop
D : D Latch, D FlipFlop
8B : 8bit(ほかの数字も同様)
EOR : Exclusive-OR
ENOR : Exclusive-NOR
JK : JK FlipFlop
MMV : Monostable Multi-Vibrator or Single Shot
VCO : Voltage Controlled Oscillator
FA : Full Adder
ALU : Arihmetic Logic Unit
ACC : Accumulator
CARRY : Carry Generator
TREE : Wallace Tree
COMP : Comparator
BCD : Binary Coded Decimal
EX3 : Excess Three Code
GRAY : Gray Code
7seg : 7 Segment decoded Signal
BCDC : BCD Counter
R : Register File
B : Bit, Binary
SISO : Serial In Serial Out
PISO : Parallel In Serial Out
PIPO : Parallel In Parallel Out
SIPO : Serial In Parallel Out
UPDOWN : Up Down Counter
FDIV : Frequency Divider
RAM : Random Access Memory

(2) 特徴

TP : トーテンポール出力
OC : オープン・コレクタ出力 (オープン・ドレイン出力)
3S : 3ステート出力
2W-2IN : 2 wide-2 input
2-3IN : 2 input AND +3 input AND
Nエッジ : ネガティブ・リーディング・エッジ・トリガ
Pエッジ : ポジティブ・リーディング・エッジ・トリガ
Pパルス : 正パルスで作動
Nパルス : 負パルスで作動
EN : Enable 端子
N出力 : 負論理出力
P出力 : 正論理出力
G : ゲート入力
ゲートH : ゲート入力Hでセット
ゲートL : ゲート入力Lでセット
クリアL : クリア入力Lでクリア
クリアH : クリア入力Hでクリア

(3) その他

○機能名称の前の数字(例 2 JK，2×1 BFA)は1パッケージ当たりの収容回路数

○ビット数は 2 B，4 B，6 B，8 B と表示

○ナンバはプロセスによらず共通にとってある．

○表の中では負論理の表示に－(マイナス)符号を使っている

4 絶対定格

絶対定格は一時的にでもそれを越すとあとの性能は保証できないという性質のもので，電源の投入時などに越えないように設計しなければなりません．この定格はほとんどすべてのICに共通なので，おのおのの規格には書いてありません．**表1**にその大要を示します．

ショットキーのシリーズは入力回路はほとんどがDTL型(ダイオード・ロジック)ですが，TTL型(マルチエミッタ・トランジスタ)ですと耐圧が低くなります．最大消費電力はチップによって異なるため，共通ではありませんが，出力負荷を定格内で使っているかぎり，越えることはありません．

CMOSの消費電力は作動周波数で異なりますが，通常の用途では最大消費電力を越えることはありません．

また，入力電圧はラッチアップの関係で，電源電圧より大幅に上げることはできません．

5 記　号

規格表にはフルネームで書ききれないいろいろな信号，電圧，電流，時間などを略号で記入してあります．また規格表中では割愛したデータでも略号で一般的には呼ばれることが多いので，これらのフルネームと意味および大略の規格をここで解説しておきます．

(1) 信号入出力

A，B，C，D，E，F，G，H，I，(J，K，L，M)：ゲート入力信号，( )内は多入力ゲートで使用

G：ゲート信号(入力信号のストローブ)

Y：ゲート出力

X：ゲート部分出力(部分入力にも使う)

J，K：JKフリップフロップの入力．
Jはセット側，Kはリセット側

Q，$\bar{Q}$：フリップフロップの出力．
Qはセットしたとき H がでる出力
$\bar{Q}$ はリセット時に H となる出力

S，R：SRフリップフロップの入力．
Sはセット，Rはリセット

CK：Clock　クロック入力

CLR：Clear　クリア入力

PR：Preset　プリセット入力

D：Dフリップフロップの入力

E(EI)：Enable　入力信号のイネーブル

Σ：加算出力

C_n：キャリ入出力

R_o：リセット入力

MC：Mode Control　モード切り替え

Q_A～Q_H：レジスタ，カウンタの出力．
Q_Aが LSB，Q_H側が MSB になる

C_{ext}：外付けコンデンサ接続端子

R_{ext}：外付け抵抗接続端子

0～9：デコード出力，エンコード入力

a～g：デコード出力

L：Load　パラレル・セット信号

OE：Output Enable 出力を出す信号

CS：Chip Select IC の選択信号．
入力(アドレスの補強)

CE：Chip Enable IC を動作状態にする入力

V_{CC}：+5 V を印加する

GND：0 V につなぐ

NC：No Connection IC 内でなにもつながっていない

信号の前の数字は複数個同じ回路が入

っている場合の回路の番号です．信号のあとの数字は同じ回路の信号順についている番号です．２進モードの回路では数字の小さいほうがLSBで，数字の大きいほうがMSBです．

その他の記号はほとんどが具体的に書いてありますのでわかるでしょう．

(2) 信号形態

クロックやゲートの入力信号の形態は図2のように書き分けられています．

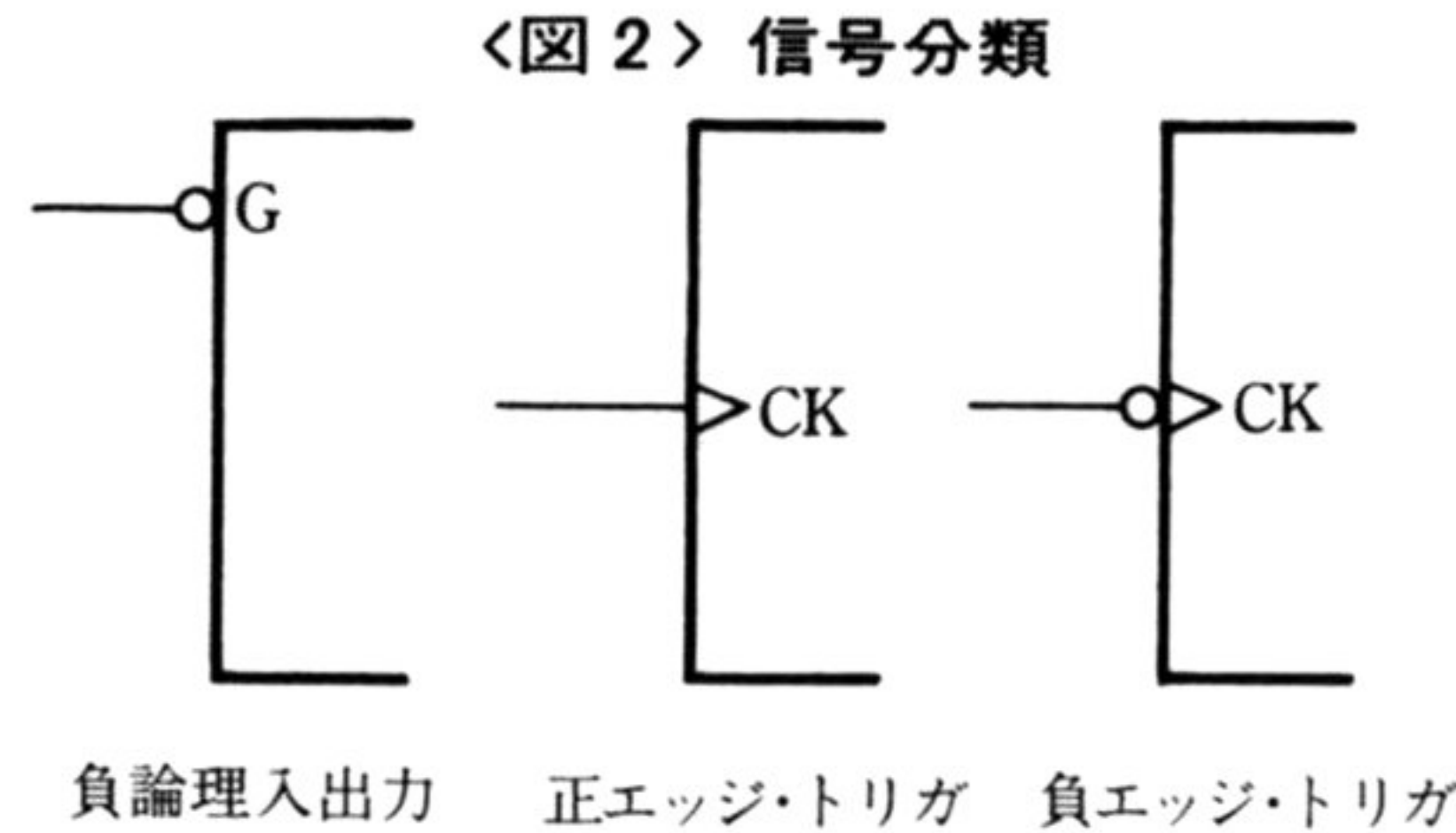
(3) 電流特性

I_{IH}：High Level input Current

入力をHレベルにしたときの入力電流．表中の入力電流特性に“H”と記入してある．

〈図2〉 信号分類

G　　CK　　CK

負論理入出力　　正エッジ・トリガ　　負エッジ・トリガ

	測定条件	
シリーズ名	V_{CC}(V)	V_{IH}(V)
N	5.25	2.4
LS, S, F	5.25	2.7
ALS, AS	5.5	2.7

CMOS入力(HC, AC, BC)では値はない．

I_{OH}：High Level Output Current

出力がHレベルと判定できるリミットまで流し出せる電流．表中の出力電流特性に“H”と記入してある．

25℃	測定条件	
シリーズ名	V_{CC}(V)	V_{OH}(V)
N-TTL	4.75	2.4
その他のTTL Bi-CMOS	4.75	2.7
CMOS (CMOSレベル)	4.5	3.94
CMOS (TTLレベル)	4.5	3.94

（CMOSの3.94は）一部メーカでは3.98V

CMOSレベル：HC，ACなど
TTLレベル：HCT，ACTなど

I_{IL}：Low Level Input Current

入力をLレベルにしたときの流れ出し電流．表中の入力電流特性に

〈表1〉 絶対定格

シリーズ名	スタンダード	LS(DTL型)	LS(TTL型)	S	ALS, AS	F	HC	AC	BC
供給電圧 V_{CC} (GNDピンとV_{CC}ピンの間) (V)	7	7	7	7	7	7	7	6	7
入力電圧 (V)	5.5	7	5.5	5.5	7	7	V_{CC}+1.5	V_{CC}+0.5	V_{CC}+0.5
オープン・コレクタ型のOFF時のコレクタ電圧（高耐圧型を除く） (V)	7	7	7	7	7	7	V_{CC}+0.5	V_{CC}+0.5	V_{CC}+0.5
3ステート型のOFF時出力ピン印加電圧 (V)	V_{CC}	7	7	V_{CC}	5.5	5.5	V_{CC}+0.5	V_{CC}+0.5	V_{CC}+0.5
動作温度（パッケージ表面）(プラスチック) (℃)	0～70	0～70	0～70	0～70	0～70	0～70	−40～+85	−40～+85	−40～+85
保存温度 (℃)	−65～150	−65～150	−65～150	−65～150	−65～150	−65～150	−65～+150	−65～150	−65～150

“L”と記入してある.

	測定条件	
シリーズ名	V_{CC}(V)	V_{IL}(V)
N, LS	5.25	0.4
S, F	5.25	0.5
ALS, AS	5.5	0.4

CMOS 入力(HC, AC, BC)では値はない.

I_{OL}：Low Level Output Current

出力がLレベルと判定できるリミットまで流し込める電流. 表中の出力電流特性に“L”と記入してある.

25°C	測定条件	
シリーズ名	V_{CC}(V)	V_{OL}(V)
N-TTL	4.75	0.4
その他の TTL	4.75	0.5
Bi-CMOS	4.5	0.5
CMOS (CMOSレベル)	4.5	0.36
CMOS (TTLレベル)	4.5	0.36

一部メーカでは0.26V

LS, ALS は2種の定格があり V_{OL} が0.4Vで測定すると0.5Vに比し I_{OL}は½になる(AS は⅔). ドライバなどは指定がちがうことがある.

$I_{O(OFF)}$：Off State Output Current

オープン・コレクタ型のICがOFFのときにコレクタに耐圧いっぱいの V_{OH}を加えたときに流れ込む電流. 表中では“H”で示してある.

測定条件V_{CC}：4.75 V

V_{OH}：5.5V, 15V, 30V, ほか

I_{OZ}：Off State Output Current

3ステート型のICがOFF(High-Z)のときに出力にHレベルまたはLレベルの電圧を加えて流れる電流.

25°C	測定条件		
シリーズ名	V_{CC}(V)	V_{OH}(V)	V_{OL}(V)
N	5.25	2.4	0.4
LS, S	5.25	2.7	0.5
F	5.25	2.5	0.5
ALS, AS	5.5	2.7	0.5
HC	5.5	V_{CC}	0
AC	5.5	V_{CC}	0
BC	5.5	2.7	0.5

I_{OS}：Short Circuit Output Current

出力がHのとき, 出力をGNDにショートしたときに出力に流れ出す電流. この値は表中にはリストをとっていない. 代表的には**表2**

〈表2〉 Ios 標準値

		I_{OS}	
シリーズ名	V_{CC}(V)	min(mA)	max(mA)
N	5.25	18	55
LS	5.25	20	100
S	5.25	40	100
F	5.25	60	150
ALS	5.5	15	70
AS	5.5	30	112
ALS1000	5.5	30	112
AS1000	5.5	50	200
HC	—	—	—
AC	—	—	—
BC	5.5	60	180

のようになる. 1パッケージ当たり同時に二つ以上の出力をショートしてはいけない. LS, Sタイプはショート時間は1秒以内のこと.

I_{CC}：Supply Current

供給電流. パッケージ単位で表しているため, 多回数のものは回路当たりの数値は小さくなる.

CMOSでは, 回路が静止しているときの電流が記入されている.

I_I：Input Current at Maximum Input Voltage

入力電圧を限界いっぱいに上げた時に流れ込む電流. 表中にはない.

	測定条件	I_I
シリーズ名	V_{CC}(V)	max(mA)
N，S	5.25	1
LS	5.25	0.1
F	5.25	0.6
ALS, AS	5.5	0.1

CMOS ではラッチアップが発生しないかぎり立て前上 0 mA

(4) 電圧特性

V_{IH}：High Level Input Voltage

H レベル入力電圧：

	V_{IH}	
シリーズ名	測定の時(V)	min(V)
N-TTL	2.4	2.0
ショットキーTTL	2.7	2.0
CMOS (TTLレベル)	2.0	2.0
CMOS (CMOSレベル)	3.15	3.15

V_{OH}：High Level Output Voltage

H レベルの出力電圧.

I_{OH}最大のときの V_{OH}は,

	V_{OH}	
シリーズ名	min(V)	typ(V)
N-TTL	2.4	3.4
その他のTTL	2.7	3.4
HC	3.94	$V_{CC}-0.36$
AC	3.94	$V_{CC}-0.36$
BC	2.7	3.4

（HC, AC：一部メーカでは3.98Vと $V_{CC}-0.26$V）

が一般的な値です.

V_{IK}：Input Clamp Voltage

入力が負電位になって，クランプ・ダイオードが入力電圧をクランプする電圧. CMOS 入力では入力制限ダイオードがクランプする. パターンや線路によるリンギングなどはこの電圧で押えられる. 表中にはない.

	測定条件	V_{IK}
シリーズ名	I_I(mA)	min(V)
N	12	−1.5
LS	18	−1.5
S	18	−1.2
ALS	18	−1.5
AS，F	18	−1.2

V_{IL}：Low Level Input Voltage

L レベル入力電圧.

	V_{IL}	
シリーズ名	測定の時(V)	max(V)
N，S	0.4	0.8
ほかのショットキーTTL	0.5	0.8
CMOS (TTLレベル)	0.8	0.8
CMOS (CMOSレベル)	0.9	0.9

スレッショルド電圧は 0.8 V.

V_{OL}：Low Level Output Voltage

L レベル出力電圧. 出力電流最大のときの V_{OL}は,

	V_{OL}	
シリーズ名	typ(V)	max(V)
N	0.2	0.4
LS, ALS, F	0.35	0.5
AS	0.25	0.5
HC	0.2	0.36
AC	—	0.36
BC	0.35	0.5

（HC, AC：一部メーカでは0.26V）

V_T：Threshold Input Voltage

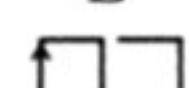
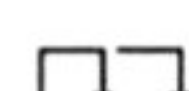
シュミット入力型のスレッショルド電圧. V_{T+}は入力が L から H になるときに発生するヒステリシスの上端. V_{T-}は同じく H から L へのヒステリシスの下端.

V_{CC}：Supply Voltage

供給電圧. TTL では最小 4.75 V, 最大 5.25 V. CMOS(TTL レベル)では最小 4.5 V, 最大 5.5 V.

(5) 信号の記号

H　：H レベルの電圧

L　：L レベルの電圧

X　：H，L どちらでもよい入力

Z　：3 ステートの OFF 状態

↑　：L から H への変化(ポジティブ・エ

〈表3〉 測定条件

	一般		バッファ		3ステート・バス・ドライブ		
	R_L (Ω)	C_L (pF)	R_L (Ω)	C_L (pF)	R_L (Ω)	C_L (pF)	R'_L (Ω)
N-TTL	400	15	133	45	400	50	1 k
LS	2 k	15	667	45	1 k	30	1 k
S	280	15/50	93	50/150	90	50	1 k
ALS/ALS1000	500	50	500	50	500	50	500
AS/AS1000	500	50	500	50	500	50	500
F	500	50	—	—	500	50	500
HC	∞	50	—	—	1 k	50	1 k
HCT	1 k	50	—	—	1 k	50	1 k
AC	500	50	—	—	500	50	500
ACT	500	50	—	—	500	50	500
BC	500	50	—	—	500	50	500
BCT	—	—	—	—	—	—	—

ッジ)

↓ ：HからLへの変化(ネガティブ・エッジ)

：正パルス

：負パルス

：Hレベルで有効

：Lレベルで有効

：ポジティブ・エッジ・トリガ

：ネガティブ・エッジ・トリガ

〈図3〉 t_{pd}の測定方法(25°C)

TEST POINT　V_{CC}　R_L　FROM OUTPUT UNDER TEST　C_L

TP出力用

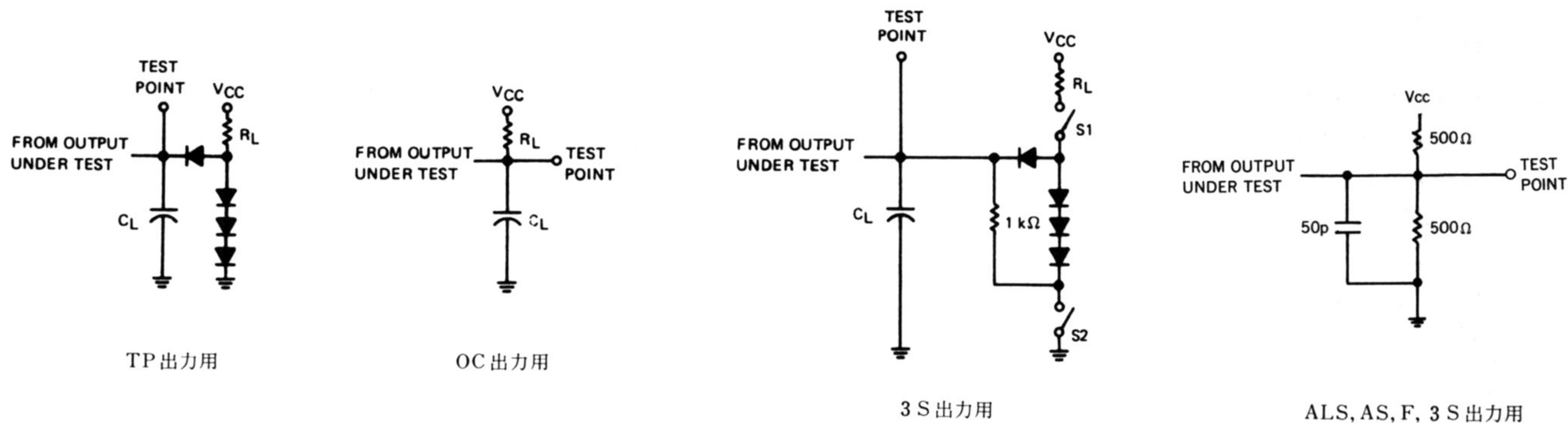
V_{CC}　R_L　FROM OUTPUT UNDER TEST　TEST POINT　C_L

OC出力用

TEST POINT　V_{CC}　R_L　S1　FROM OUTPUT UNDER TEST　C_L　1 kΩ　S2

3S出力用

Vcc　500Ω　FROM OUTPUT UNDER TEST　TEST POINT　50p　500Ω

ALS, AS, F, 3S出力用

6 トランジェント特性

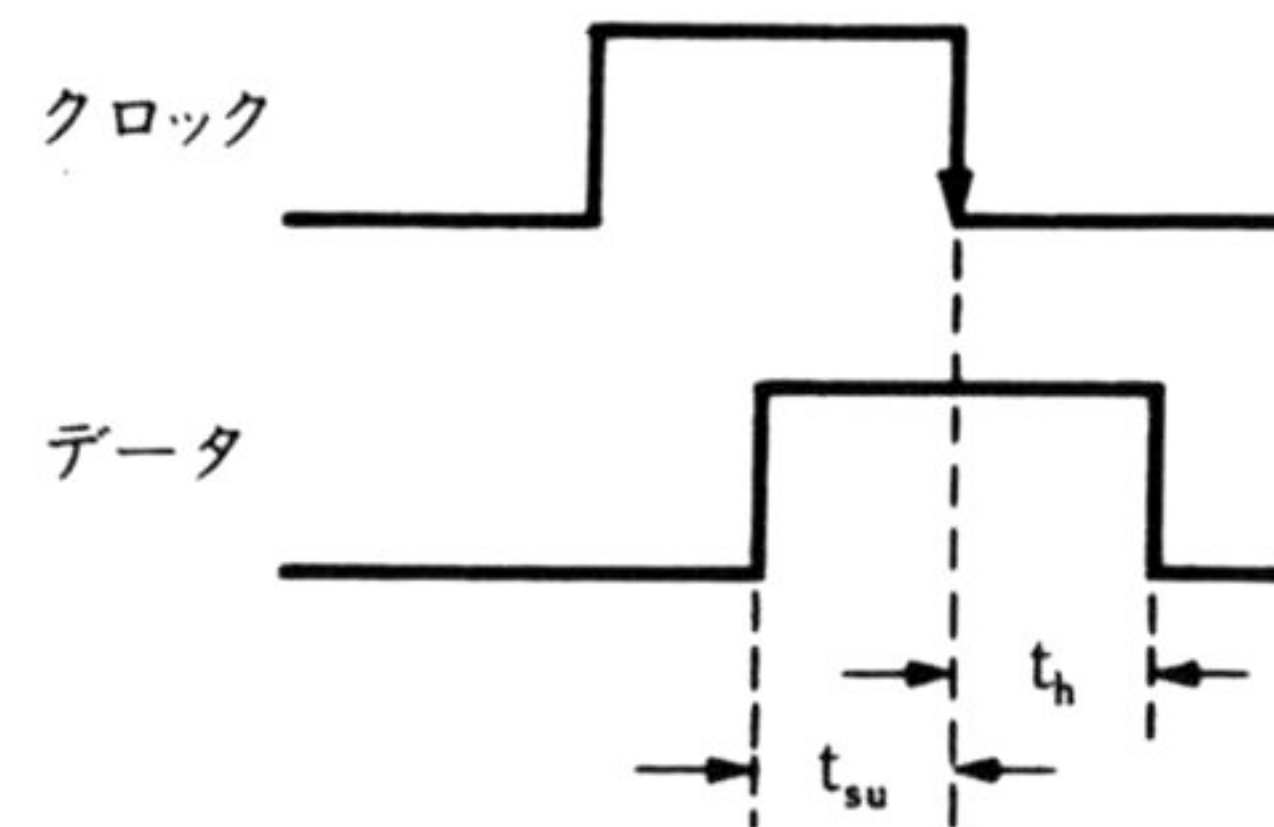
ICの動作を知るうえでもっとも重要なひとつのパラメータは，入力を加えてから出力が変わるまでどのくらい時間がかかるかということです．

(1)　t_{pd} (Propagation Delay Time)

伝搬遅延時間という入力の変化が出力に伝わる時間です．これは入力の種類，HからLか，LからHか，負荷その他の点で，いろいろと変わりますが，**図3**で示したような測定回路により**表3**の条件で測ったものが表に記載してあります．

H→L，L→Hは特に指定がない場合は，出力がH→L, L→Hになるような入力を加えたときという意味です．H→Z, Z→H, L→Z, Z→Lも同じ意味で3ステート出力の回路のON-OFFのスピードを表しています．

(2)　tw (Pulse Width)

入力出力をとわず，スレッショルド電圧(N，Sで1.5V，DTL入力のTTLで1.3V，CMOSレベルの入力で2.0V，TTLレベルの入力で1.4V)を越える(または割り込む)パルスの幅をパルス幅としています．出力ではシングル・ショットの出力パルス幅，入力ではロード入力，クリア，プリセット入力，トリガ入力，クロック入力などの最低必要なパルス幅を指定するのに用いています．

〈図4〉セットアップとホールド

クロック
データ
t_h
t_{su}

(3)　f_{max} (Maximum Clock Frequency)

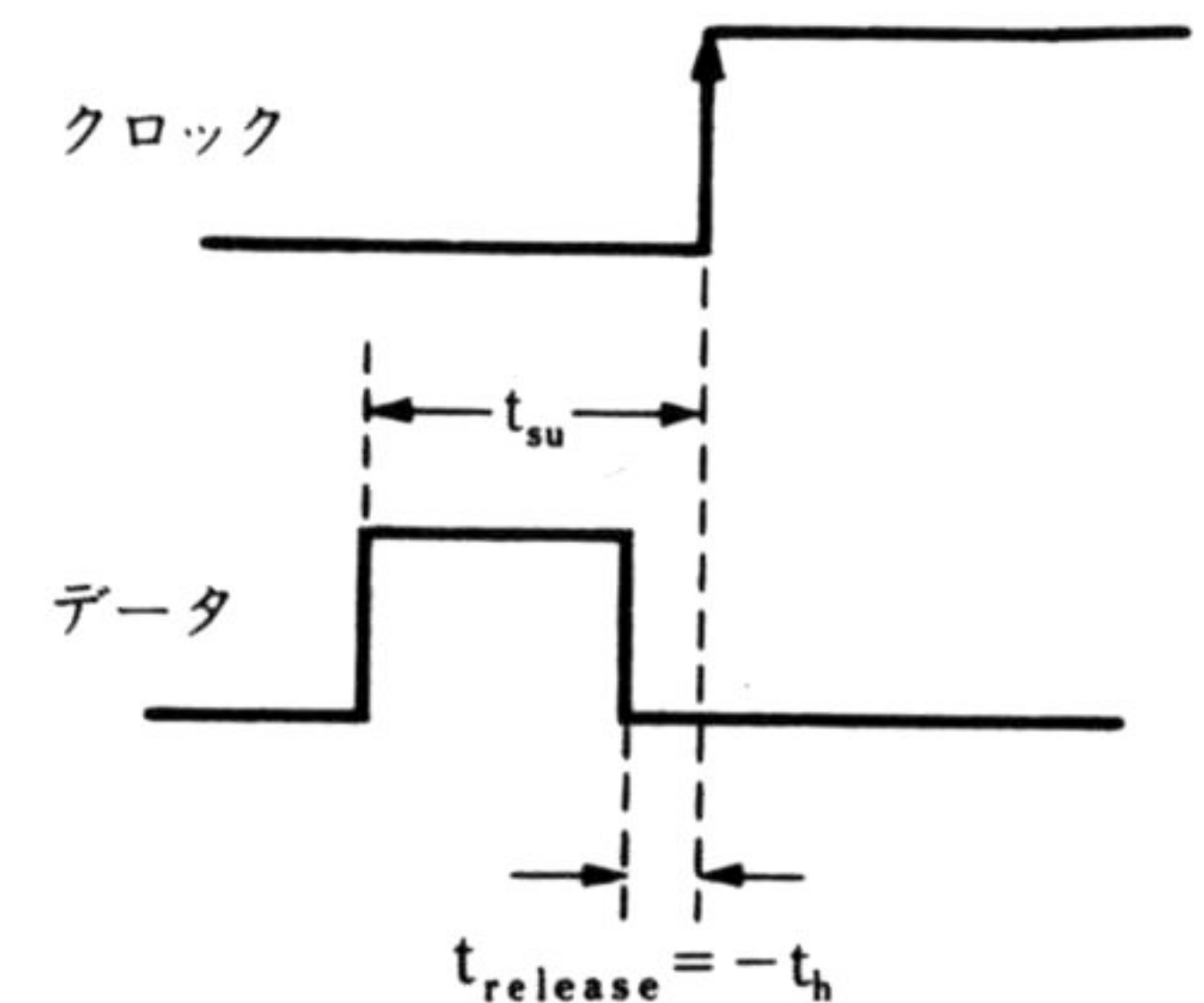
最大クロック周波数で，カウンタやシフトレジスタ，クロック・オシレータ，VCOなどが動作する最高の周波数で，もちろんHとLの比が1の，いわゆるデューティ比50%の波形でテストしたものです．

(4)　t_h (Hold Time)

ホールド時間．**図4**のように一つの入力のデータを別の入力によって内部に取り込むとき，クロックやセットの信号の変化後データをいつまで安定させていなければならないかという時間をいいます．場合によっては0のことも負のこともあり得ます．

(5)　t_{su} (Setup Time)

〈図5〉リリース時間

クロック
t_{su}
データ
$t_{release} = -t_h$

セットアップ時間．t_hと逆にクロックなどの変化よりどれだけ前にデータを安定させておかなければならないかという時間です．

ICのファンクションによってはクロックの立ち上がり，立ち下がりのどちらかの時点が基準になっています．

(6)　t_{relase} (Release Time)

クロックなどが変化する前にデータが変わってしまってもよい時間．**図5**のように負のホールド時間と考えられます．

この3種の時間はフリップフロップやレジスタのセットなどのときレリーズが起こったり，期待したとおりのデータが入らなかったりしたときに考えなければならない

ものです．単なるマスタ・スレーブやエッジ・トリガでかなりちがいますので，規格表の個々の解説をよく参照してください．

7 表の見方

データは可能な限り1品種が1ページの中に納まるようにしてあります．

基本的な設計に間に合う程度のものをスペースの許す範囲で盛り込んでありますが，図版の都合上1ページに入りきらずに2ページを割いたものも一部にあります．

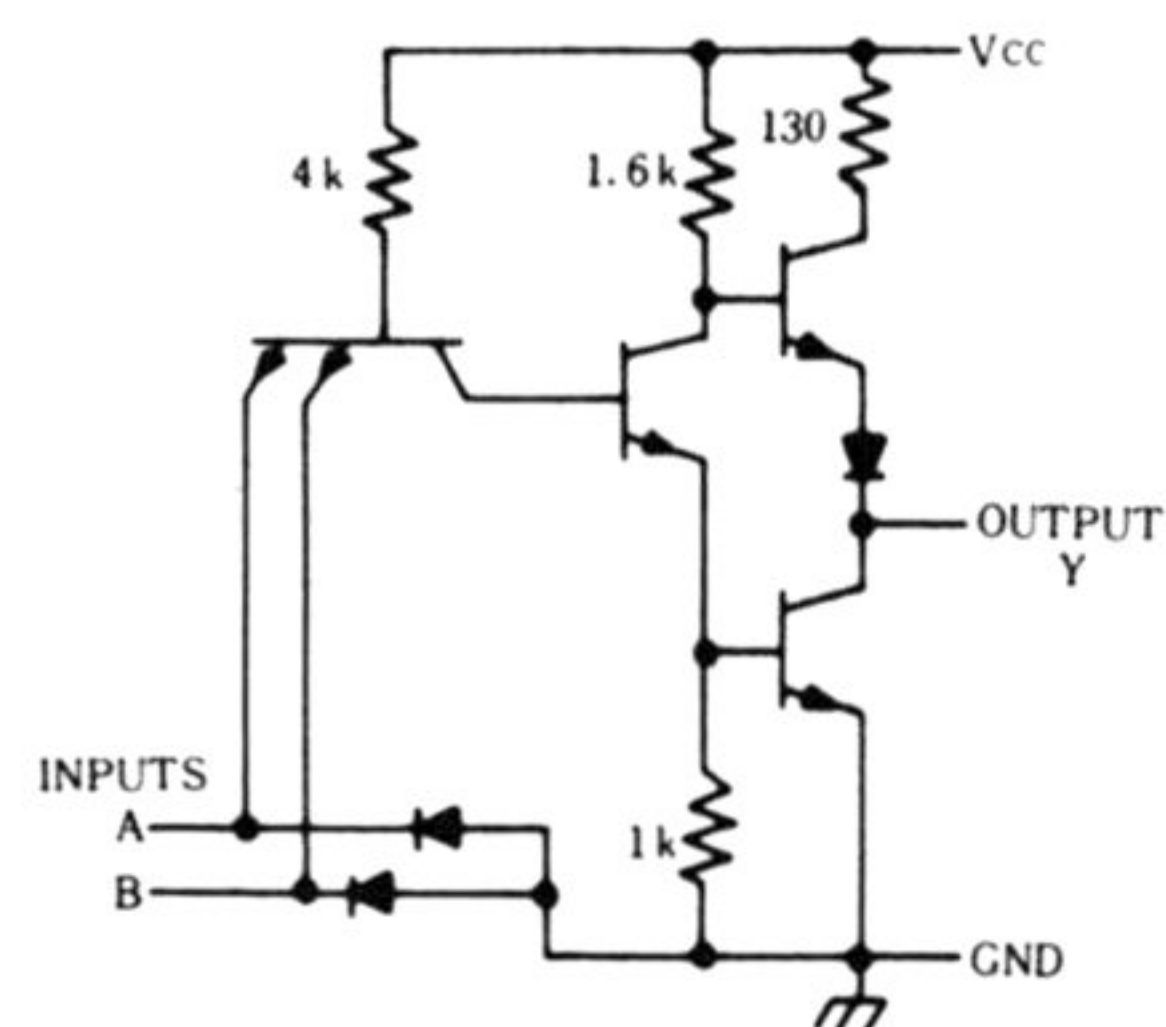
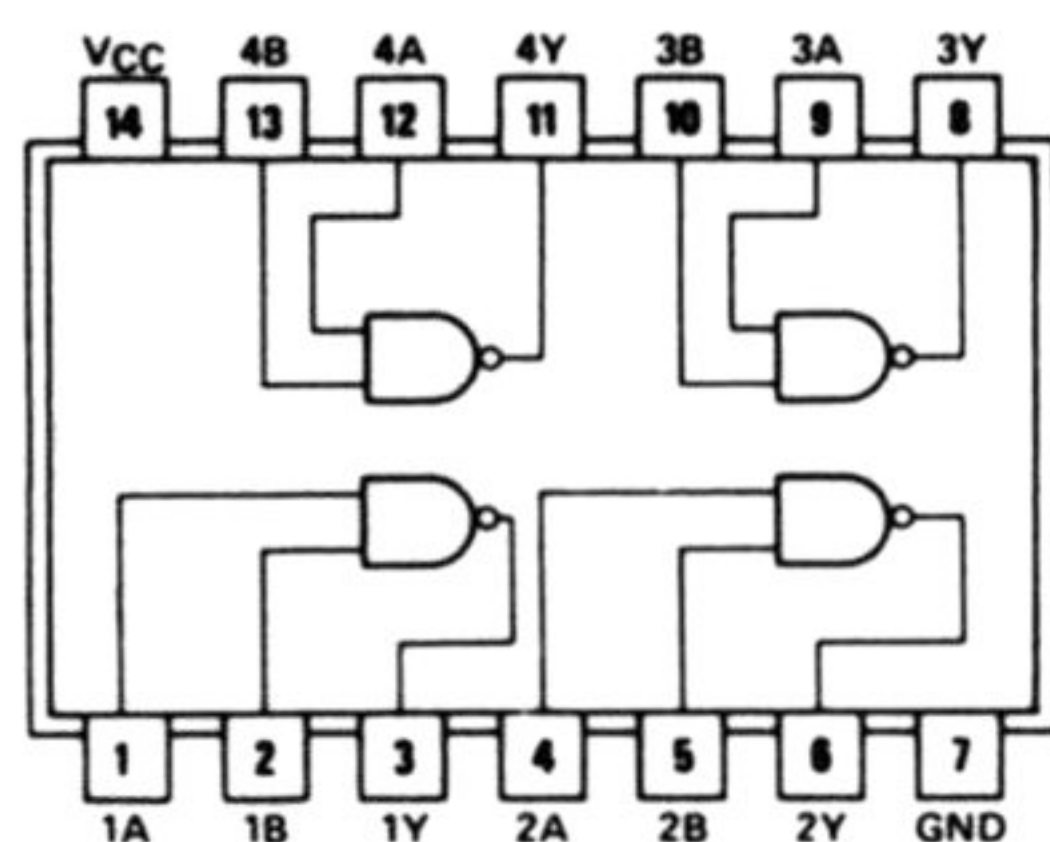
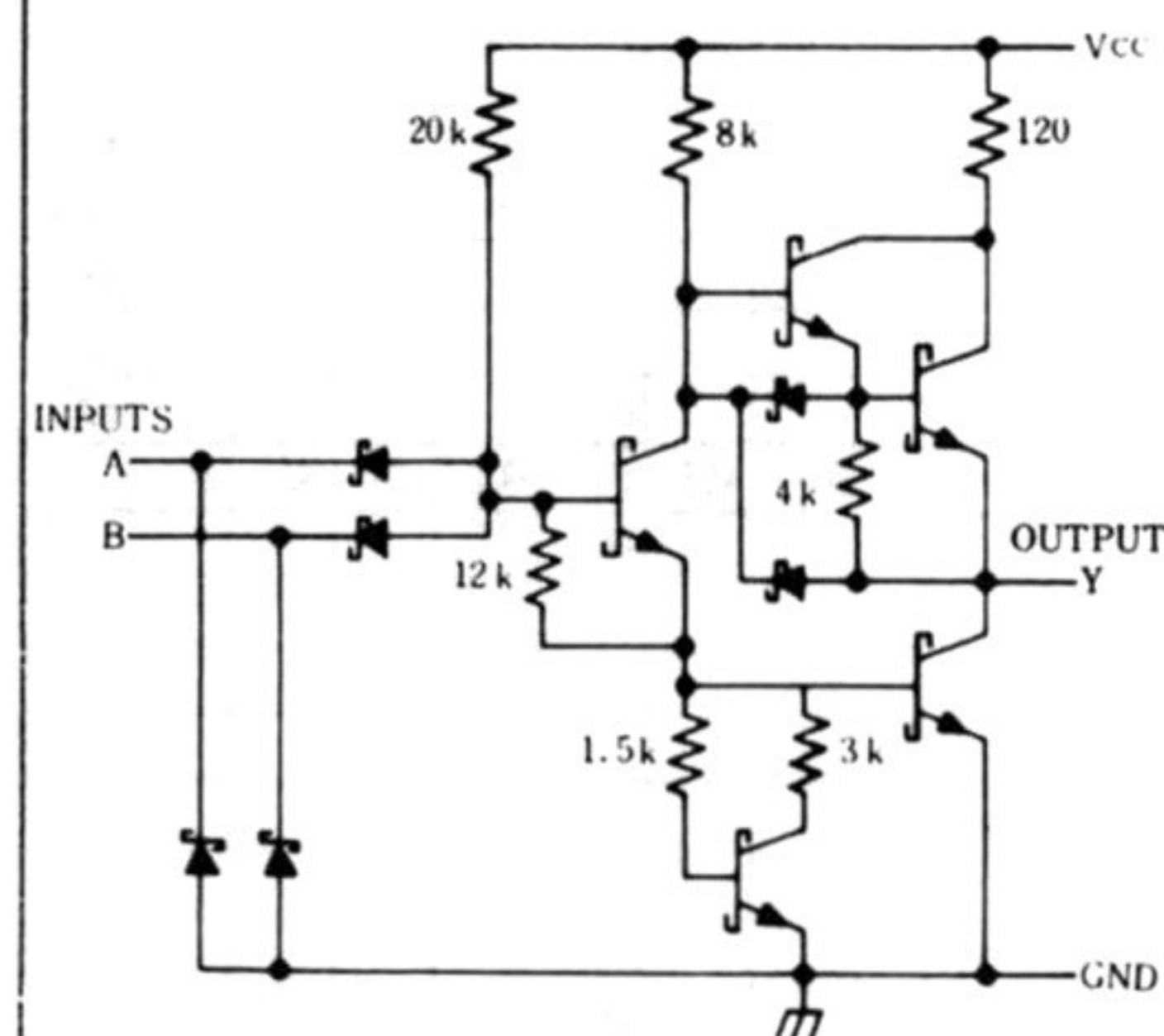
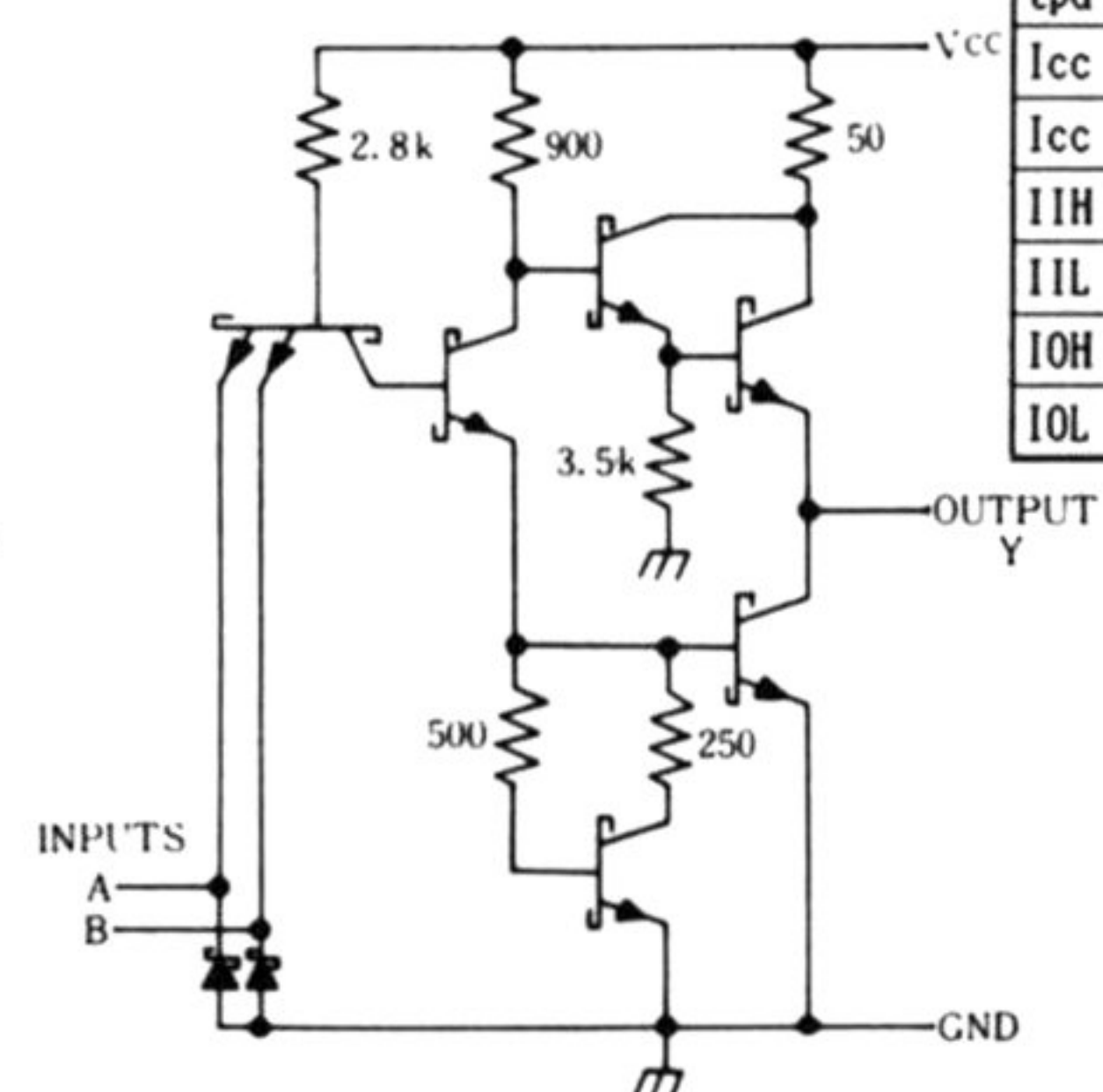
各ページは，ピン接続図，動作特性，入出力電流特性，各社互換表を主体とし，その他必要と思われるブロック図，真理値表，動作表などを組み合わせてあります．

入出力電流特性はすべて最大値を入れてあります．またそのなかで，CMOS 入力の各シリーズの入力電流の項目は不用と思われるので省略しました．

各社互換表は，相当品のあるものについて“D，F，DF”を入れてあります．DはDIP，Fはフラット・タイプ，SはSOPタイプ，DFは両タイプのパッケージがあることを表します．

ピン接続図中の＊は“オープン・コレクタ”を表します．

個別特性表

7400 Quad 2 Input NAND

7400

74LS00

74S00

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	L→H	↑			9.5	15	11	8	6	4.5	6.6	12	23		24	6.7		ns
tpd	max	H→L	↓			9.5	15	8	8	5.3	4	6.6	9.8	23		24	6.7		ns
Icc	max				H	0.0025	1.6	0.85	1.6	2.8	3.2	0.04	0.04	0.02		0.02	0.01		mA
Icc	max				L		4.4	3	7.8	10.2	17.4	0.04	0.04	0.02		0.02	11		mA
IIH	max	ALL	H				20	20	20	20	20								μA
IIL	max	ALL	L				0.4	0.1	0.1	0.6	0.5								mA
IOH	max			ALL	H	12	0.4	0.4	2.6	1	2	24	24	4		4	1		mA
IOL	max			ALL	L	12	8	8	24	20	20	24	24	4		4	20		mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF		DF					
MOT		DF			DF		DF	DF	DF			D		
日電							DF		DF		DF			
NS	F	DF	DF	DF	DF	DF	DF	DF	DF		DF			
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF	DF	DF	DF	DF	DF	DF					
東芝	DF	D			D		DFS	DFS	DF		DF	D		
SGS									DF		DF			
CYPRES														
IDT														

参考品種
7410
7420
7430

7401 Quad 2 Input O.C. NAND

○オープンコレクタ

○入出力の向きが一般のゲートと逆

参考品種
7403
7412
7422

7403と電気的には同等，したがってVcc，およびＧＮＤを入れ替え，逆向きにして，さしかえ可能．

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		32	54		20				23					ns
tpd	max			H→L	↓		28	28		5.3				22					ns
VOH	max						5.5	5.5		5.5									V
Icc	max				H		1.6	0.85		2.8				0.01					mA
Icc	max				L		4.4	3		10.2				0.01					mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				-0.4	0.1		0.6									mA
IOH	max			ALL	H		0.1	0.1		0.1				4					mA
IOL	max			ALL	L		8	8		20				4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		DF												
日電														
NS														
PHIL														
RCA														
SIGNE														
TI		DF	DF						DF					
東芝		D												
SGS														
CYPRES														
IDT														

7401

74LS01

7402　Quad 2 Input NOR

○一般のゲートと入出力の向きが逆なので注意すること

○ $Y=\overline{A+B}$

74S02

74LS02

7402

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑	7.5	15	12	8	6.5	4.5	10.4	11.1	23		24			ns
tpd	max			H→L	↓	7.5	15	10	7	5.3	4.5	10.4	11.1	23		24			ns
Icc	max				H	0.0025	3.2	2.2	2.8	5.6	5.9	0.04	0.04	0.02		0.02			mA
Icc	max				L		5.4	4	9	13	20.1	0.04	0.04	0.02		0.02			mA
IIH	max	ALL	H				20	20	20	20	20								μA
IIL	max	ALL	L				0.4	0.1	0.1	0.6	0.5								mA
IOH	max			ALL	H	12	0.4	0.4	2.6	1	2	24	24	4		4			mA
IOL	max			ALL	L	12	8	8	24	20	20	24	24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					DF		DF				
MOT		DF			DF		DF	DF	DF				
日電									DF				
NS	F	DF	DF	DF	DF	DF	DF	DF	DF				
PHIL	DF								DF		DF		
RCA							DF	DF	DF		DF		
SIGNE			DF		DF								
TI		DF	DF	DF	DF	DF	DF	DF	DF				
東芝	F	D			D		DFS	DFS	DF		DF		
SGS									DF		DF		
CYPRES													
IDT													

参考品種
7425
7427
74260

7403　Quad 2 Input O.C. NAND

○7401の入出力の向きを一般のゲートと同じ方向にしたタイプ
○7400のオープンコレクタタイプ

74LS03

74S03

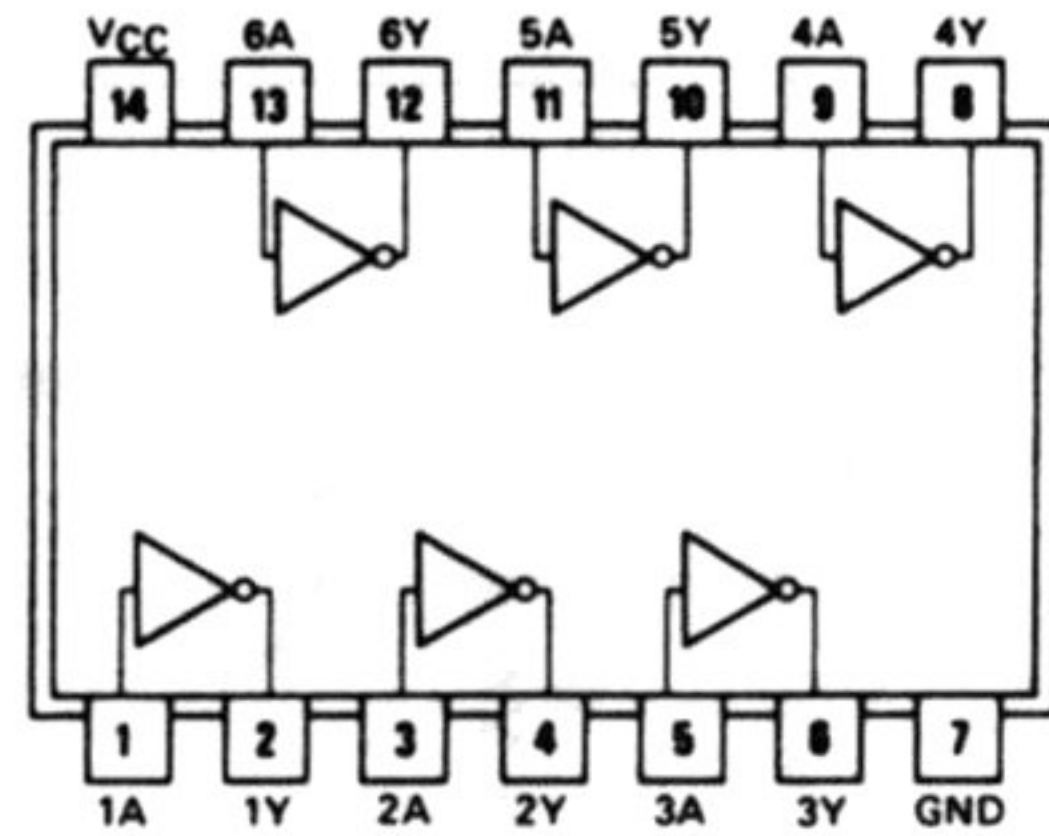
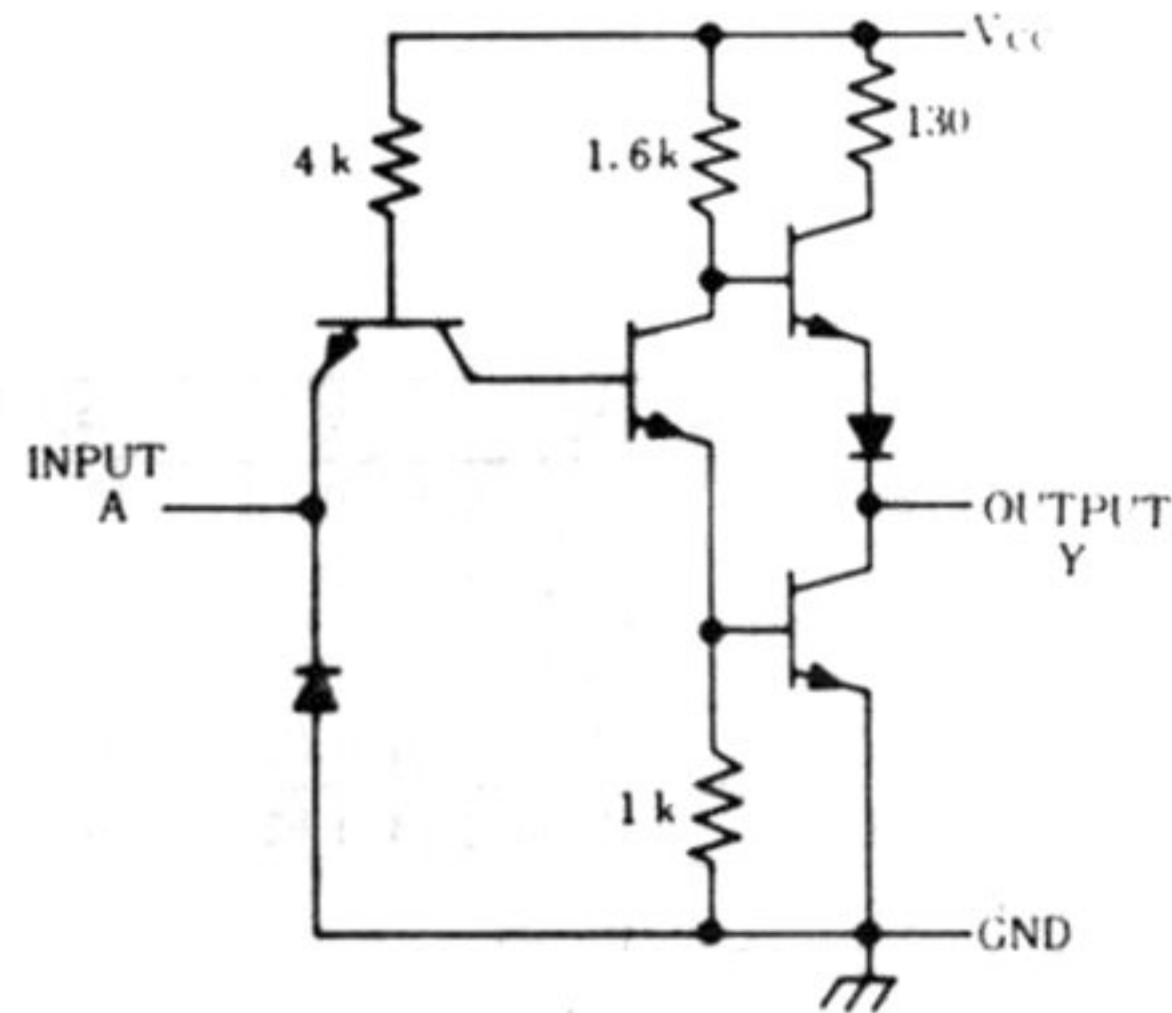
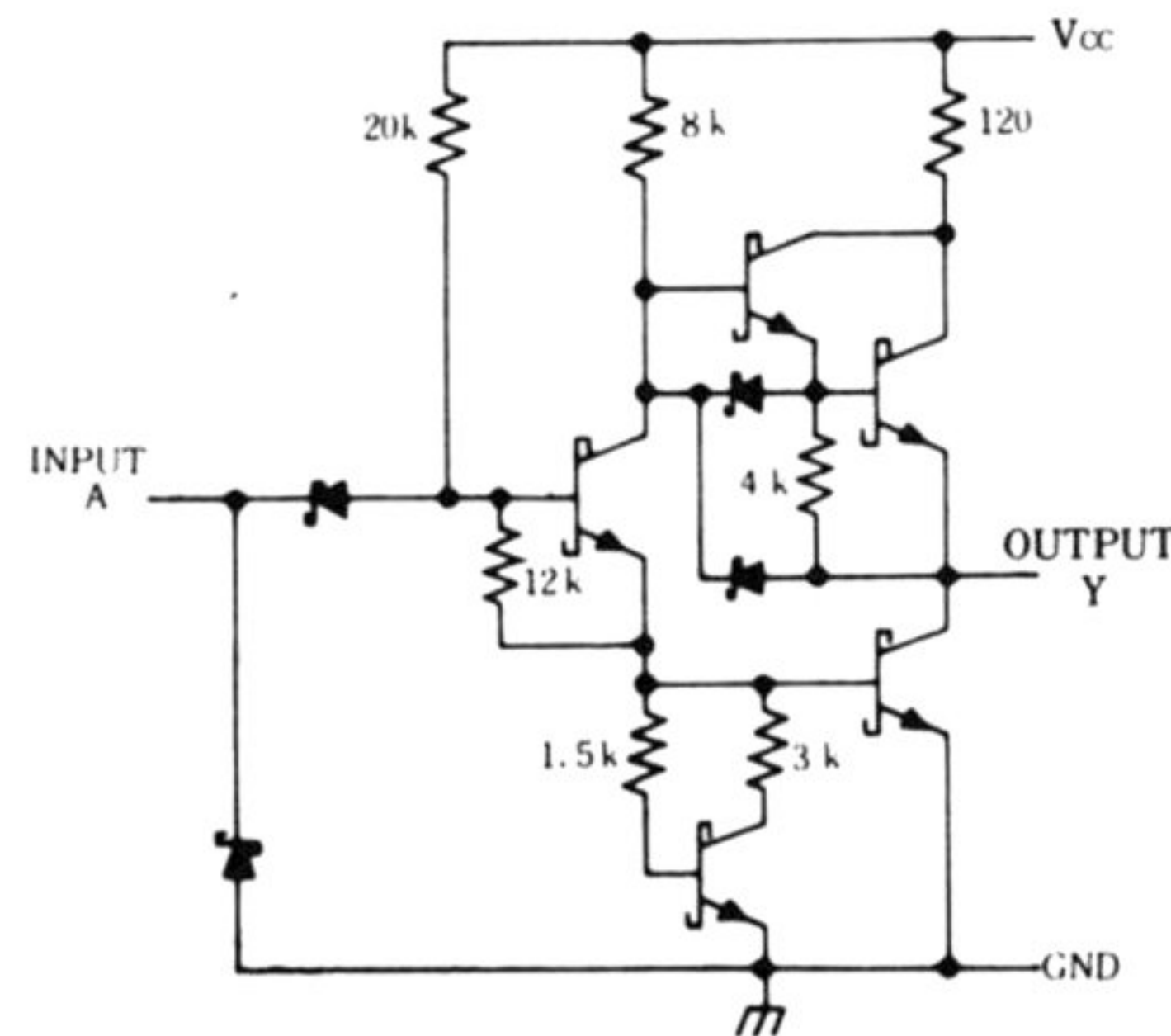
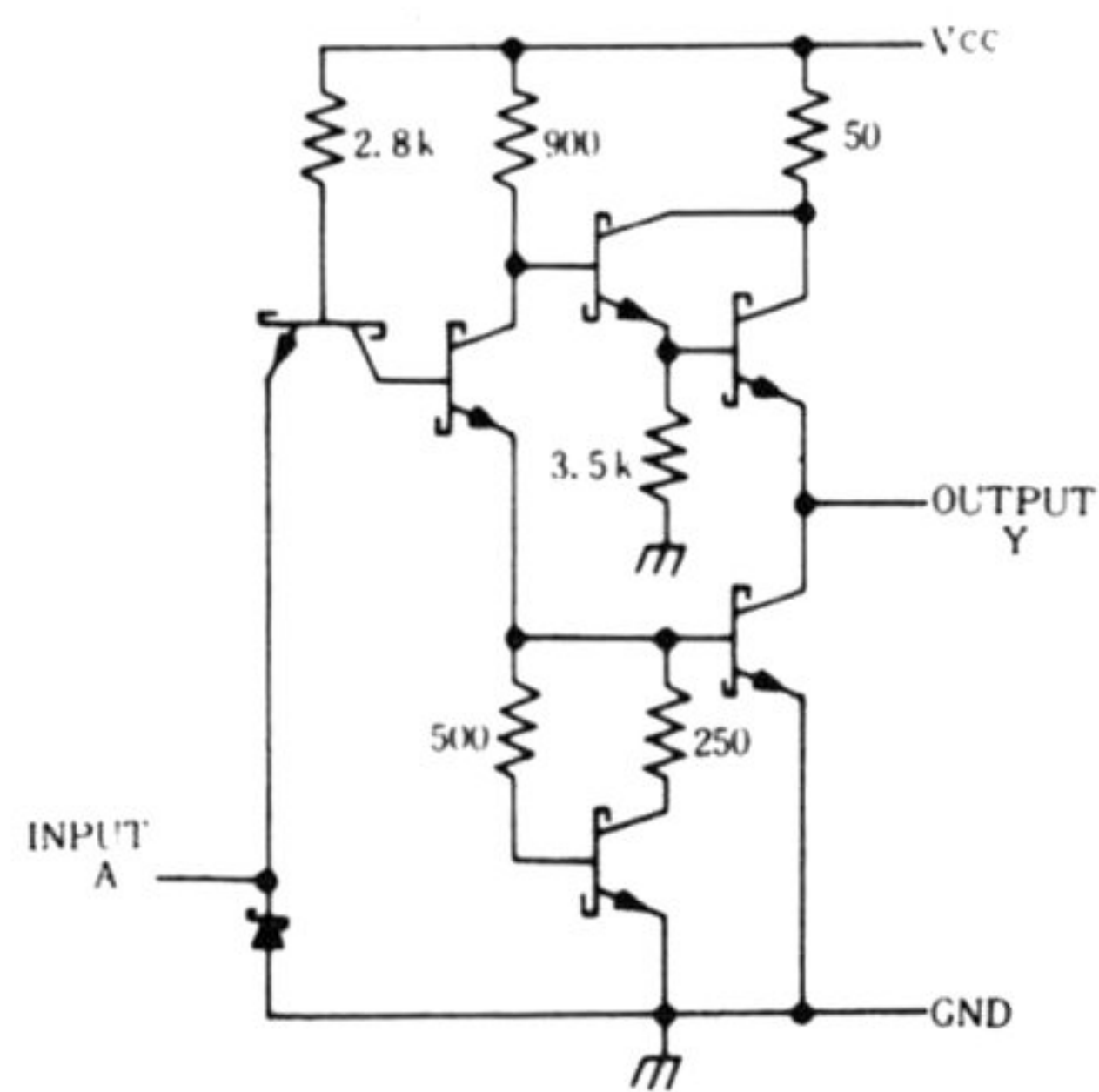
7403

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		32	54	33	20				24		30			ns
tpd	max			H→L	↓		28	22	12	5.3				24		30			ns
VOH	max						5.5	5.5	5.5	5.5									V
Icc	max				H		1.6	0.85	1.6	2.8				0.02		0.02			mA
Icc	max				L		4.4	3	7.8	10.2				0.02		0.02			mA
IIH	max	ALL	H				20	20	20	20									μA
IIL	max	ALL	L				0.4	0.1	0.1	0.6									mA
IOH	max			ALL	H		0.1	0.1	0.1	0.1									mA
IOL	max			ALL	L		8	8	24	20				20		20			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF											
MOT		DF							DF				
日電									DF				
NS		DF	DF	DF									
PHIL									DF		DF		
RCA									DF		DF		
SIGNE													
TI		DF	DF						DF				
東芝		D							DF				
SGS									DF				
CYPRES													
IDT													

参考品種
7401
7412
7422

7404 Hex Inverters

○$Y=\overline{A}$

74LS04

74S04

7404

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑	9.0	15	11	7	6	5	5.9	8.5	23	19	24			ns
tpd	max			H→L	↓	9.0	15	8	6	5.3	4	5.9	8.5	23	19	24			ns
Icc	max				H	0.0025	2.4	1.1	3	4.2	4.8	0.04	0.04	0.02	0.02	0.02			mA
Icc	max				L		6.6	4.2	12	15.3	26.3	0.04	0.04	0.02	0.02	0.02			mA
IIH	max	ALL	H				20	20	20	20	20								μA
IIL	max	ALL	L				0.4	0.1	0.1	0.6	0.5								mA
IOH	max			ALL	H	12	0.4	0.4	15	1	2	24	24	4	4	4			mA
IOL	max			ALL	L	12	8	8	24	20	20	24	24	4	4	4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					DF		DF				
MOT		DF			DF		DF	DF	DF	DF			
日電									DF	DF	DF		
NS	F	DF	DF	DF	DF	DF	DF	DF	DF	DF	D		
PHIL	DF								DF	DF	DF		
RCA							DF	DF	DF		DF		
SIGNE			DF		DF								
TI		DF	DF	DF	DF	DF	DF	DF	DF	DF			
東芝	F	D			D		DFS	DFS	DF	DF	DF		
SGS									DF	DF	DF		
CYPRES													
IDT													

参考品種
7400
7410
7420

7405　Hex O. C. Inverters

○7404のオープンコレクタタイプ

○ $Y = \overline{A}$

74LS05

74S05

7405

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		32	54	30	20		5.9	9.8	25		25			ns
tpd	max			H→L	↓		28	14	10	6		5.9	8.5	25		28			ns
VOH	max						5.5	5.5	5.5	5.5		5.5	5.5	5.5					V
Icc	max				H		2.4	1.1	3	4.2		0.04	0.04	0.02		0.02			mA
Icc	max				L		6.6	4.2	12	15.3		0.04	0.04	0.02		0.02			mA
IIH	max	ALL	H				20	20	20	20									μA
IIL	max	ALL	L				0.4	0.1	0.1	0.6									mA
IOH	max			ALL	H		0.1	0.1	0.1	0.1		24	24	4					mA
IOL	max			ALL	L		8	8	24	20		24	24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		DF					D	DF					
日電													
NS		DF	DF	DF							D		
PHIL													
RCA							DF	DF					
SIGNE													
TI		DF	DF	DF					DF				
東芝		D					DF		DF				
SGS									DF				
CYPRES													
IDT													

参考品種
7401
7403
7412

7406 Hex O. C. Inverters

○7405の高耐圧出力型（30V耐圧）

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15			6.5									ns
tpd	max			H→L	↓		20			6.0									ns
VOH	max						30			12									V
Icc	max				H		18			8.0									mA
Icc	max				L		60			43									mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0.2			0.6									mA
IOH	max			ALL	H		0.25			0.25									mA
IOL	max			ALL	L		40			64									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF												
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE					DF									
TI		DF												
東芝														
SGS														
CYPRES														
IDT														

参考品種
7416

7407　Hex O.C. Buffers

○高耐圧バッファ(30V)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		10			6.5				23					ns
tpd	max			H→L	↓		30			7.5				23					ns
VOH	max						30			12									V
Icc	max				H		14			14				0.01					mA
Icc	max				L		45			4.5				0.01					mA
IIH	max	ALL	H				20			206									μA
IIL	max	ALL	L				0.2			0.6									mA
IOH	max			ALL	H		0.25			0.25									mA
IOL	max			ALL	L		40			64				4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF												
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE					DF									
TI		DF												
東芝									DF					
SGS									DF					
CYPRES														
IDT														

参考品種
7417

7408 Quad 2 Input AND

Vcc 4B 4A 4Y 3B 3A 3Y
14 13 12 11 10 9 8
1 2 3 4 5 6 7
1A 1B 1Y 2A 2B 2Y GND

INPUTS A B OUTPUT Y Vcc GND 20k 10k 8k 120 5k 1.5k 3k

74LS08

○7400のANDタイプ

○Y＝A・B

INPUTS A B OUTPUT Y Vcc GND 4k 2k 1.6k 130 800 1k

7408

INPUTS A B OUTPUT Y Vcc GND 2.8k 2k 900 50 3.5k 500 250

74S08

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑	9.5	15	14	9	6.6	5.5	7.9	11.7	23		30	5.7		ns
tpd	max			H→L	↓	9.5	20	10	9	6.3	5.5	7.9	11.7	23		30	5.7		ns
Icc	max				H	0.0025	4.8	2.4	3	8.3	9.3	0.04	0.04	0.02		0.02	0.01		mA
Icc	max				L		8.8	4	9.3	12.9	24	0.04	0.04	0.02		0.02	11		mA
IIH	max	ALL	H				20	20	20	20	20								μA
IIL	max	ALL	L				0.4	0.1	0.1	0.6	0.5								mA
IOH	max			ALL	H	12	0.4	0.4	2.6	1	2	24	24	4		4	1		mA
IOL	max			ALL	L	12	8	8	24	20	20	24	24	4		4	20		mA

参考品種
7411
7421

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF		DF					
MOT		DF			DF		DF	DF	DF			D		
日電									DF		DF			
NS	F	DF	DF	D	DF	DF	DF	DF	DF		D			
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF					DF						
TI		DF	DF	DF	DF	DF	DF	DF	DF					
東芝	F	D			D		DFS	DFS	DF		DF	D		
SGS									DF		DF			
CYPRES														
IDT														

7409 Quad 2 Input O.C. AND

○7408のオープンコレクタタイプ
○Y＝AB

参考品種
7415

7409

74LS09

74S09

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		35	54		20				28					ns
tpd	max			H→L	↓		35	15		4.3				22					ns
VOH	max						5.5	5.5		5.5									V
Icc	max				H		4.8	2.4		8.3				0.02					mA
Icc	max				L		8.8	4		12.9				0.02					mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.4	0.1		0.6									mA
IOH	max			ALL	H		0.1	0.1		0.1				4					mA
IOL	max			ALL	L		8	8						4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		D											
日電													
NS		DF	DF										
PHIL													
RCA													
SIGNE													
TI		DF	DF		DF				DF				
東芝		D							DF				
SGS									DF				
CYPRES													
IDT													

7410 Triple 3 Input NAND

○Y＝$\overline{A \cdot B \cdot C}$

74S10

74LS10

7410

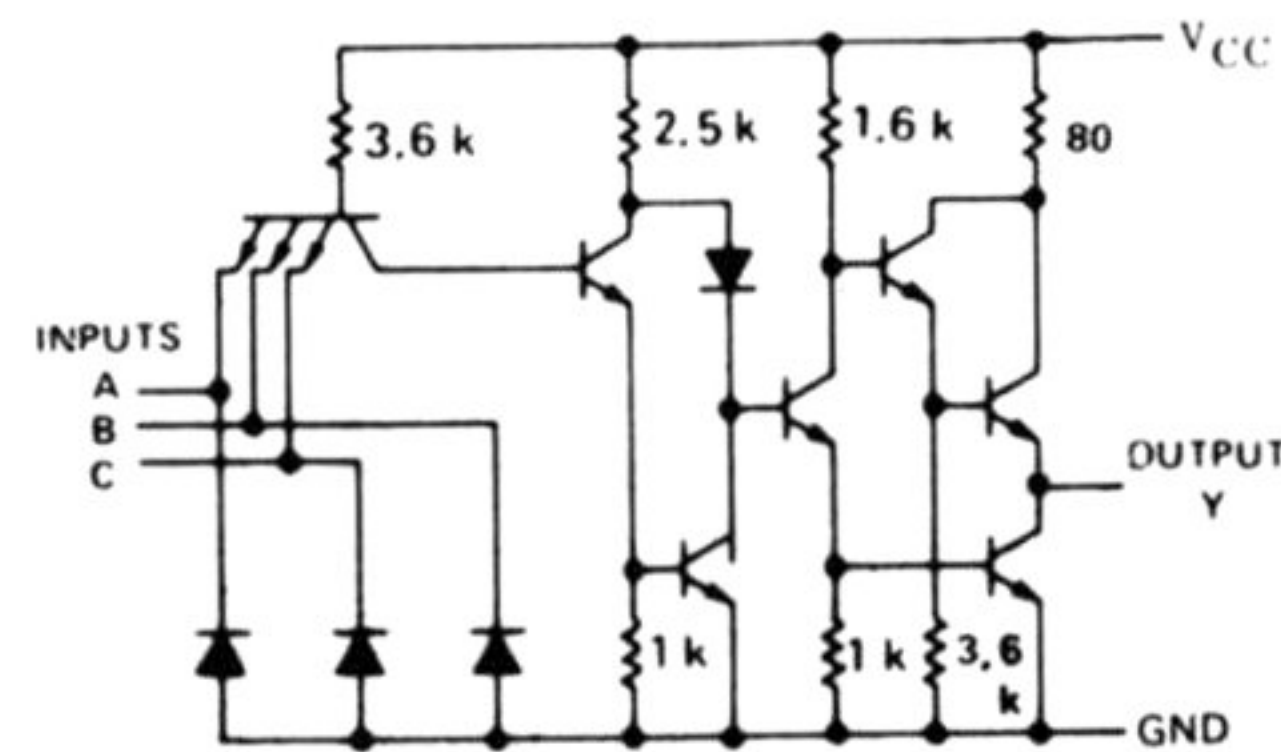
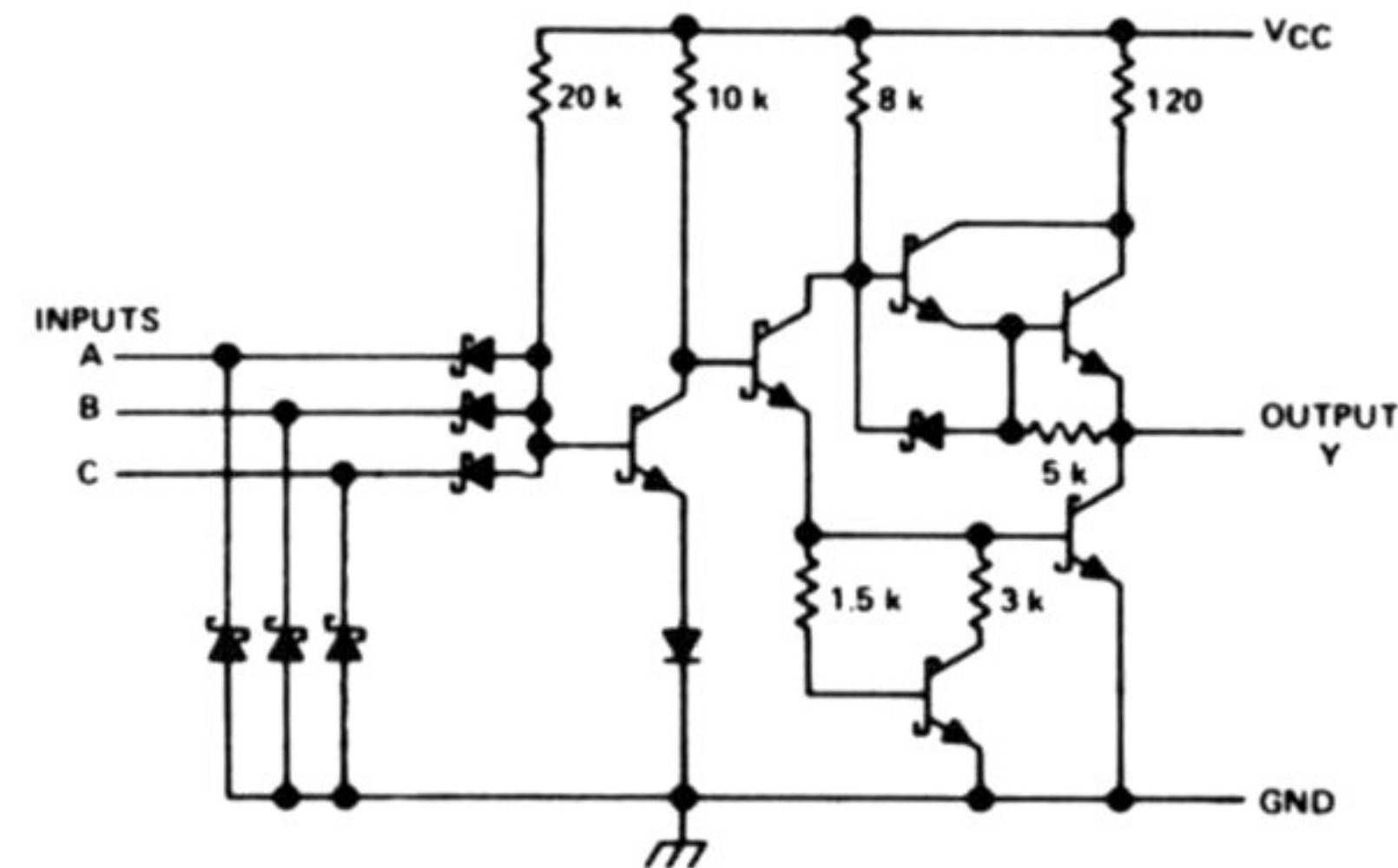
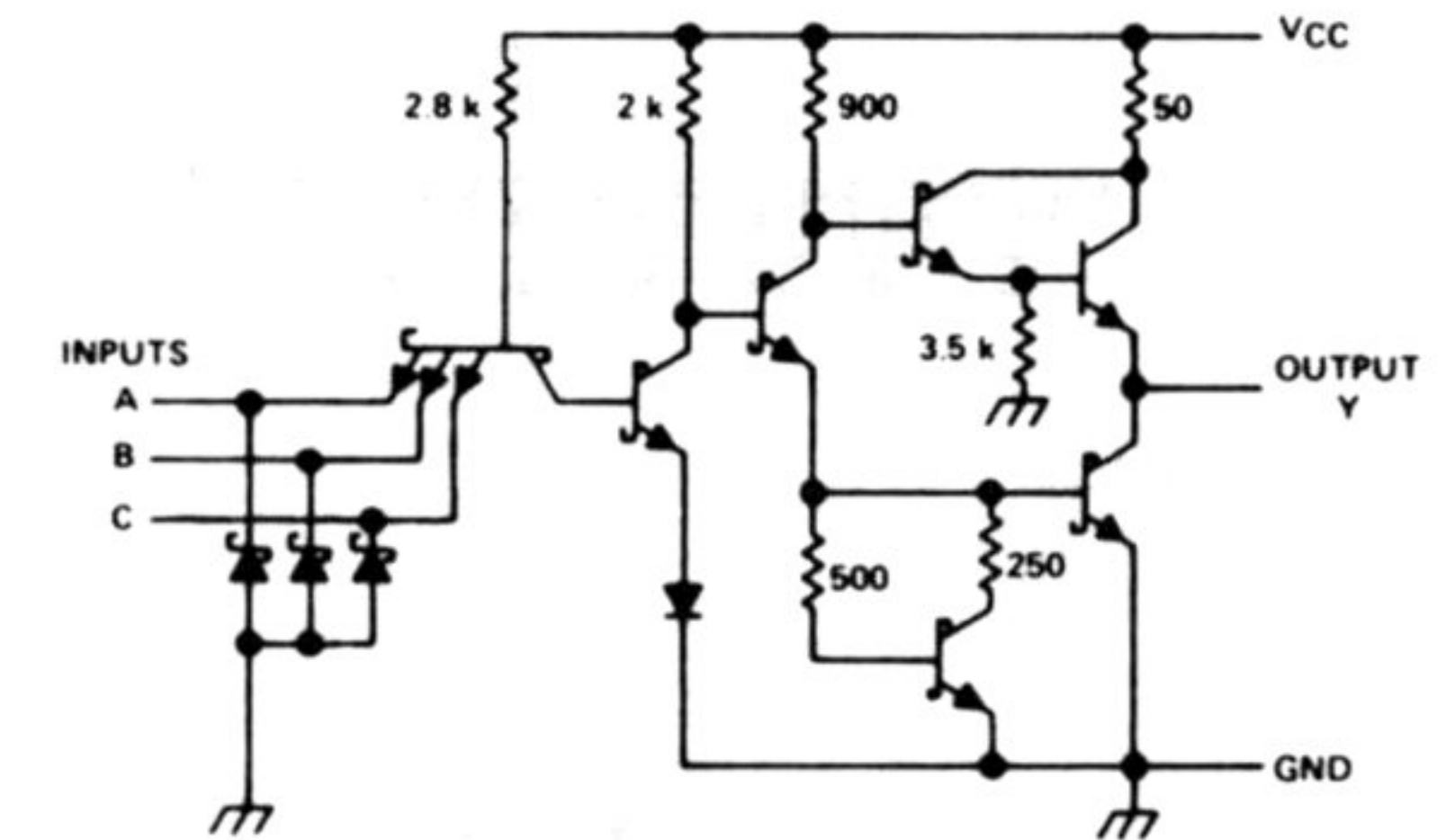
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15	11	8	6	4.5	11.1	12.3	24		30			ns
tpd	max			H→L	↓		15	10	7	5.3	4.5	11.1	12.3	24		30			ns
Icc	max				H		1.2	0.6	1.2	2.1	2.4	0.04	0.04	0.02		0.02			mA
Icc	max				L		3.3	2.2	5.8	7.7	13	0.04	0.04	0.02		0.02			mA
IIH	max	ALL	H				20	20	20	20	20								μA
IIL	max	ALL	L				0.4	0.1	0.1	0.6	0.5								mA
IOH	max			ALL	H		0.4	0.4	2.6	1	2	24	24	4		4			mA
IOL	max			ALL	L		8	8	24	20	20	24	24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		DF			DF		DF	DF	DF					
日電									DF					
NS		DF	DF		DF	DF	DF	DF	DF					
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF	DF	DF	DF	DF	DF	DF					
東芝		D			D		DF	DF	DF					
SGS									DF		DF			
CYPRES														
IDT														

参考品種
7400
7420
7430

7411 Triple 3 Input AND

○7410のANDタイプ

$Y = A \cdot B \cdot C$

7411

74LS11

74S11

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15	13	10	6.6	6	8.5		25		31			ns
tpd	max			H→L	↓		20	10	9	6.5	5.5	7.5		25		31			ns
Icc	max				H		3.6	1.8	2.3	6.2	7	0.04		0.02		0.02			mA
Icc	max				L		6.6	3	7	9.7	18	0.04		0.02		0.02			mA
IIH	max	ALL	H				20	20	20	20	20								μA
IIL	max	ALL	L				0.4	0.1	0.1	0.6	0.5								mA
IOH	max			ALL	H		0.4	0.4	2.6	1	2	24		4		4			mA
IOL	max			ALL	L		8	8	24	20	20	24		4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		DF			DF		DF	DF	DF					
日電									DF					
NS		DF	DF		DF	DF	DF		DF					
PHIL									DF		DF			
RCA									DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DF	DF	DF					
東芝		D			D		DF		DF					
SGS									DF					
CYPRES														
IDT														

参考品種
7408
7421

7412　Triple 3 Input O. C. NAND

○7410のオープンコレクタタイプ

参考品種
7401
7403
7422

7412

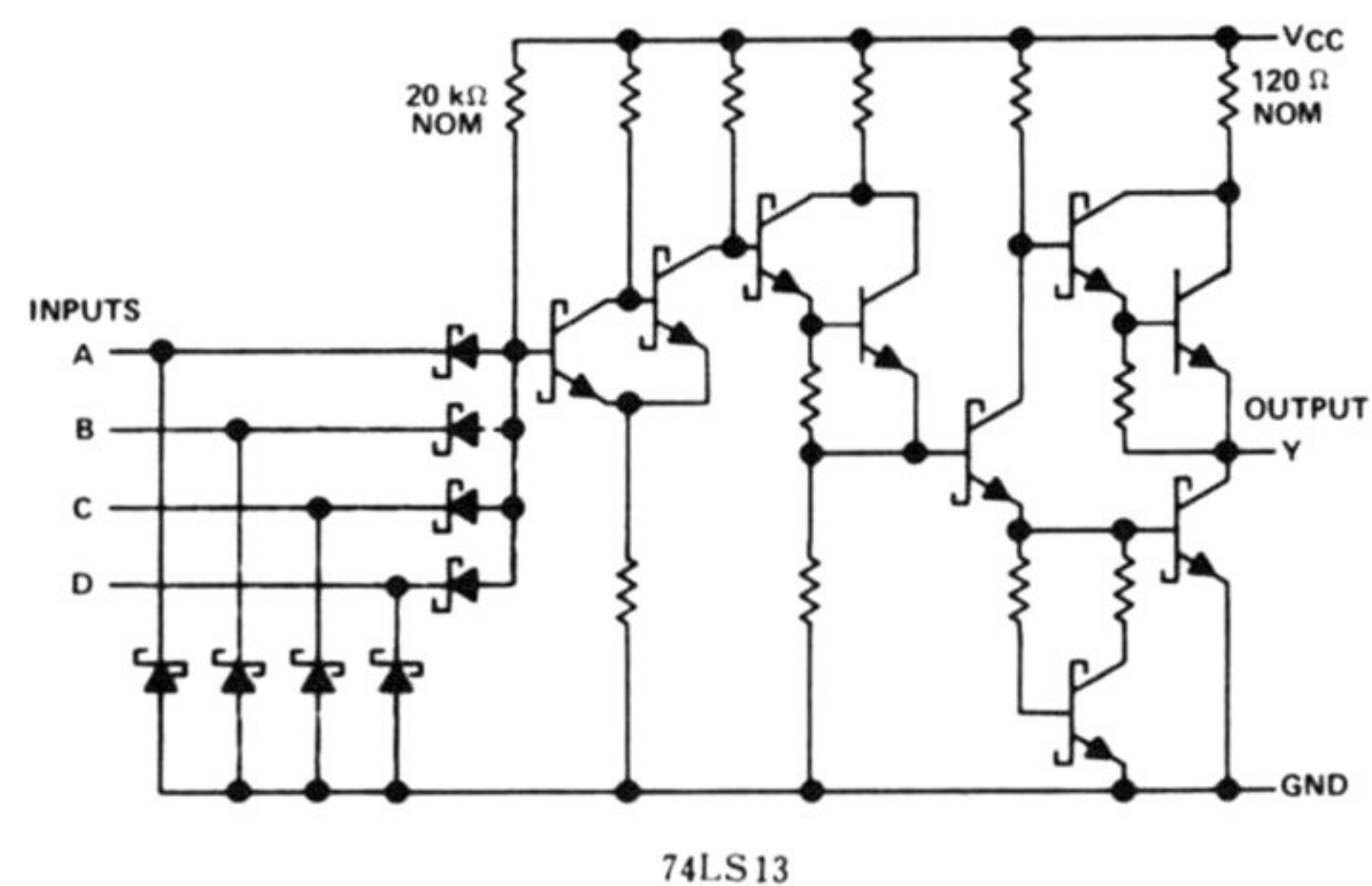
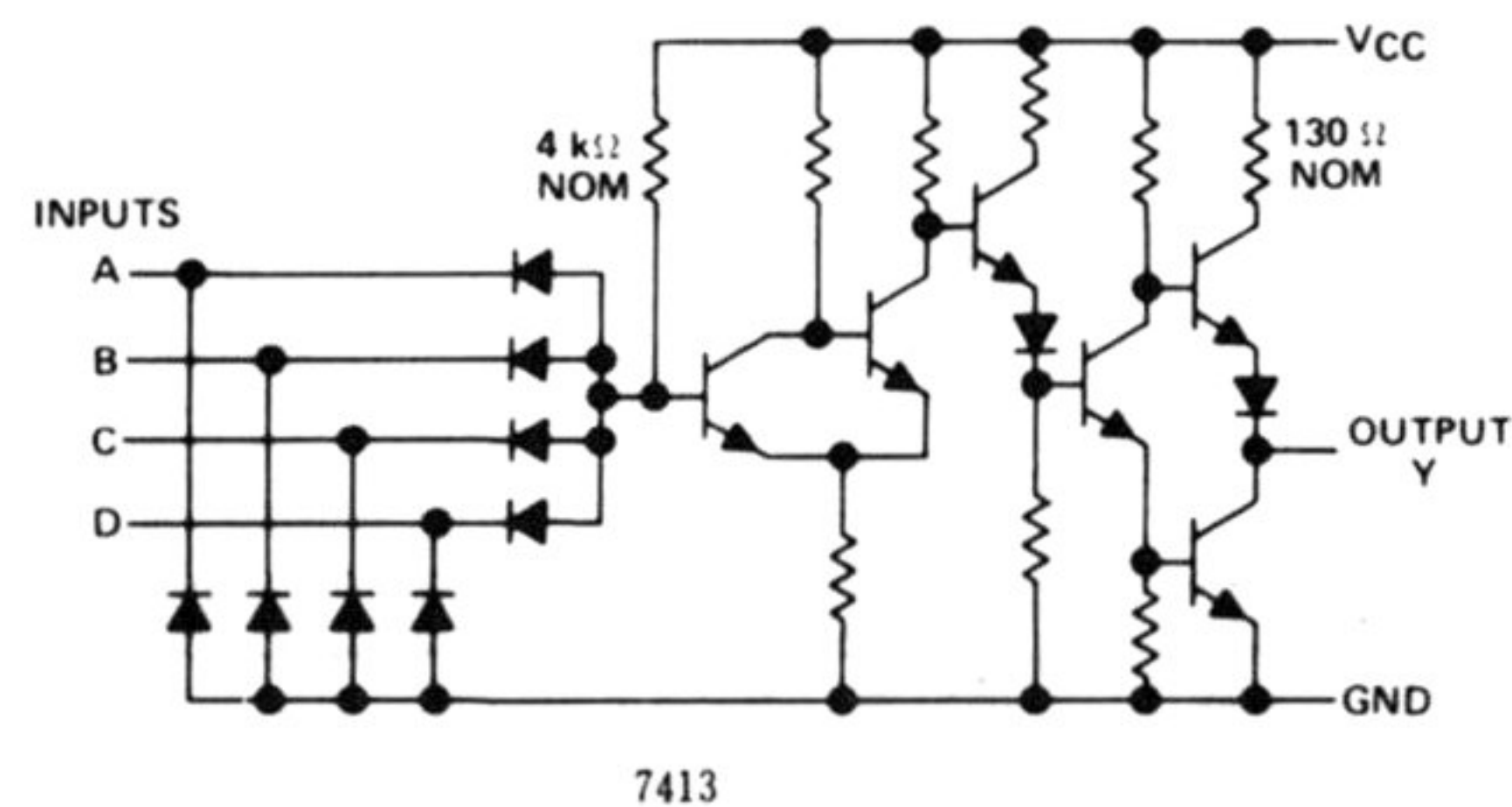
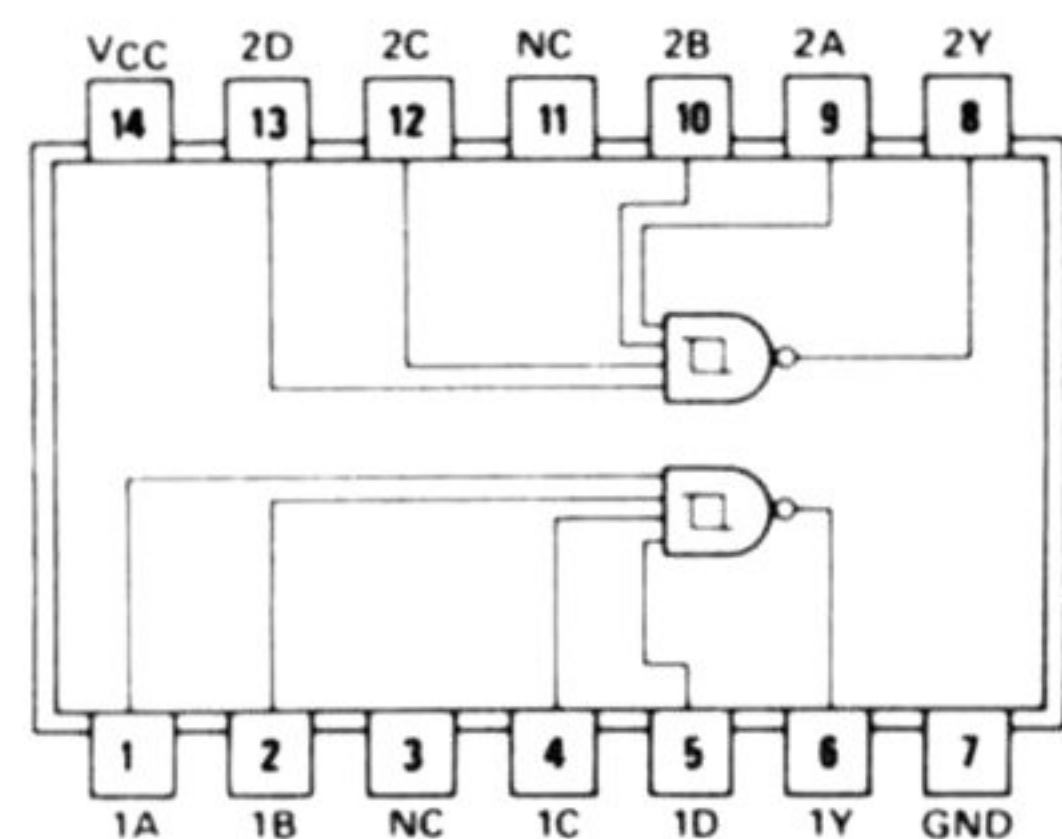
74LS12

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		32	54		20.0									ns
tpd	max			H→L	↓		28	18		5.3									ns
VOH	max						5.5	5.5											V
Icc	max				H		1.4	0.6		2.1									mA
Icc	max				L		3.3	2.2		7.7									mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.4	0.1		0.6									mA
IOH	max			ALL	H		0.1	0.1		0.1									mA
IOL	max			ALL	L		8	8		20									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF												
MOT		D												
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI		DF												
東芝														
SGS														
CYPRES														
IDT														

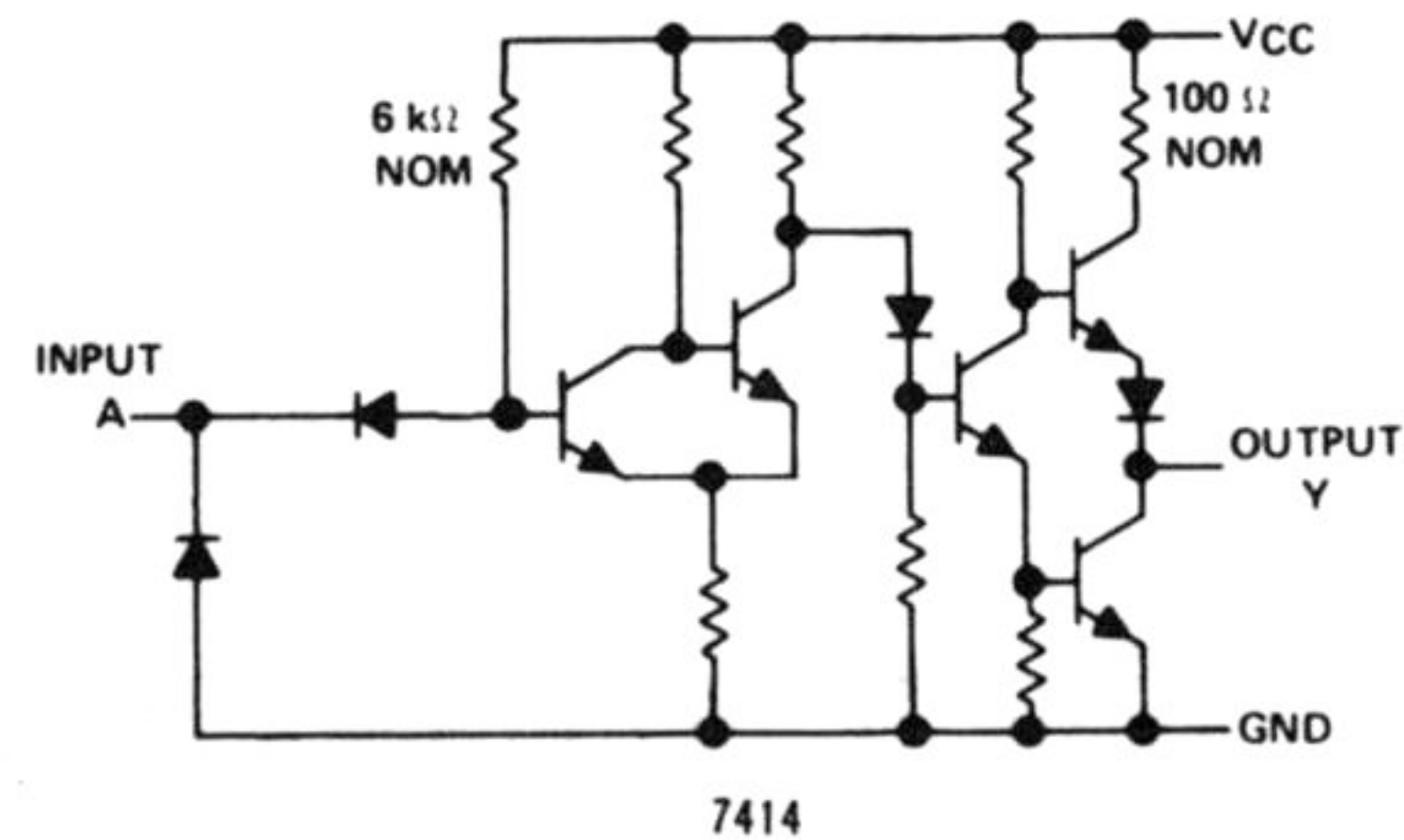
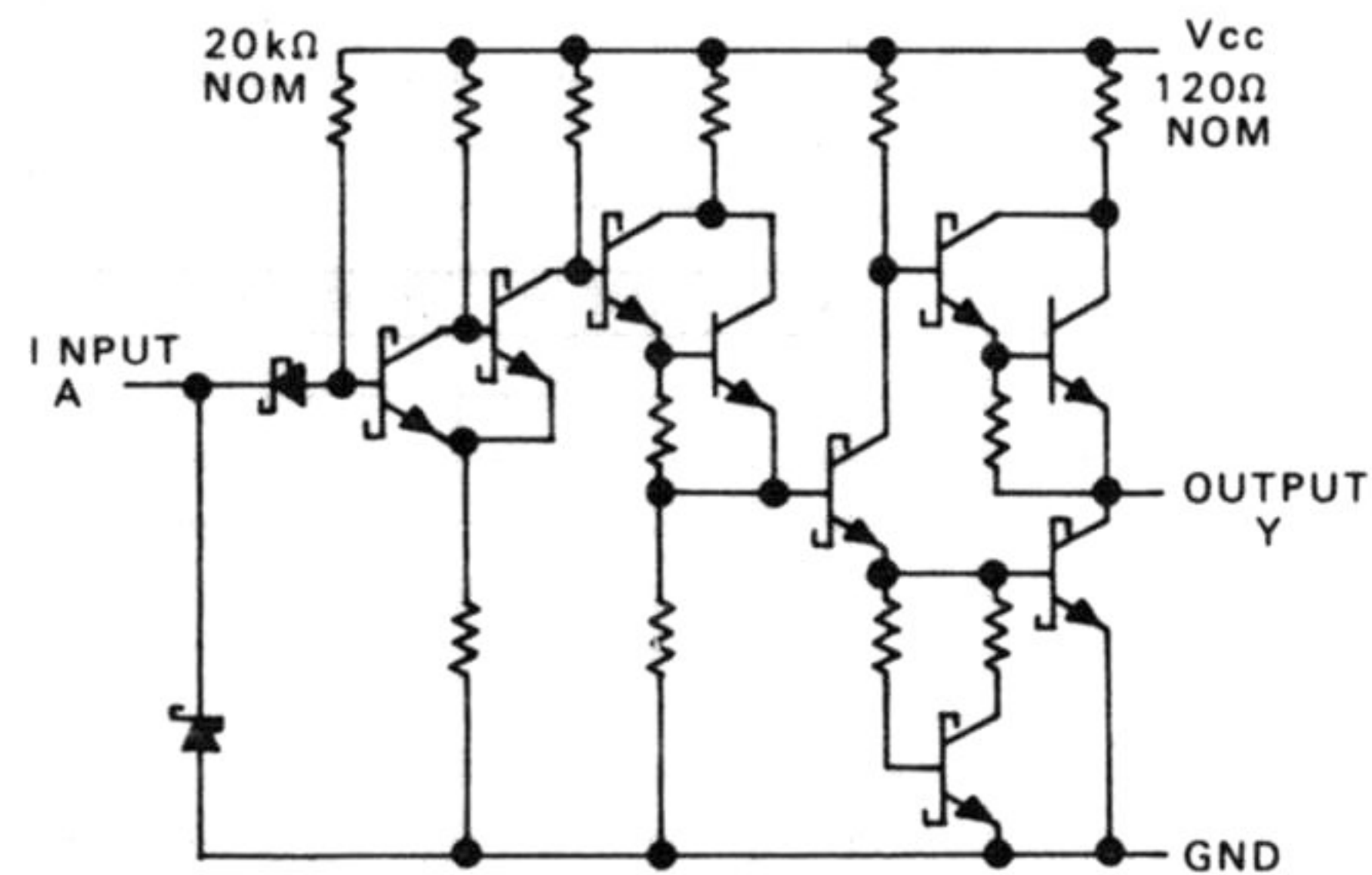
7413 Dual 4 Input NAND Schmitt Triggers

7413

74LS13

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		22			12									ns
tpd	max			H→L	↓		27			18.5									ns
VT+	typ						1.6												V
VT-	typ						0.8												V
VT_def	min						0.4			0.4									V
Icc	max				H		6			8.5									mA
Icc	max				L		7			10									mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0.4			0.6									mA
ITH+	max	ALL	+				0.14												mA
ITH-	max	ALL	-				0.18												mA
IOH	max			Y	H		0.4			1									mA
IOL	max			Y	L		8			20									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF											
MOT		D			D								
日電													
NS		DF	DF										
PHIL													
RCA													
SIGNE													
TI		DF					DF						
東芝		D											
SGS													
CYPRES													
IDT													

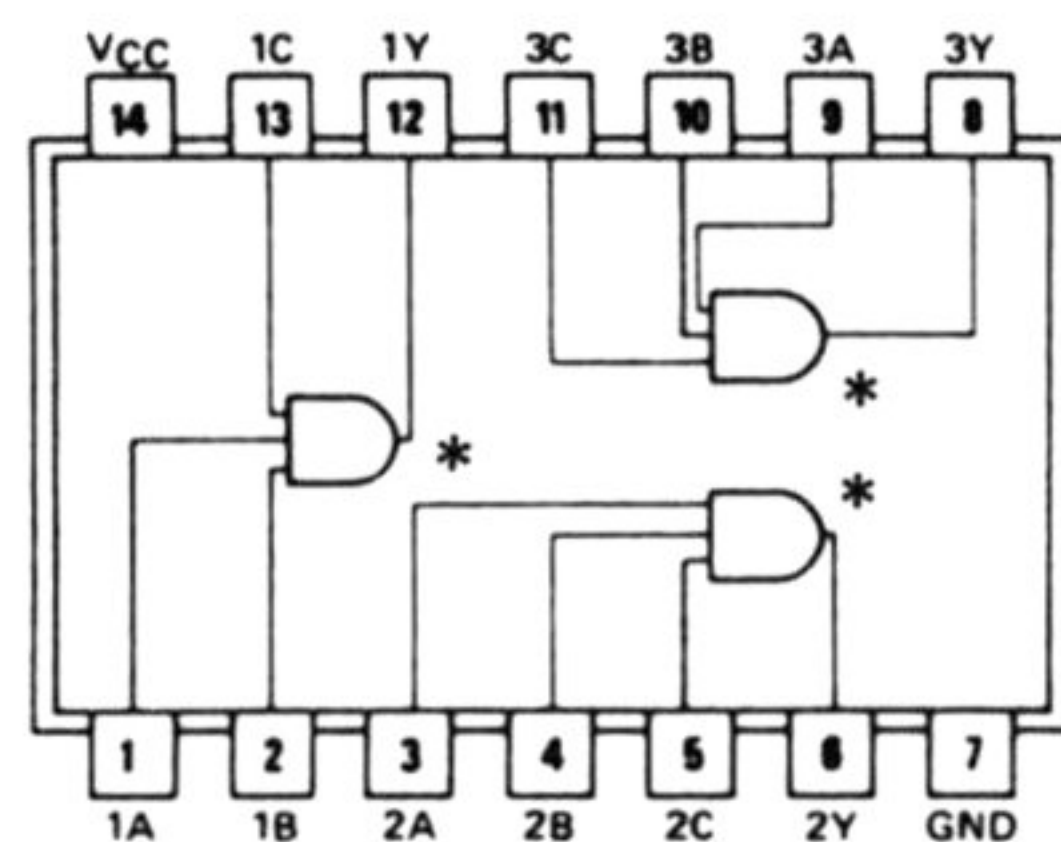
参考品種
7414
74132
7418

7414 Hex Schmitt Trigger Inverters

7414

74LS14

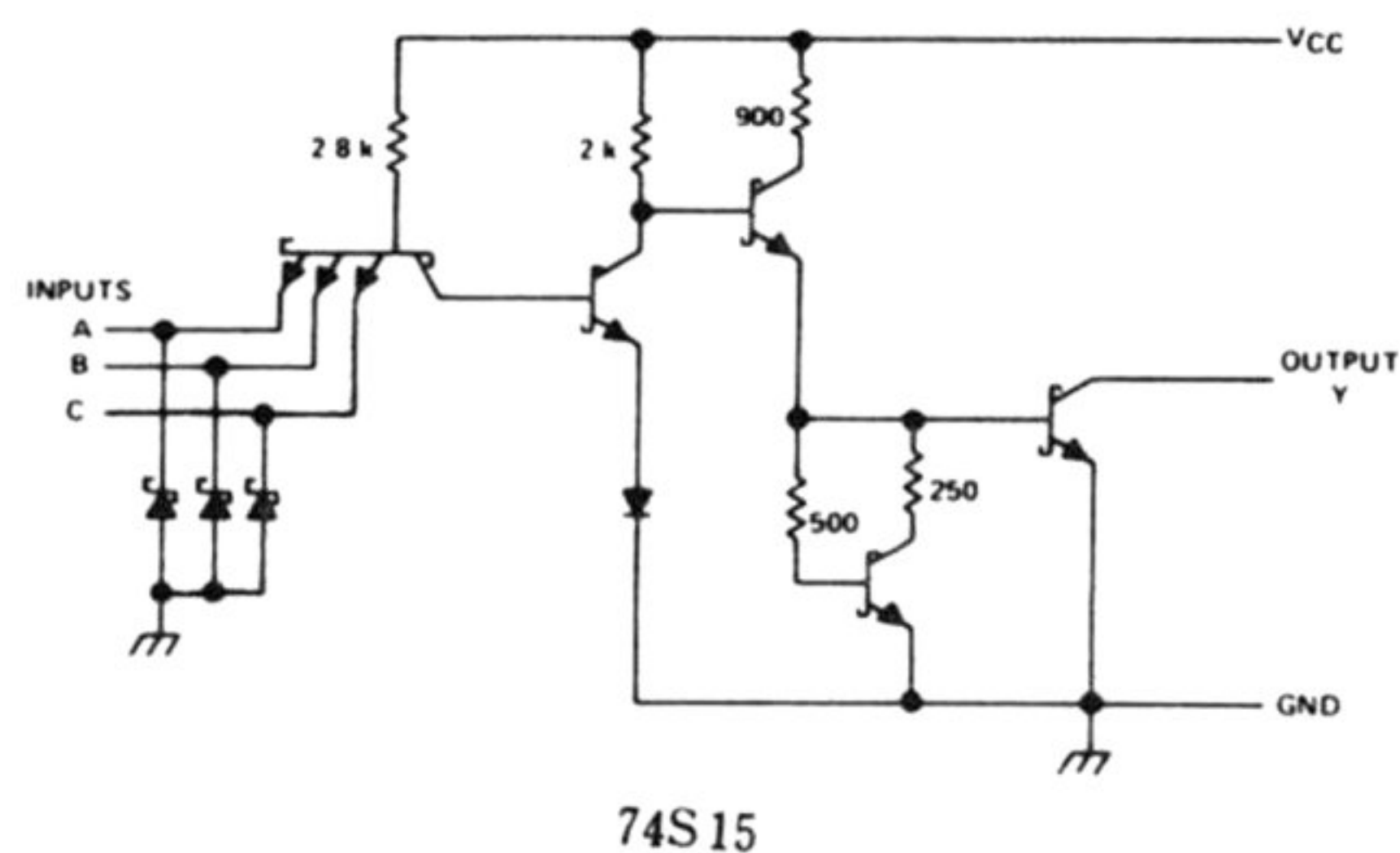
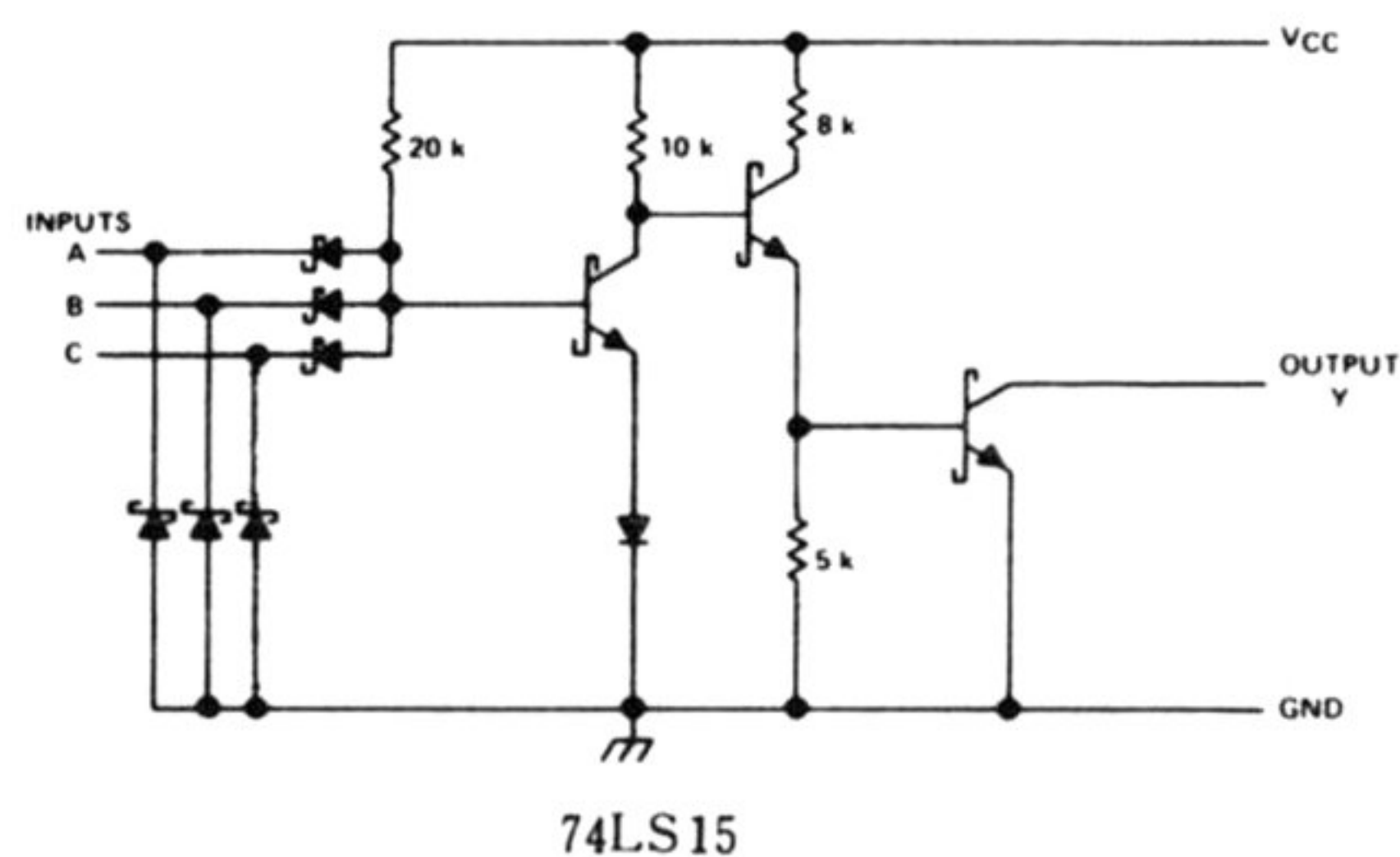
参考品種
7413
74132
7419

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑	13.5	22	12		11.5		9.5	13.2	31		39			ns
tpd	max			H→L	↓	13.5	22	10		9		9.5	8.6	31		39			ns
VT+	typ						1.6			1.7		3.2	3.2	2.4		1.9			V
VT-	typ						0.8			0.9		0.9	0.9	1.8		1.2			V
VT_def	min						0.4			0.4				0.4		0.4			V
Icc	max				H	0.0025	16	12		25		0.04	0.04	0.02		0.02			mA
Icc	max				L		21	12		25		0.04	0.04	0.02		0.02			mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.4	0.1		0.6									mA
ITH+	max	ALL	+				0.14	0.02											mA
ITH-	max	ALL	-				0.18	0.1											mA
IOH	max			Y	H	12	0.4	0.4		1		24	24	4		4			mA
IOL	max			Y	L	12	16	8		20		24	24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF		DF					
MOT		DF			DF		DF	DF	DF					
日電									DF					
NS	F	DF	DF		DF		DF		DF					
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE					DF									
TI		DF					DF	DF	DF					
東芝	F	D					DFS	DFS	DF					
SGS									DF		DF			
CYPRES														
IDT														

7415　　Triple 3 Input O.C. AND

○7411のオープンコレクタタイプ

74LS15

74S15

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		35	54		20									ns
tpd	max			H→L	↓		35	13		6.3									ns
VOH	max						5.5	5.5		5.5									V
Icc	max			High	H		3.6	1.8		6.2									mA
Icc	max			Low	L		6.6	3		9.7									mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.4	0.1		0.6									mA
IOH	max			ALL	H		0.1	0.1		0.1									mA
IOL	max			ALL	L		8	8											mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF											
MOT													
日電													
NS		DF											
PHIL													
RCA													
SIGNE													
TI			DF										
東芝													
SGS													
CYPRES													
IDT													

参考品種
7409

7419　　Hex Schmitt Trigger Inverters

○PNP 入力
○7414ピンコンパチブル
○7414に比べLレベル入力負荷$\frac{1}{8}$

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		20												ns
tpd	max			H→L	↓		30												ns
VT+	typ						1.9												V
VT-	typ						1.0												V
VT_def	min						0.4												V
Icc	max				H		18												mA
Icc	max				L		30												mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				50												mA
ITH+	max	ALL	+				2												mA
ITH-	max	ALL	-				5												mA
IOH	max			ALL	H		0.4												mA
IOL	max			ALL	L		8												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI		DF												
東芝														
SGS														
CYPRES														
IDT														

参考品種
7414

7420 Dual 4 Input NAND

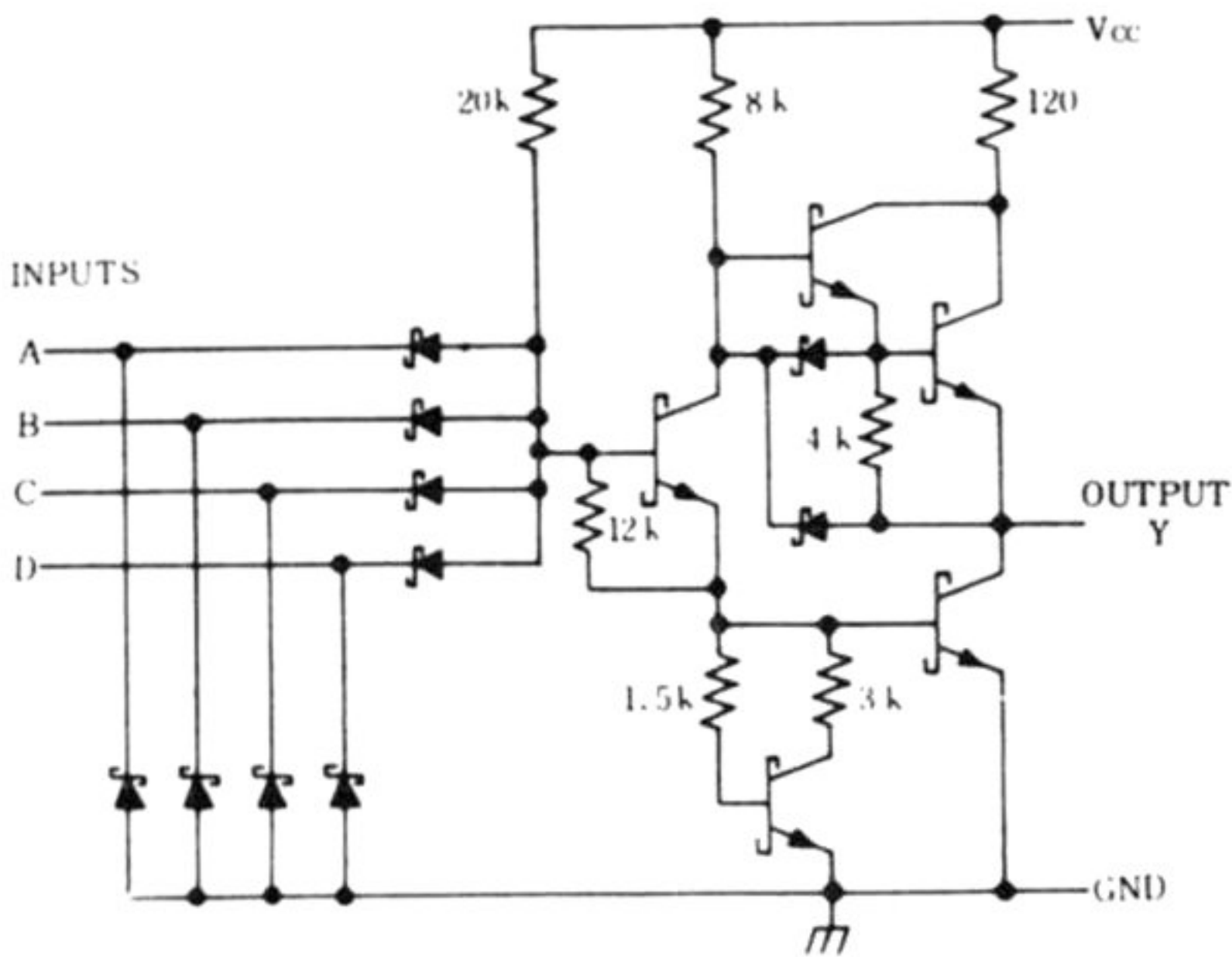
Vcc 2D 2C NC 2B 2A 2Y
14 13 12 11 10 9 8
1 2 3 4 5 6 7
1A 1B NC 1C 1D 1Y GND

○ $Y = \overline{A \cdot B \cdot C \cdot D}$

7420

74LS20

74 S20

参考品種
7410
7430
74133

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15	11	8	6	5	11.1	12.3	23		35			ns
tpd	max			H→L	↓		15	10	7	5.3	4.5	11.1	12.3	23		35			ns
Icc	max			High	H		0.8	0.4	0.8	1.4	1.6	0.04	0.04	0.02		0.02			mA
Icc	max			Low	L		2.2	1.5	3.9	5.1	8.7	0.04	0.04	0.02		0.02			mA
IIH	max	ALL	H				20	20	20	20	20								μA
IIL	max	ALL	L				0.4	0.1	0.1	0.6	0.5								mA
IOH	max			ALL	H		0.4	0.4	2.6	1	2	24	24	4		4			mA
IOL	max			ALL	L		8	8	24	20	20	24	24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		DF			DF		D	D	DF					
日電									DF					
NS		DF	DF		DF	DF	DF							
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF	DF	DF	DF	DF	DF	DF					
東芝		D			D		DF		DF					
SGS									DF,					
CYPRES														
IDT														

7421　Dual 4 Input AND

○7420のANDタイプ
○Y=A・B・C・D

7421

74LS21

参考品種
7408
7411

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15	26		6.6	6			8		10			ns
tpd	max			H→L	↓		20	10		6.3	6			8		10			ns
Icc	max			High	H		2.4	1.2		4.1	4.6			0.02		0.02			mA
Icc	max			Low	L		4.4	2		6.4	12			0.02		0.02			mA
IIH	max	ALL	H				20	20		20	20								μA
IIL	max	ALL	L				0.4	0.1		0.6	0.5								mA
IOH	max			ALL	H		0.4	0.4		1.0	2			4		4			mA
IOL	max			ALL	L		8	8		2.0	20			4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		DF			DF								
日電									DF				
NS		DF	DF			DF							
PHIL									DF		DF		
RCA									DF		DF		
SIGNE													
TI		DF	DF		DF	DF	DF	DF	DF				
東芝		D							DF				
SGS									DF				
CYPRES													
IDT													

7422　Dual 4 Input O.C. NAND

○7420のオープンコレクタタイプ

74S22

7422

74LS22

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		32	45						33					ns
tpd	max			H→L	↓		28	18						26					ns
VOH	max						5.5	5.5											V
Icc	max			High	H		0.8	0.4						0.02					mA
Icc	max			Low	L		2.2	1.5						0.02					mA
IIH	max	ALL	H				20	20											μA
IIL	max	ALL	L				0.4	0.1											mA
IOH				ALL	H		0.1	0.1											mA
IOL	max			ALL	L		8	8						4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF												
MOT		D												
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI		DF	DF											
東芝														
SGS														
CYPRES														
IDT														

参考品種
7412

7426　Quad 2 Input O. C. NAND Buffers

7426

74LS26

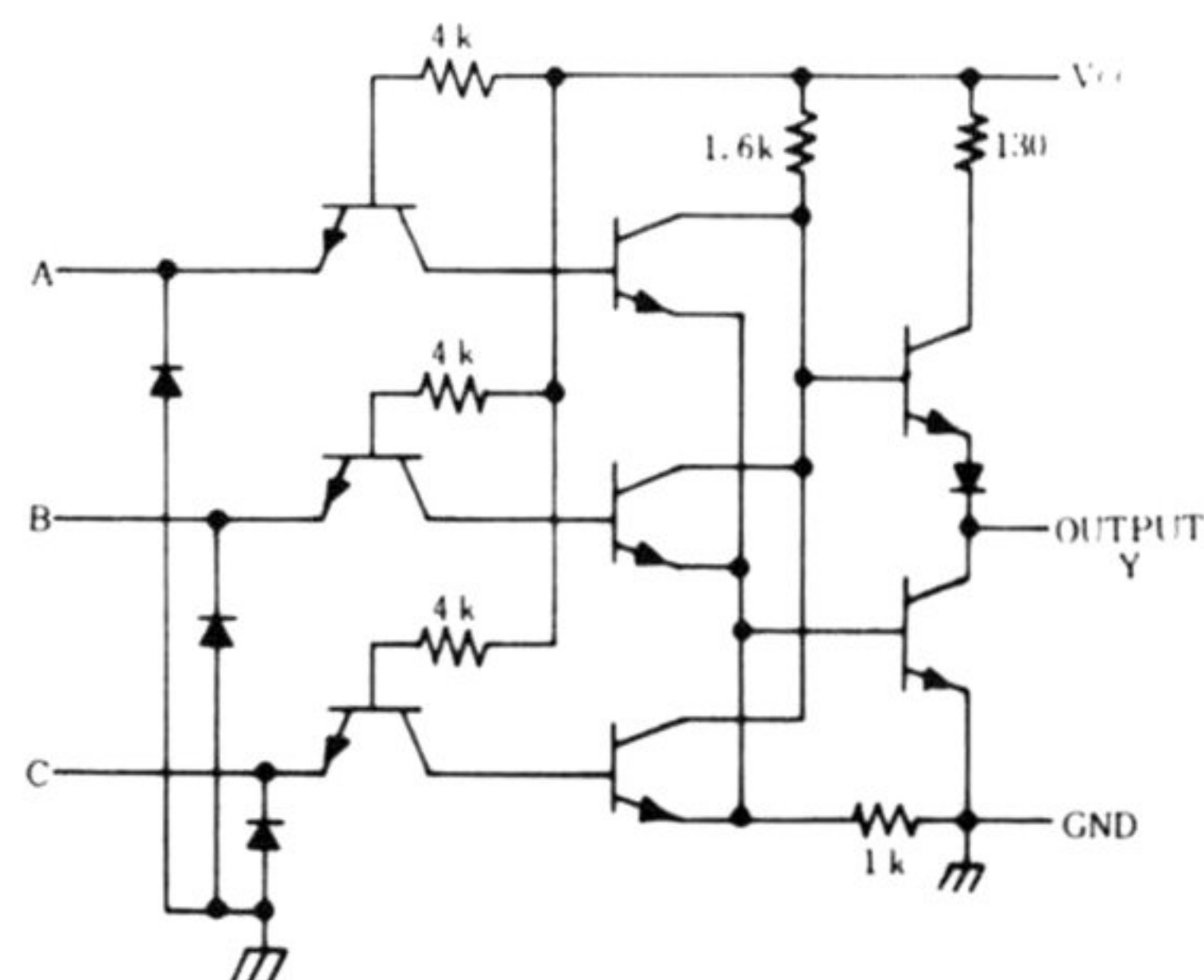
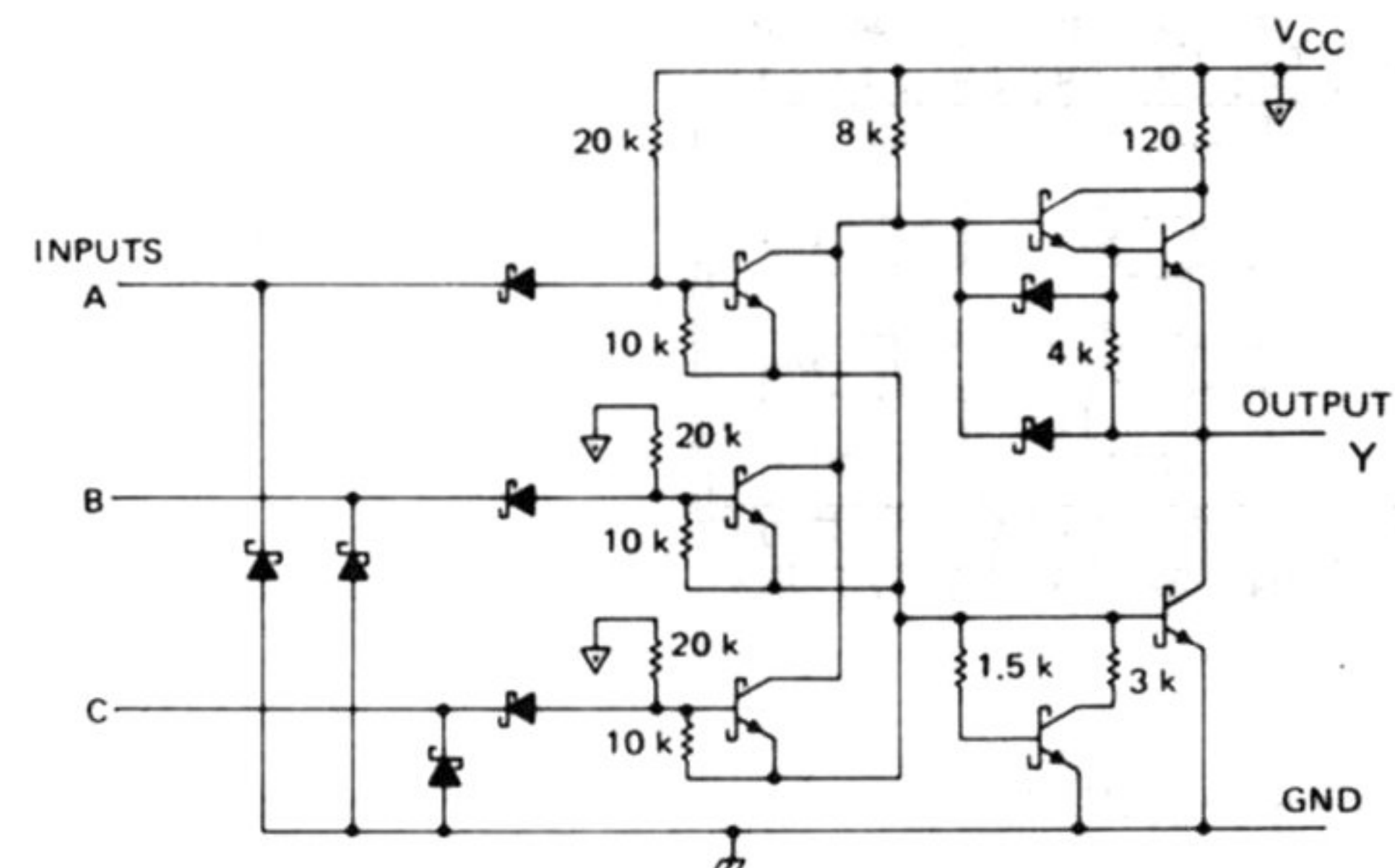
○7403の高耐圧タイプ（15V）

参考品種
7406
7407

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		32												ns
tpd	max			H→L	↓		28												ns
VOH	max						15												V
Icc	max			High	H		1.6												mA
Icc	max			Low	L		4.4												mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.36												mA
IOH	max			ALL	H		1												mA
IOL	max			ALL	L		8												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF												
MOT		D												
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI		DF												
東芝		D												
SGS														
CYPRES														
IDT														

7427 Triple 3 Input NOR

○ $Y=\overline{A+B+C}$

74LS27

7427

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15	15		6.5	5.5			23		26			ns
tpd	max			H→L	↓		15	9		5	4.5			23		26			ns
Icc	max			High	H		4	1.8		5.5	6.4			0.02		0.02			mA
Icc	max			Low	L		6.8	4		12	17.1			0.02		0.02			mA
IIH	max	ALL	H				20	20		20	20								μA
IIL	max	ALL	L				0.4	0.1		0.6	0.5								mA
IOH	max			ALL	H		0.4	0.4		3	2			4		4			mA
IOL	max			ALL	L		8	8		20	20			4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		DF							DF					
日電									DF					
NS		DF	DF		DF	DF			DF					
PHIL									DF		DF			
RCA									DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DF	DF	DF					
東芝		D							DF					
SGS									DF		DF			
CYPRES														
IDT														

参考品種
7402
7425

7428 Quad 2 Input NOR Buffers

○7402のバッファタイプ

○入出力ピンは一般のゲートと逆向き

（7402と同じ）

74LS28

7428

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		24	8		6.5									ns
tpd	max			H→L	↓		24	7		5									ns
Icc	max			High	H		3.6	2.8		11									mA
Icc	max			Low	L		13.8	9		32									mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.36	0.1		0.6									mA
IOH	max			ALL	H		1.2	2.6		3									mA
IOL	max			ALL	L		24	24		64									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT		D												
日電														
NS		DF	DF											
PHIL														
RCA														
SIGNE														
TI			DF											
東芝														
SGS														
CYPRES														
IDT														

参考品種
74128

7430 8 Input NAND

Vcc NC H G NC NC Y
14 13 12 11 10 9 8
1 2 3 4 5 6 7
A B C D E F GND

○ $Y=\overline{A \cdot B \cdot C \cdot D \cdot E \cdot F \cdot G \cdot H}$

INPUTS A B C D E F G H 4k 1.6k 130 1k Vcc OUTPUT Y GND

7430

INPUTS A B C D E F G H 17k 8k 120 4k 1.5k 3k Vcc Y GND

74LS30

INPUTS A B C D E F G H 2.8k 900 50 3.5k 500 250 Vcc OUTPUT Y GND

74S30

参考品種
7420
74133

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15	10		5.5	5			42		39			ns
tpd	max			H→L	↓		20	12		5.0	4.5			42		39			ns
Icc	max			High	H		0.5	0.36		1.5	1.5			0.02		0.02			mA
Icc	max			Low	L		1.1	0.9		40	4.9			0.02		0.02			mA
IIH	max	ALL	H				20	20		20	20								μA
IIL	max	ALL	L				0.4	0.1		0.6	0.5								mA
IOH	max			ALL	H		0.4	0.4		1	2			4		4			mA
IOL	max			ALL	L		8	8		20	20			4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		DF							DF					
日電									DF					
NS		DF	DF		DF	DF			DF					
PHIL									DF		DF			
RCA									DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DF	DF	DF					
東芝		D							DF					
SGS									DF		DF			
CYPRES														
IDT														

7431 Delay Elements

VCC 6A 6Y 5A 5Y 4B 4A 4Y
16 15 14 13 12 11 10 9
1 2 3 4 5 6 7 8
1A 1Y 2A 2Y 3A 3B 3Y GND

○INV, BUFF（1入力ゲート）はPNP入力
○表中の t_{pd} は typ 値
$\left(\begin{matrix} max \doteqdot t_{pd} \times 2 \\ min \doteqdot t_{pd} \div 1.5 \end{matrix}\right)$

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	INV		L→H	↑		32												ns
tpd	max	INV		H→L	↓		23												ns
tpd	max	BUFF		L→H	↑		45												ns
tpd	max	BUFF		H→L	↓		48												ns
tpd	max	NAND		L→H	↑		6												ns
tpd	max	NAND		H→L	↓		6												ns
Icc	max				H		30												mA
Icc	max				L		130												mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.2												mA
IOH	max			1G	H		0.4												mA
IOL	max			1G	L		8												mA
IOH	max			NAND	H		1.2												mA
IOL	max			NAND	L		24												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI		DF												
東芝														
SGS														
CYPRES														
IDT														

7432 Quad 2 Input OR

VCC 4B 4A 4Y 3B 3A 3Y
14 13 12 11 10 9 8
1 2 3 4 5 6 7
1A 1B 1Y 2A 2B 2Y GND

VCC
4 k 4 k 2.5 k 1.6 k 130
INPUTS
A
B
OUTPUT Y
1 k 1 k
GND

7432

○7402の OR タイプ

○7402とは入出力の向きが逆

VCC
2.8 k 2.8 k 2 k 900 50
INPUTS
A
B
3.5 k
OUTPUT Y
500 250
GND

74S32

VCC
20 k 20 k 11 k 8 k 120
INPUTS
A
B
OUTPUT Y
5 k
1.5 k 3 k
GND

74LS32

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑	9.0	22	14	9	6.6	5.8	8.5	11	23		30	6.5		ns
tpd	max			H→L	↓	9.0	22	12	12	6.3	5.8	7.5	11	23		30	6.5		ns
Icc	max			High	H	0.0025	6.2	4	9	9.2	12	0.04	0.04	0.02		0.02	0.01		mA
Icc	max			Low	L		9.8	4.9	12	15.5	26.6	0.04	0.04	0.02		0.02	11		mA
IIH	max	ALL	H				20	20	20	20	20								μA
IIL	max	ALL	L				0.4	0.1	0.1	0.6	0.5								mA
IOH	max			ALL	H	12	0.4	0.4	2.6	1	2	24	24	4		4	1		mA
IOL	max			ALL	L	12	8	8	24	20	20	24	24	4		4	20		mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF		DF					
MOT		DF			DF		DF	DF	DF			D		
日電									DF					
NS	F	DF	DF	DF	DF	DF	DF	DF	DF		D			
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI	DF	DF	DF	DF	DF	DF	DF	DF	DF					
東芝	F	D			D		DFS	DFS	DF		DF	D		
SGS									DF		DF			
CYPRES														
IDT														

7433 Quad 2 Input O.C. NOR Buffers

7433

74LS33

○7428のオープンコレクタタイプ

○入出力ピンは一般のゲートと逆向き

（7402と同じ）

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		32	33		20									ns
tpd	max			H→L	↓		28	12		5.5									ns
VOH	max						5.5	5.5		5.5									V
Icc	max			High	H		3.6	2.8		11									mA
Icc	max			Low	L		13.8	9		32									mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.36	0.1		0.6									mA
IOH	max			ALL	H		0.25	0.1		0.1									mA
IOL	max			ALL	L		24	24		64									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT		D												
日電														
NS		DF	DF											
PHIL														
RCA														
SIGNE														
TI		DF	DF											
東芝		D												
SGS														
CYPRES														
IDT														

7434 Hex Buffer

VCC 6A 6Y 5A 5Y 4A 4Y
14 13 12 11 10 9 8
1 2 3 4 5 6 7
1A 1Y 2A 2Y 3A 3Y GND

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑			8	8	6.6	5.5	5							ns
tpd	max			H→L	↓			6	8	6.3	6	5							ns
Icc	max		4.5V					1	6	12.5	12	14							mA
Icc	max		0V					3.5	14	19.4	34.6	33							mA
IIH	max	ALL	H					20	20	20	20								μA
IIL	max	ALL	L					0.1	0.1	0.6	0.1								mA
IOH	max			ALL	H			0.4	15	1	2	48							mA
IOL	max			ALL	L			8	24	20	20	48							mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS				DF		D								
PHIL														
RCA														
SIGNE														
TI			DF	DF		DF	DF	DF						
東芝														
SGS														
CYPRES														
IDT														

7435 Hex Buffer (O. C.)

VCC 6A 6Y 5A 5Y 4A 4Y
14 13 12 11 10 9 8
1 2 3 4 5 6 7
1A 1Y 2A 2Y 3A 3Y GND

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑			50	30	20									ns
tpd	max			H→L	↓			12	12	5. 3									ns
VOH	max							5. 5	5. 5	5. 5									V
Icc	max		4. 5V		H			4. 1	6	12. 5									mA
Icc	max		0V		L			6. 3	14	19. 4									mA
IIH	max	ALL	H					20	20	20									μA
IIL	max	ALL	L					0. 1	1	0. 6									mA
IOH	max			ALL	H			0. 1	0. 1	0. 1									mA
IOL	max			ALL	L			8	24	20									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS				DF										
PHIL														
RCA														
SIGNE														
TI			DF	DF										
東芝														
SGS														
CYPRES														
IDT														

7436 Quad 2 Input NOR

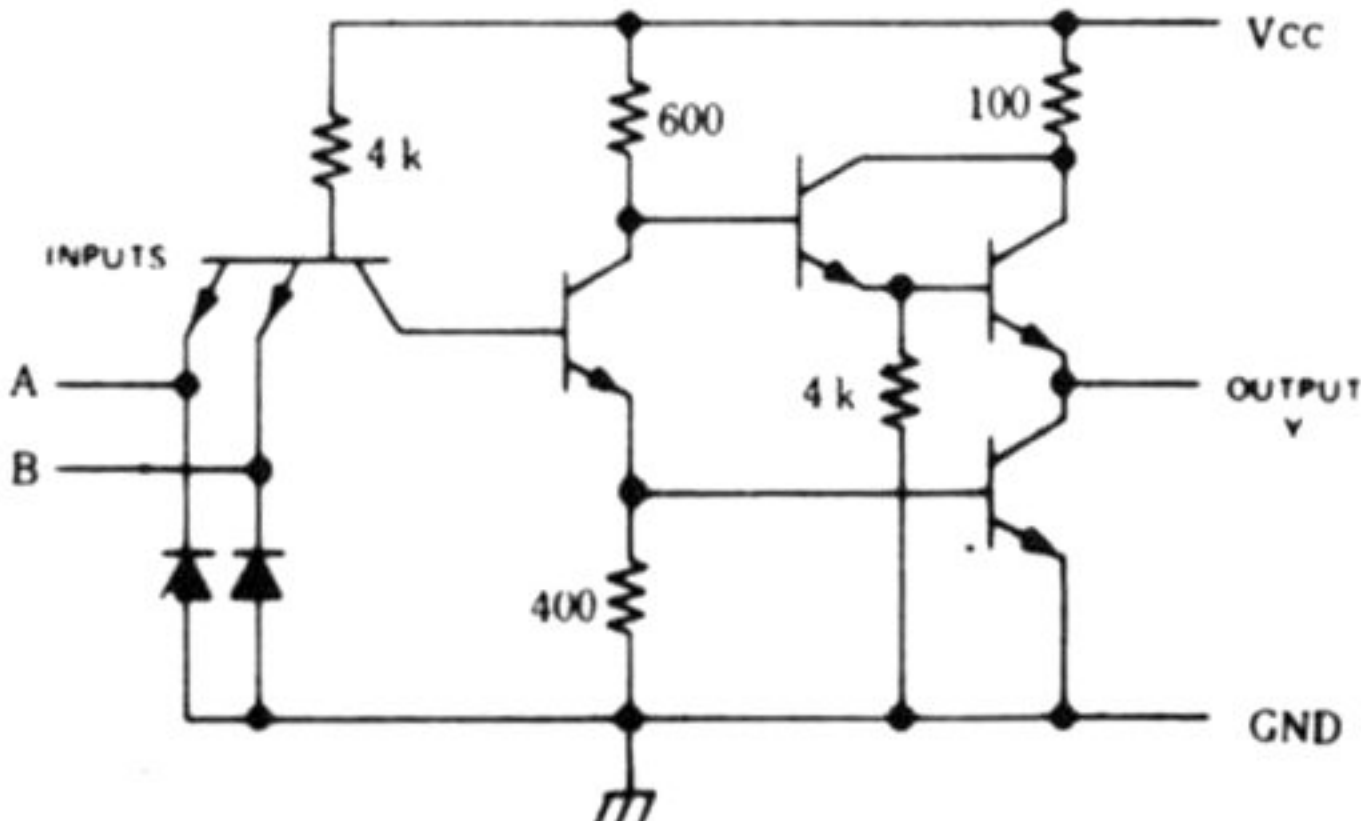
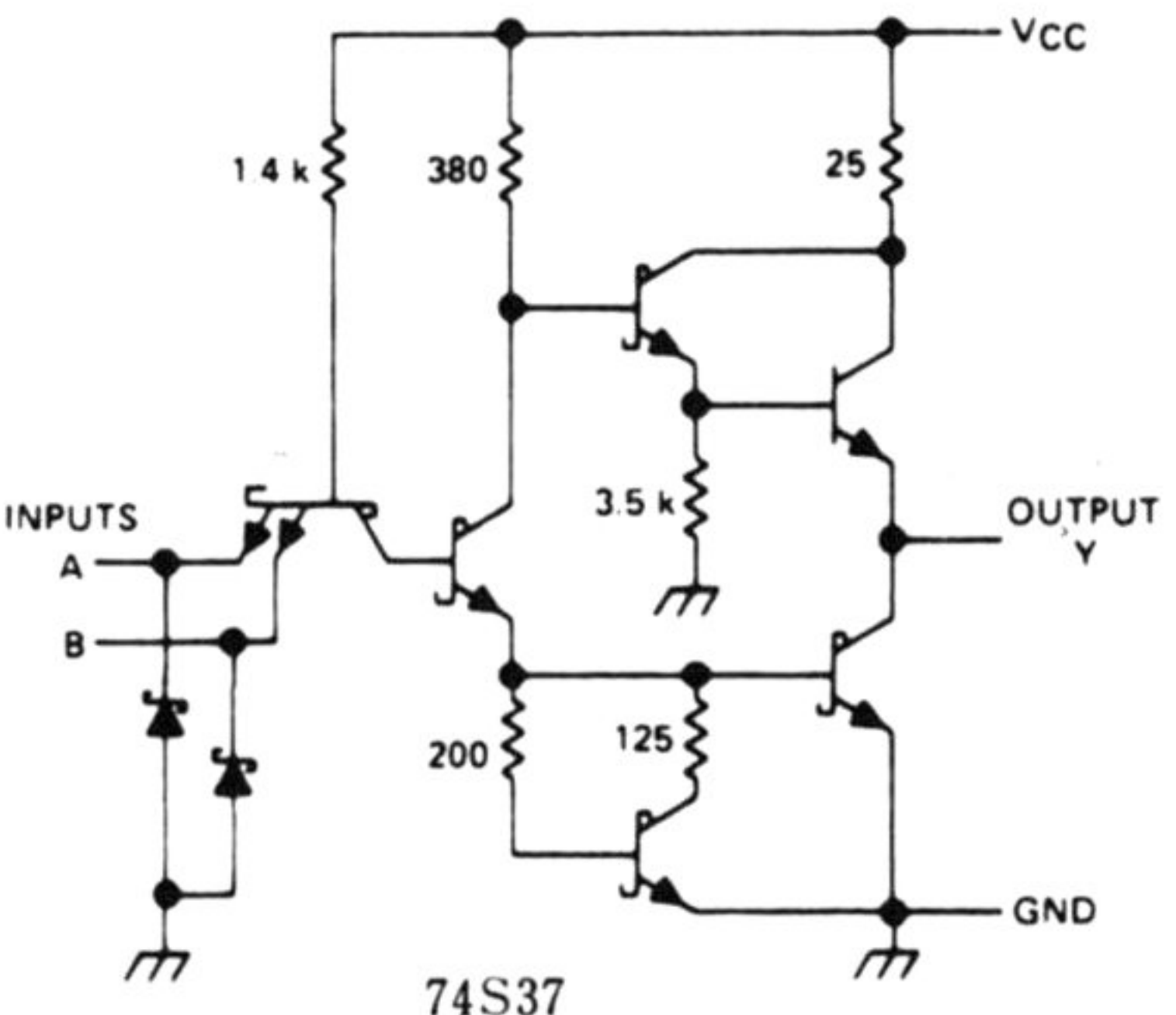
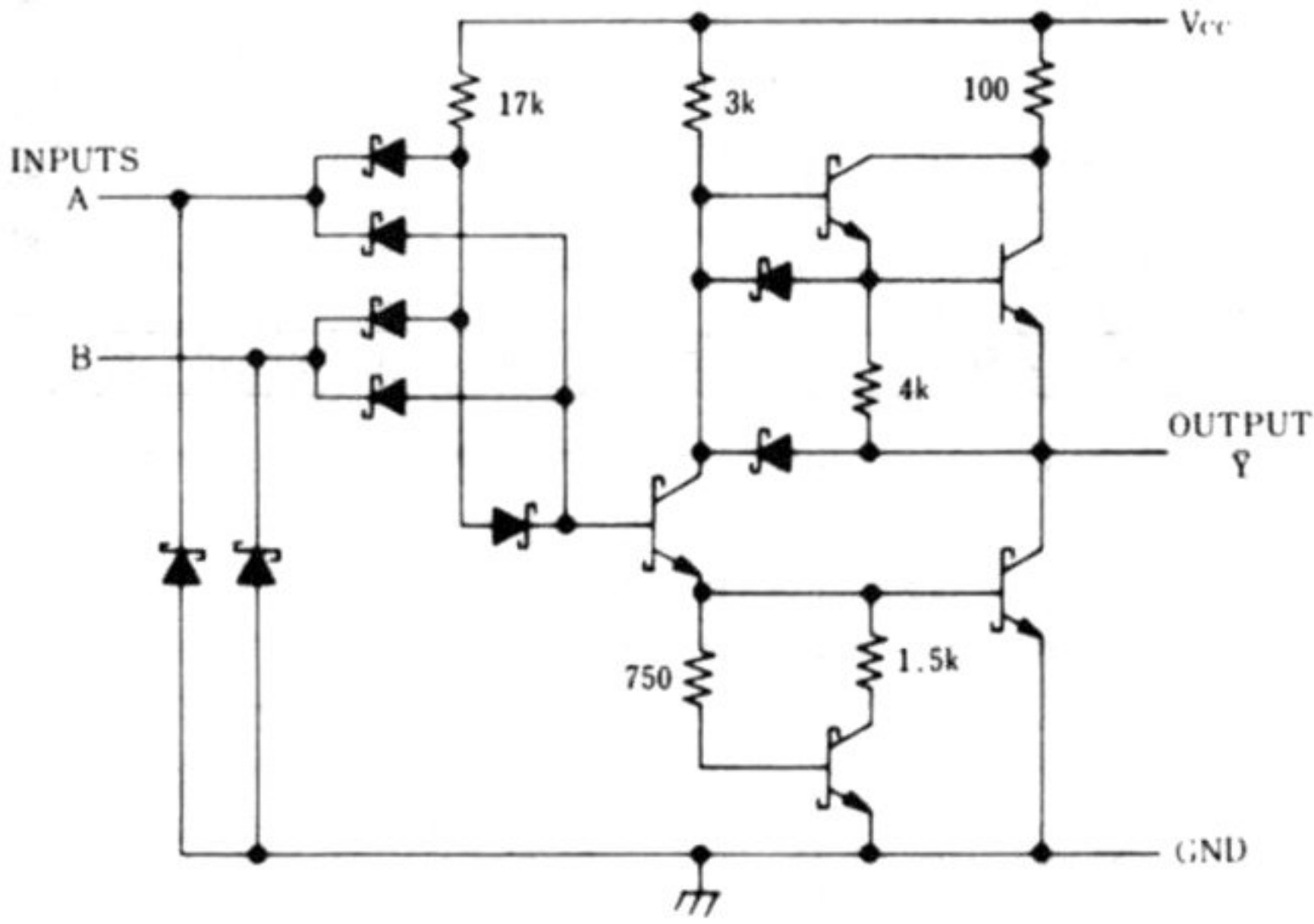
○7432の NOR タイプ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑					6.5									ns
tpd	max			H→L	↓					5.3									ns
Icc	max			High	H					5.6									mA
Icc	max			Low	L					13									mA
IIH	max	ALL	H							20									μA
IIL	max	ALL	L							0.6									mA
IOH	max			ALL	H					1									mA
IOL	max			ALL	L					20									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI									DF					
東芝														
SGS														
CYPRES														
IDT														

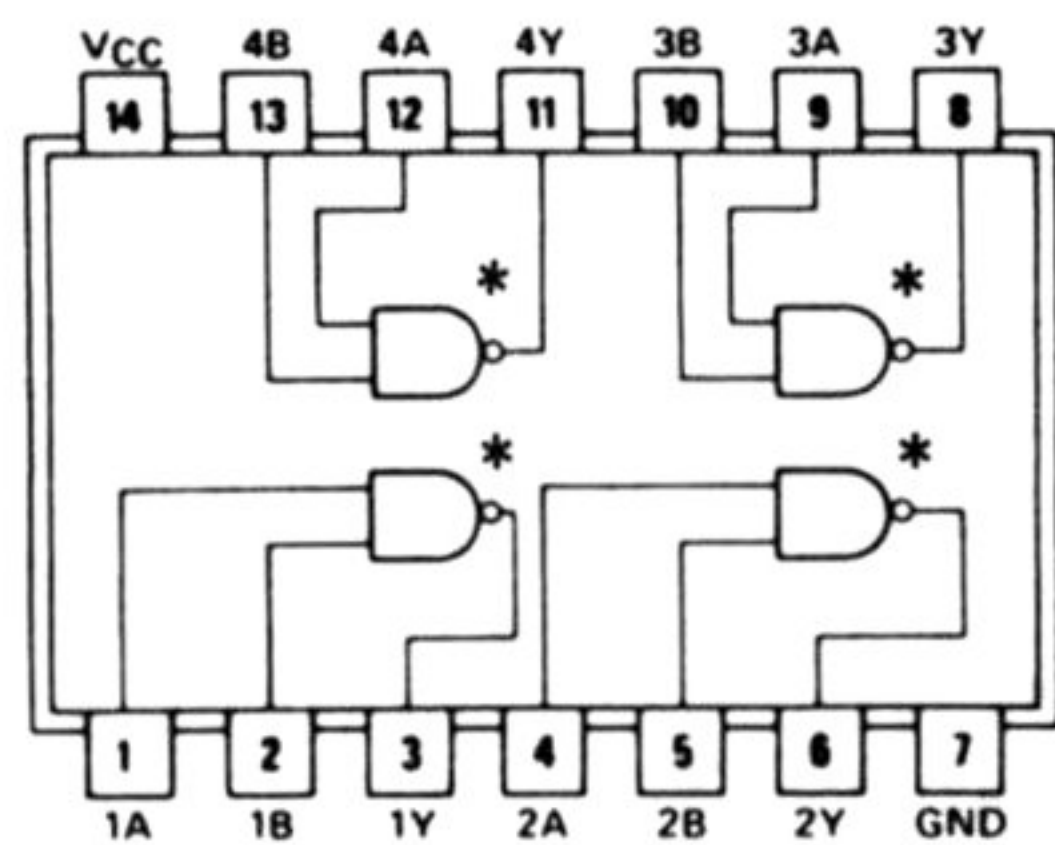
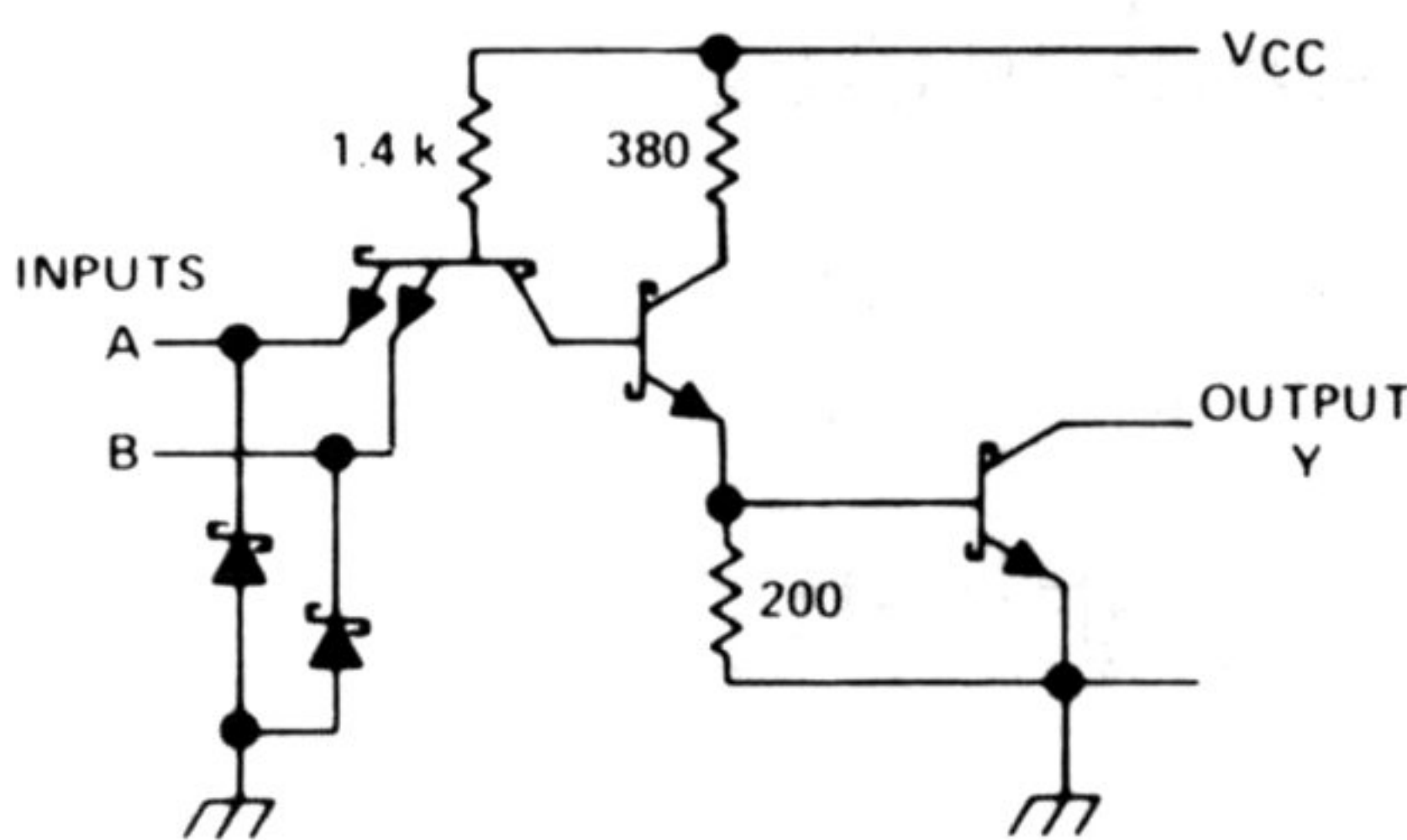
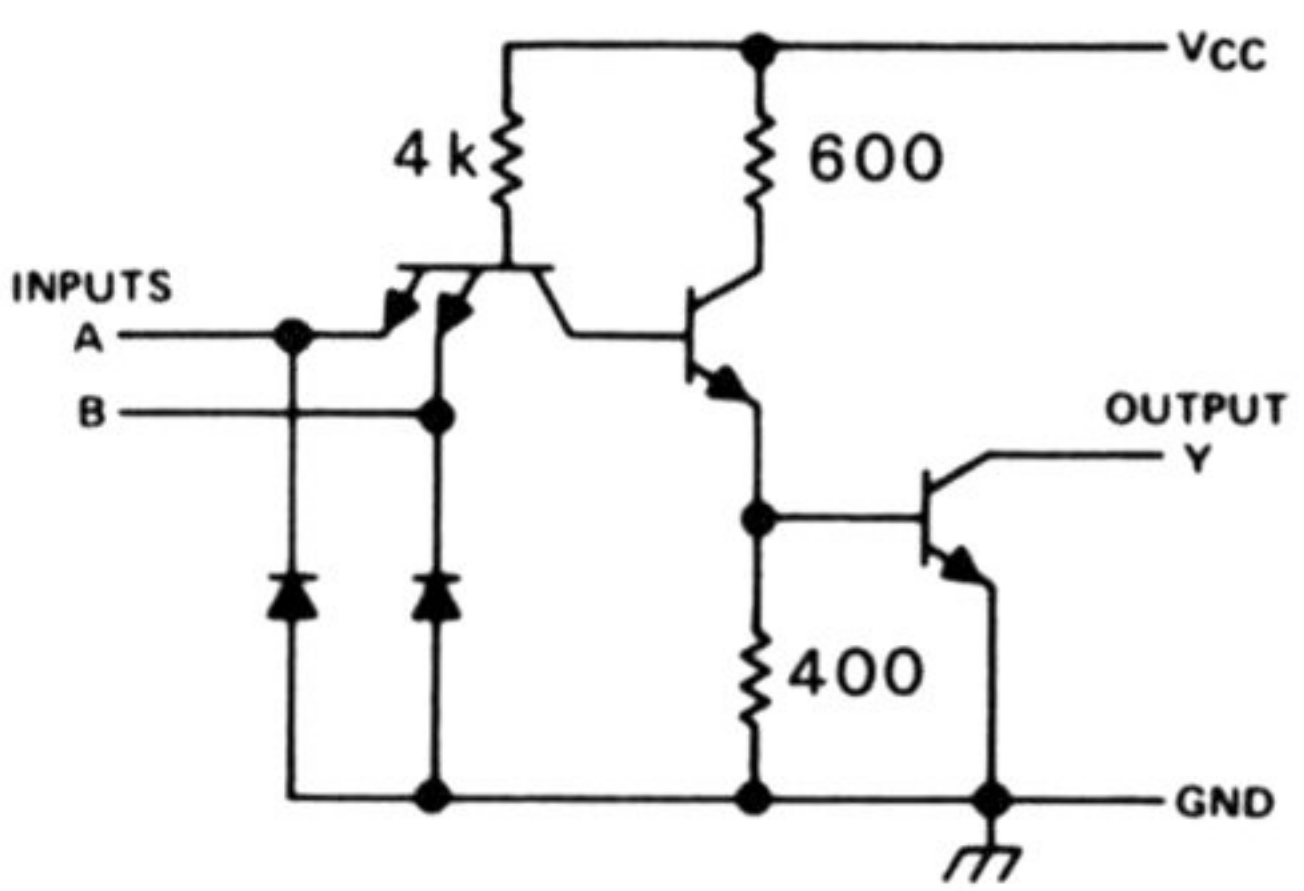
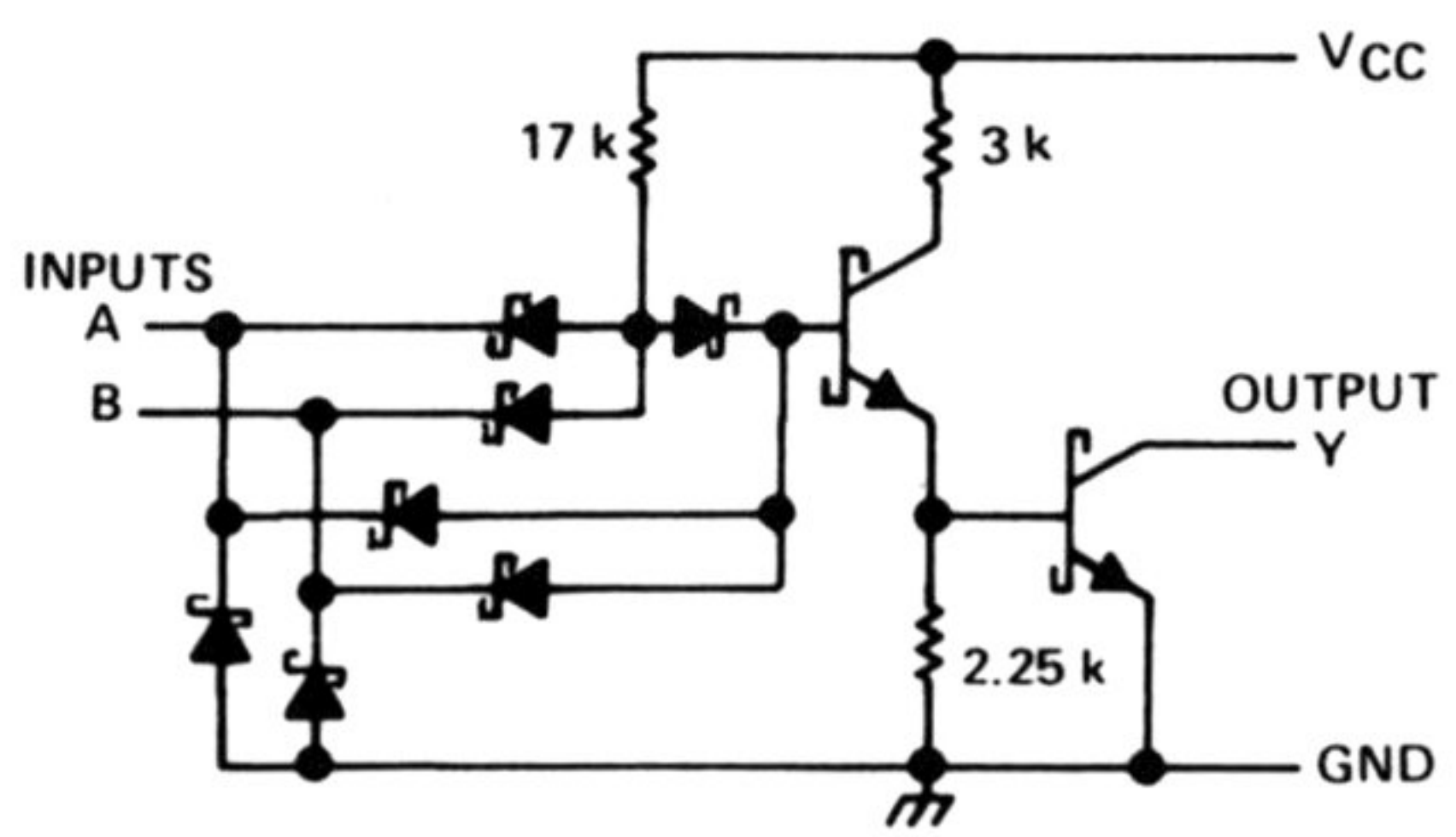
7437 Quad 2 Input NAND Buffers

○7400のバッファタイプ

○$Y=\overline{AB}$

7437

74S37

74LS37

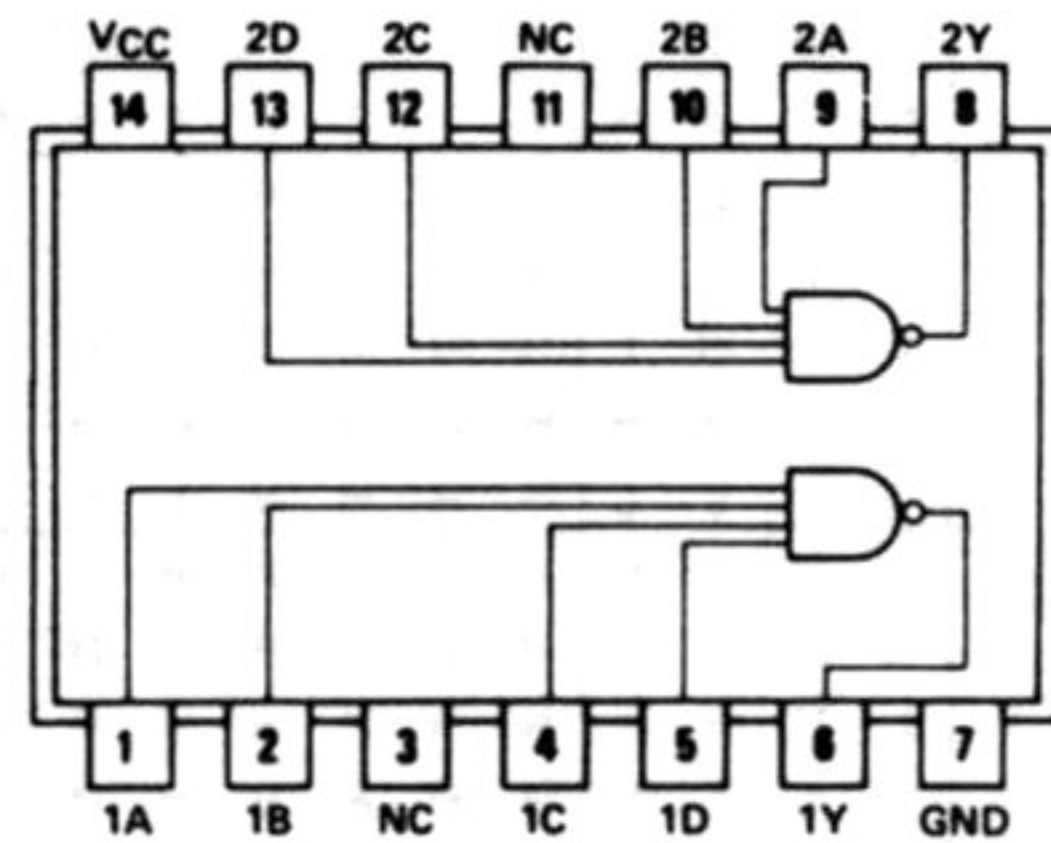
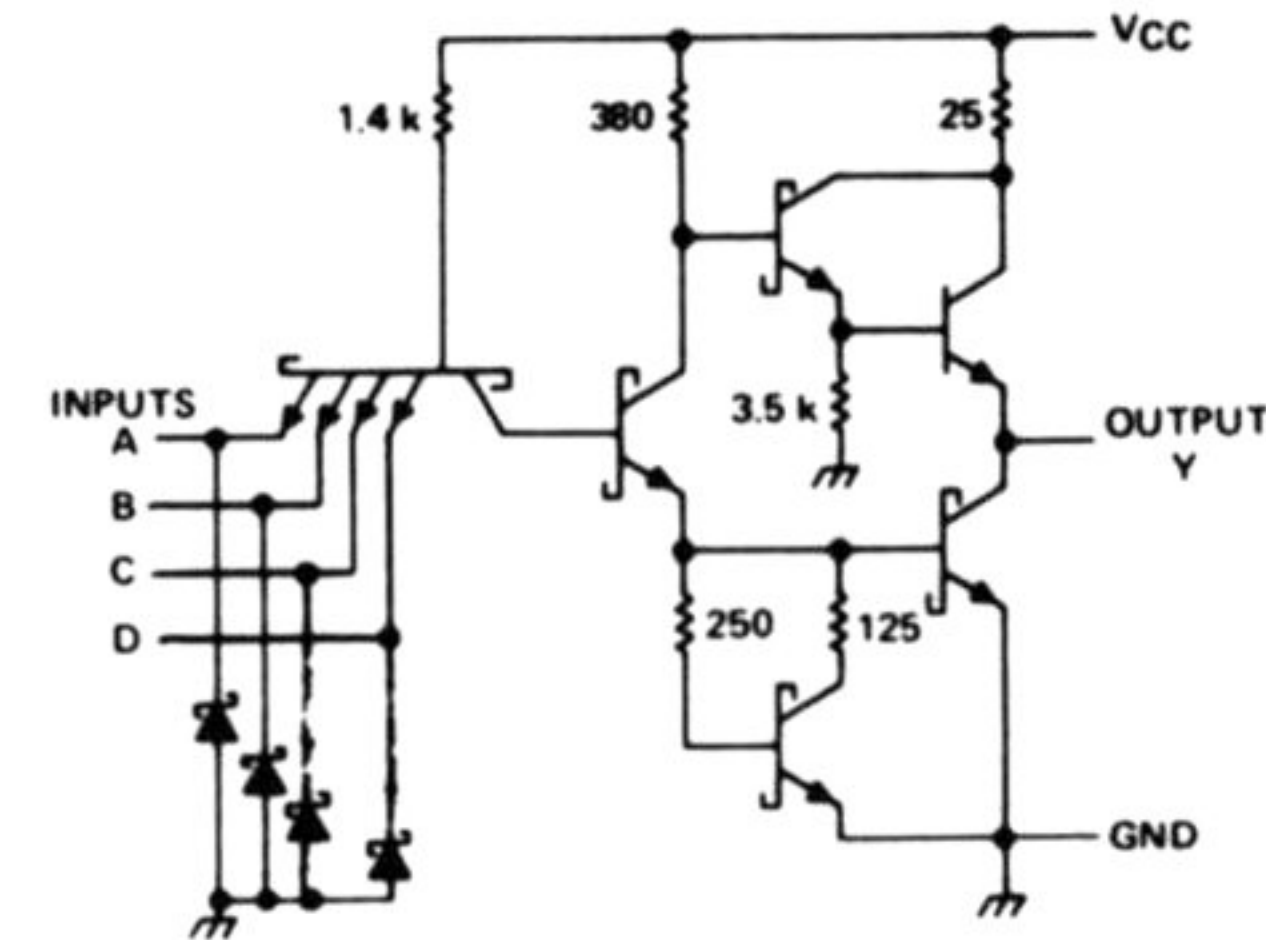
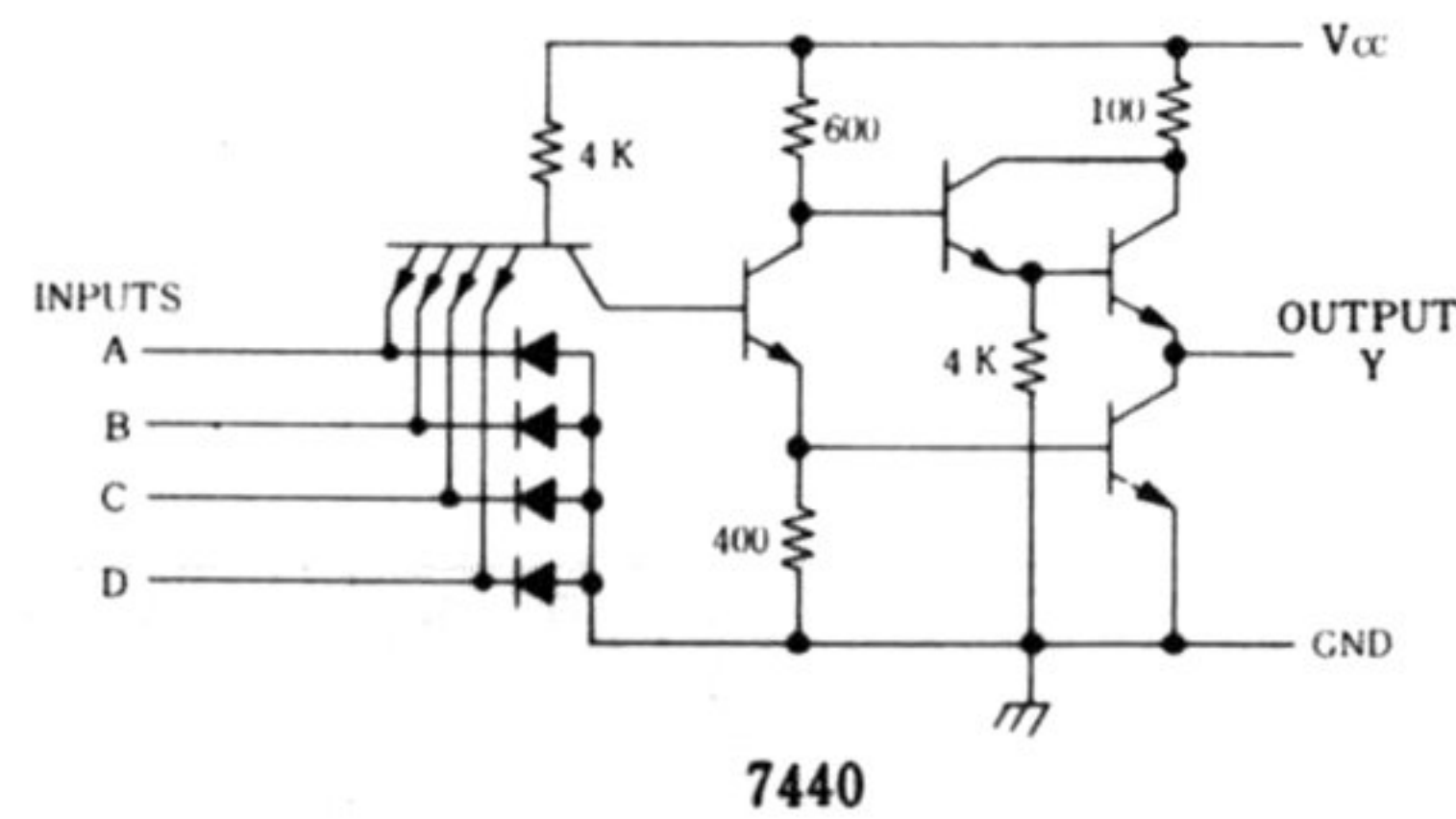
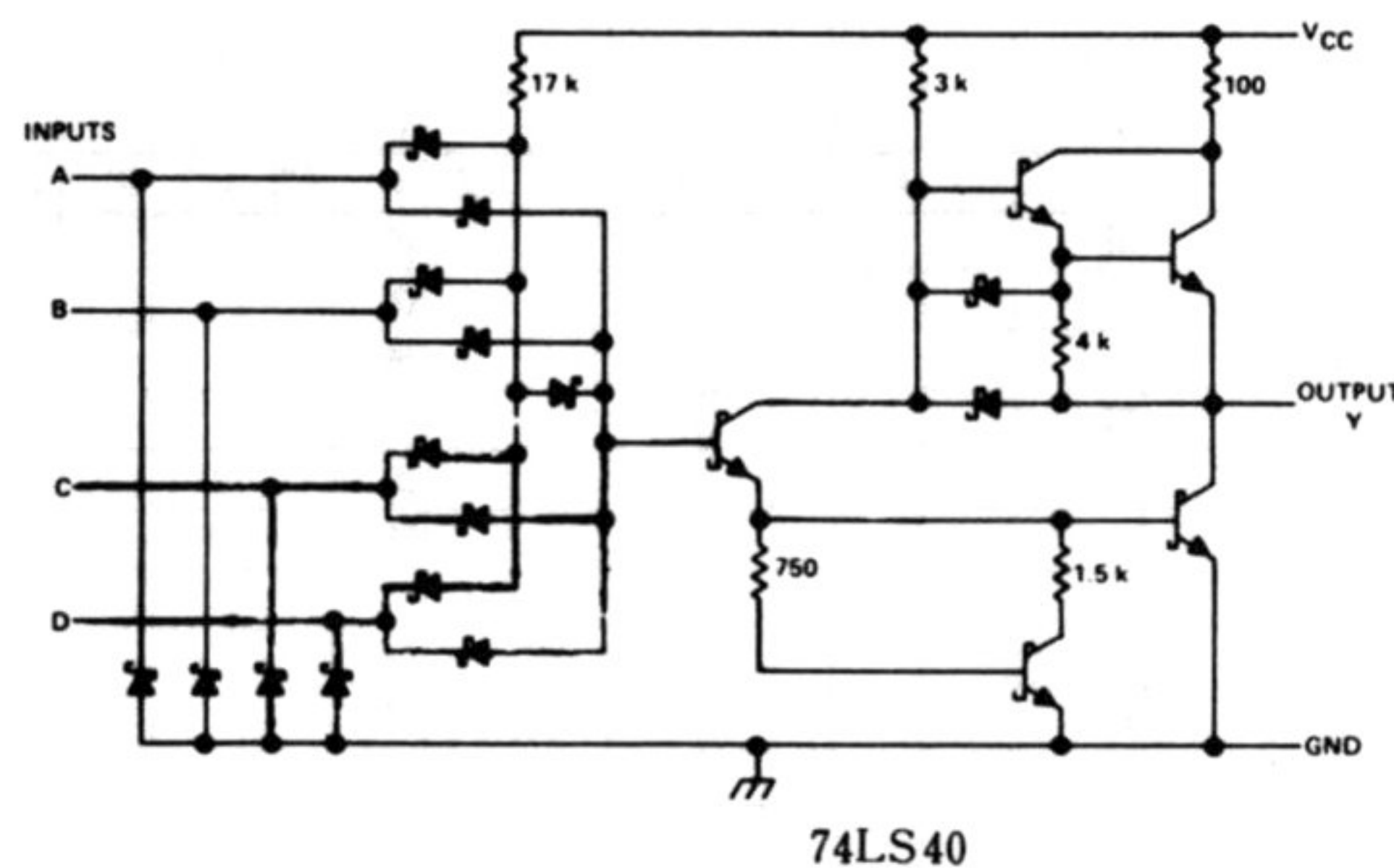
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		24	8		6.5									ns
tpd	max			H→L	↓		24	7		5									ns
Icc	max			High	H		2	1.6		6									mA
Icc	max			Low	L		12	7.8		33									mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.36	0.1		1.2									mA
IOH	max			ALL	H		1.2	2.6		3									mA
IOL	max			ALL	L		24	24		64									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF												
MOT		DF			DF									
日電														
NS		DF	DF		DF									
PHIL														
RCA														
SIGNE					DF									
TI		DF	DF		D									
東芝														
SGS														
CYPRES														
IDT														

7438　Quad 2 Input O.C. NAND Buffers

○7437のオープンコレクタタイプ

74S38

7438

74LS38

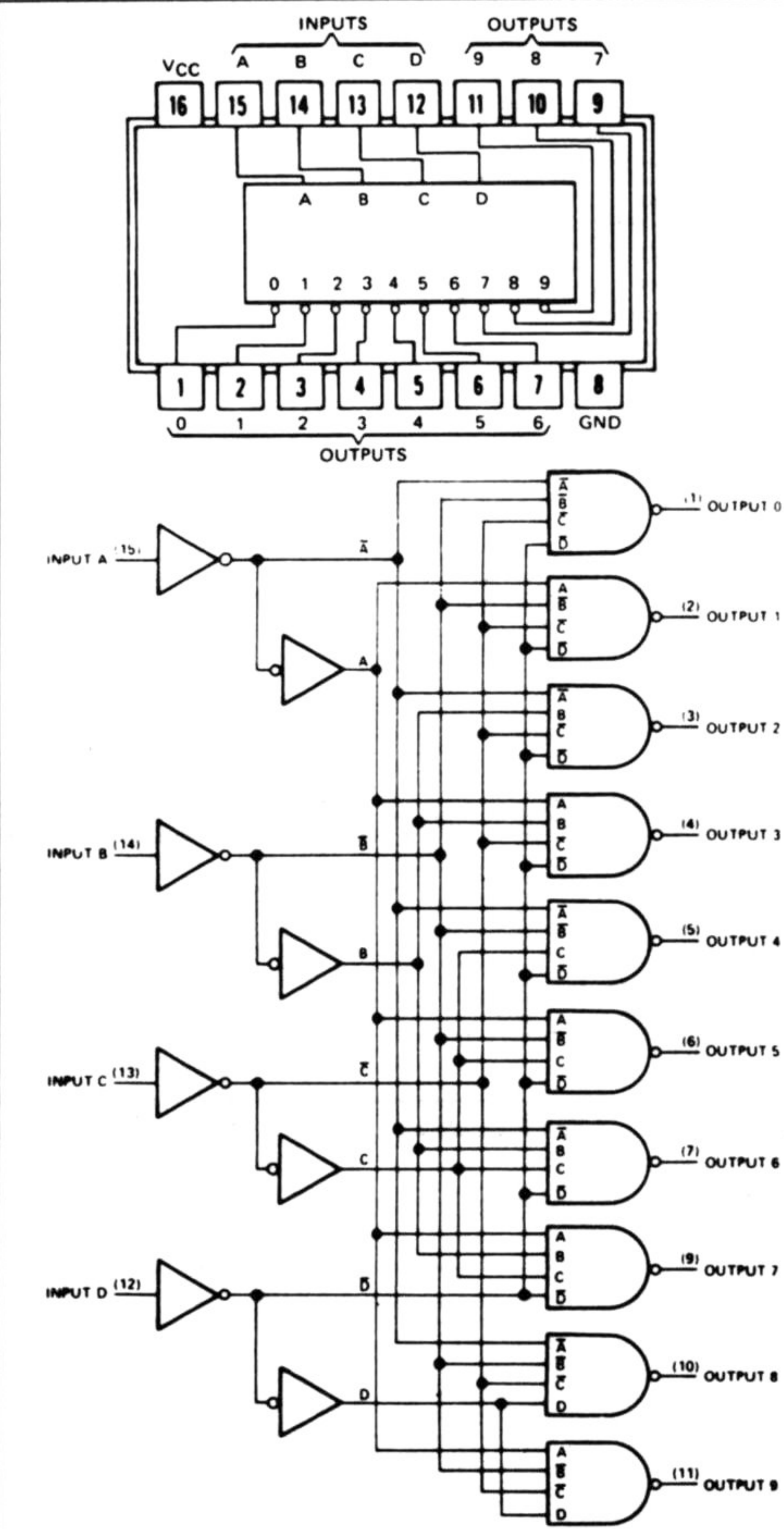
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		32	33		13									ns
tpd	max			H→L	↓		28	12		5.5									ns
VOH	max						5.5	5.5		5.5									V
Icc	max			High	H		2	1.6		6									mA
Icc	max			Low	L		12	7.8		33									mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.36	0.1		1.2									mA
IOH	max			ALL	H		0.25	0.1		3									mA
IOL	max			ALL	L		24	24		64									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF											
MOT		DF			DF								
日電													
NS		DF	DF		DF								
PHIL													
RCA													
SIGNE			DF		DF								
TI		DF	DF		D								
東芝		D											
SGS													
CYPRES													
IDT													

7440 Dual 4 Input NAND Buffers

○7420のバッファタイプ

74S40

7440

74LS40

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		24	8		7									ns
tpd	max			H→L	↓		24	7		5.5									ns
Icc	max			High	H		1	0.8		4									mA
Icc	max			Low	L		6	3.9		17									mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.36	0.1		1.2									mA
IOH	max			ALL	H		1.2	2.6		3									mA
IOL	max			ALL	L		24	24		64									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF											
MOT		D			D								
日電													
NS		DF	DF										
PHIL													
RCA													
SIGNE					DF								
TI		DF	DF		D								
東芝													
SGS													
CYPRES													
IDT													

7442 BCD to DECIMAL Decoder

○入力に加えた2進コードにより選ばれた出力がLになる.

○10～15(A～F)に対しては出力H

○入力コードをA, B, Cのみ(0～7)に加え, D入力をストローブにすることにより3 to 8デマルチプレクサとして使用できる. このとき出力は0～7を使用.

○7442を2個用いて, A, B, C入力は共通. D入力は一方だけ反転して加えると4 to 16デコーダとして使用可. D入力にゲートでインヒビット端子を設けるとデマルチプレクサとしても使用できる.

FUNCTION TABLE

NO.	INPUTS				OUTPUTS									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max						30							14	16	44			ns
Icc	max		L		OPEN		13							0.08	0.08	0.08			mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.4												mA
IOH	max			ALL	H		0.4							4	4	4			mA
IOL	max			ALL	L		8							4	4	4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		DF							DF					
日電									DF					
NS		DF												
PHIL									DF		DF			
RCA									DF		DF			
SIGNE														
TI		DF							DF					
東芝		D							DF					
SGS									DF					
CYPRES														
IDT														

7447 BCD to 7 Segment Decoder/Driver

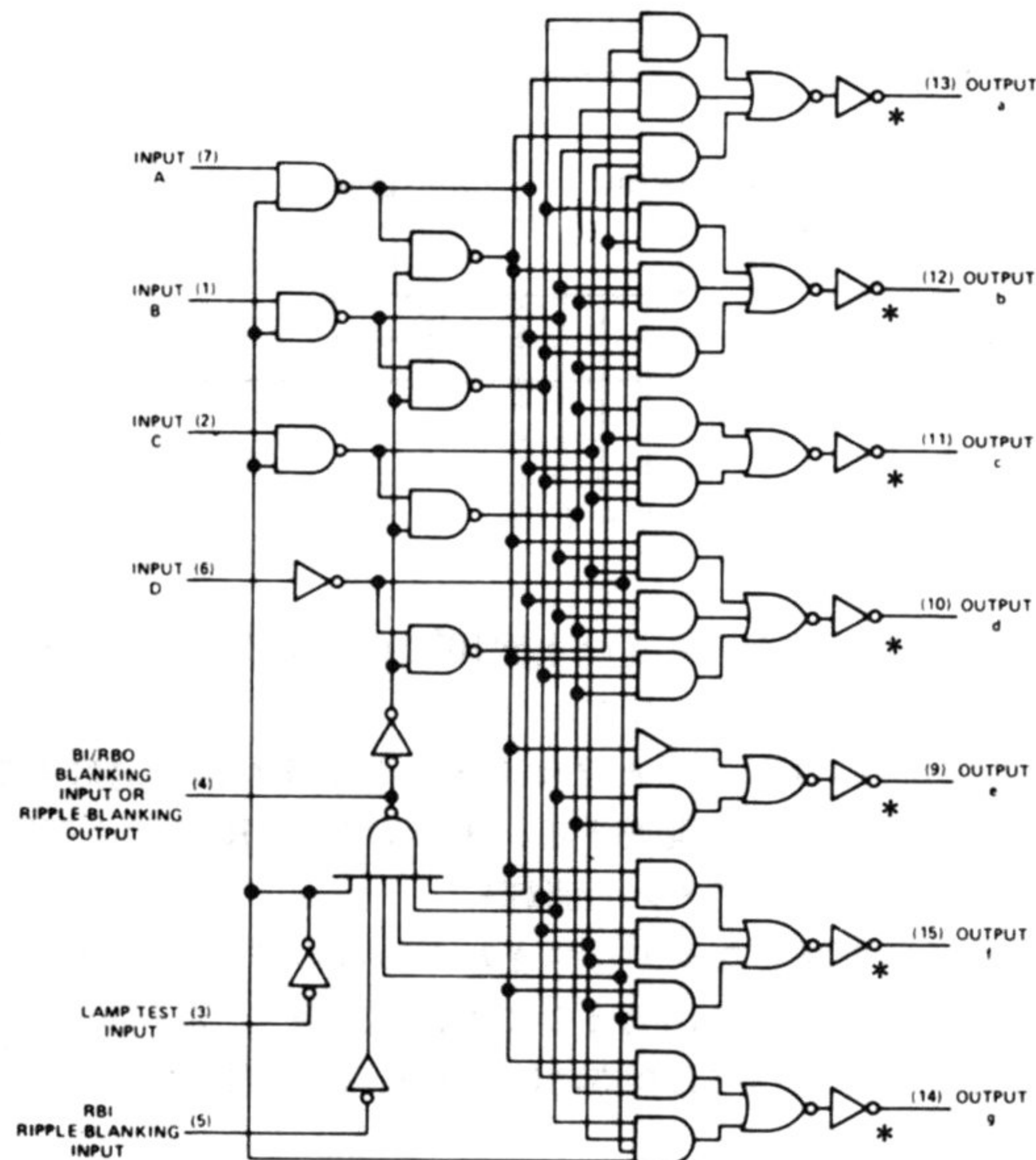
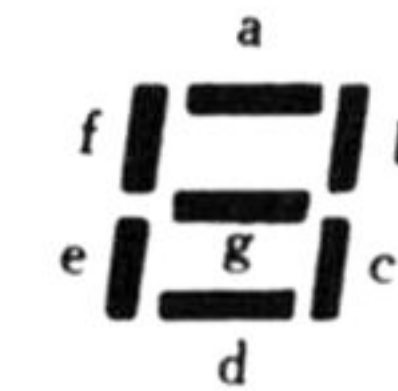
0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15

a b c d e f g

○オープンコレクタ出力
○7446と7447は出力耐圧が異なるのみ他は同一
○7446と74246, 7447と74247はそれぞれ6および9の字形が異なるのみで他は同一. したがって交換可能
○使用例は次頁を参照のこと

*

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max						100												ns
VOH	max			a～g			15												V
Icc	max		H	ALL	OPEN		13												mA
IIH	max	BI/RBO	H																μA
IIL	max	BI/RBO	L				1												mA
IIH	max	others	H				20												μA
IIL	max	others	L				0.36												mA
IOH	max			BI/RBO	H		0.05												mA
IOL	max			BI/RBO	L		3.2												mA
IOH	max			a～g	H														mA
IOL	max			a～g	L		24												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF											
MOT		D											
日電													
NS		DF											
PHIL													
RCA													
SIGNE													
TI		DF											
東芝													
SGS													
CYPRES													
IDT													

参考品種
74246
74247

7447　BCD to 7 Segment Decoder/Driver

7446，7447，74246，74247によるLED表示法（スタティック）点線の下の部分は7448，74248，74249についても同様．

5 V　10^2　10^1　10^0　10^{-1}　10^{-2}

アノードコモン　日の字型LED

COM

a b c d e f g

小数点

R: 200～300Ω前後　R×7　R×7　R×8　R×7　R×7

13 12 11 10 9 15 14

5　RBI　BI/RBO　4

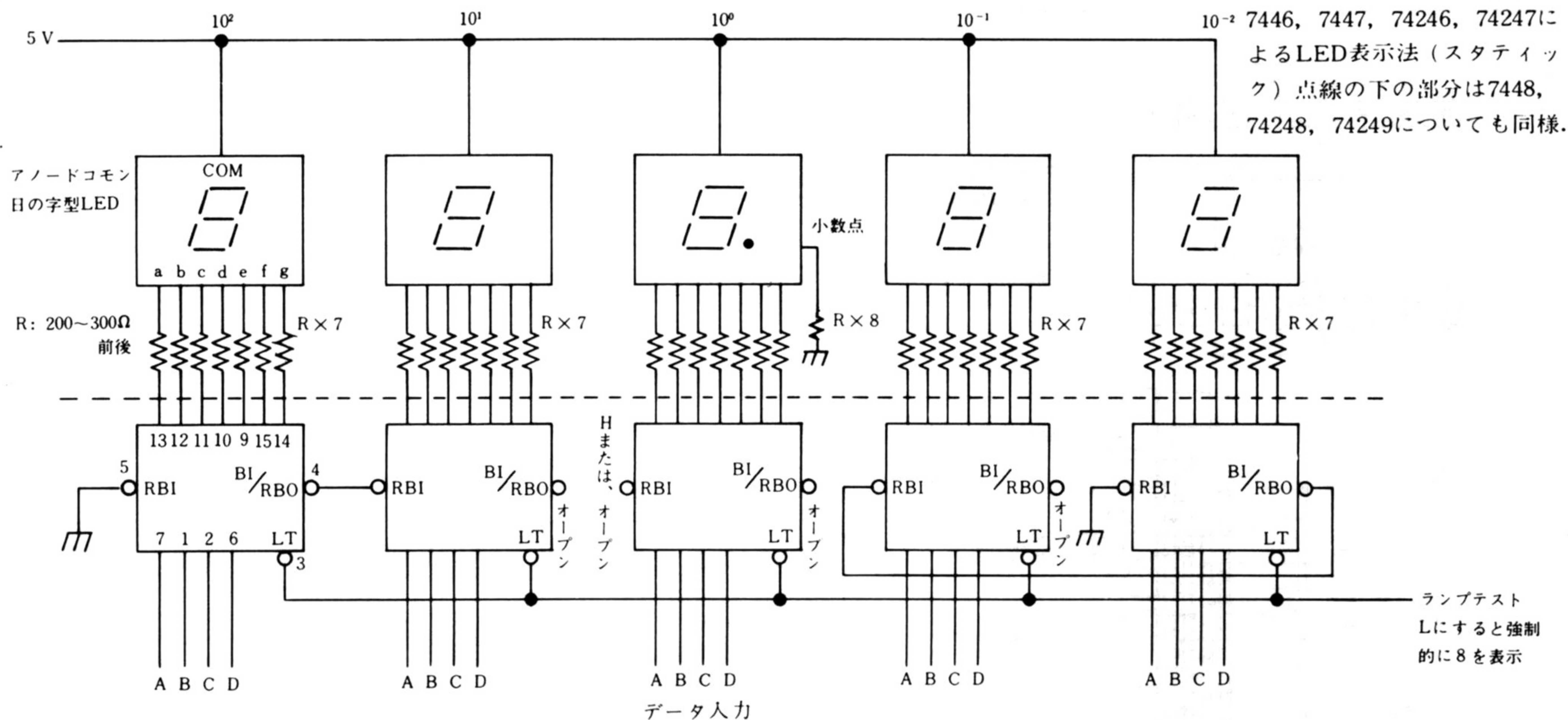
H または、オープン

オープン

7 1 2 6　LT　3

ランプテスト　Lにすると強制的に8を表示

A B C D　A B C D　A B C D　A B C D　A B C D

データ入力

○リーディングゼロサプレス(電卓のように0を消灯)をしたいときはRBIに上の桁のBI/RBOを接続する．さらに最上桁のRBIはGNDに落とす（これをHにするとゼロサプレス解除）．

○小数点以下の場合は逆に，RBIに下の桁のBI/RBOを接続し最下桁のRBIはGNDに落とす．

○1の桁のRBIはH（またはオープン）にしておく．そうしないと全桁が0のとき，全部消えてしまう．

○ランプテストをするときは，LT端子をLにすると8の字が表示される．

○ゼロサプレスをかけないときは上図10^0の桁のようにそれぞれの桁のRBIをオープンにしておく．

○BI/RBOを外部からLにすると全セグメントが強制的に消灯する．（これはランプテストに優先する．すなわちBI/RBOおよびLTを共にLにすると全セグメント消灯）

（BI/RBO端子は抵抗でプルアップされているので入力（ワイアードOR接続）としても出力としても使用可能で，A～Dの入力およびBI入力がすべてLの時にLになり，ここがLになると全セグメントが消える．）

7448 BCD to 7 Segment Decoder/Driver

○字形および RBI, BI/RBO, LT の使用法は7446, 7447と同一（7446参照）

○74248とは6と9の字形が異なるが，他は同一

○a～g 出力が抵抗(2kΩ)でプルアップされているので直接 Tr を接続できる

○7446, 7447とはa～gの論理が逆になっているのでTrを接続してニキシまたは電球などの日の字形表示器をドライブできる．

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A～D		a～g			100												ns
tpd	max	RBI		a～g			(100)												ns
Icc	max		H	ALL	OPEN		38												mA
IIH	max	BI/RBO	H																μA
IIL	max	BI/RBO	L				1												mA
IIH	max	others	H				20												μA
IIL	max	others	L				0.36												mA
IOH	max			BI/RBO	H		0.05												mA
IOL	max			BI/RBO	L		3.2												mA
IOH	max			a～g	H		0.1												mA
IOL	max			a～g	L		6												mA

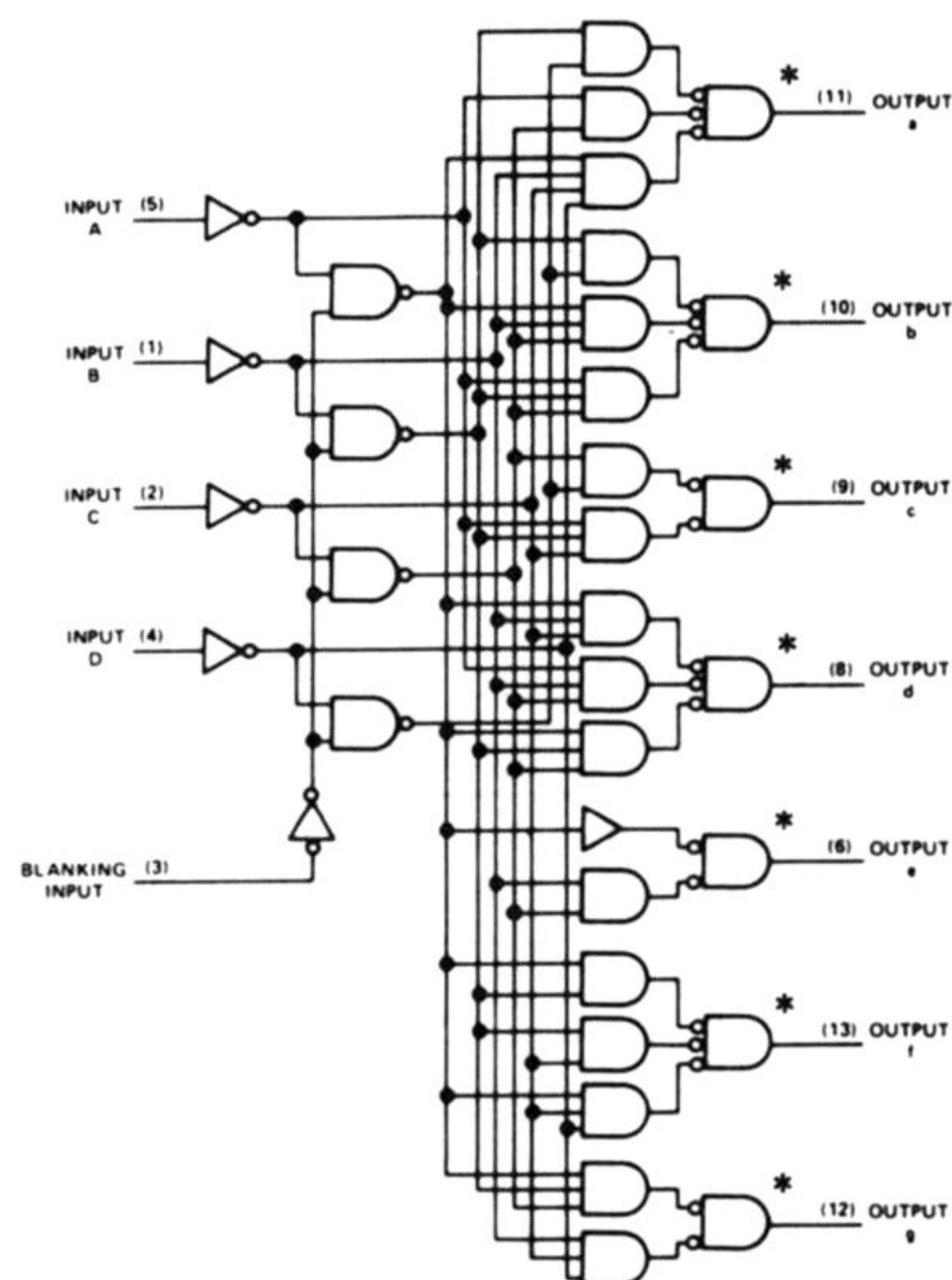
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF											
MOT		D											
日電													
NS		DF											
PHIL													
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT													

参考品種
74248

7449 BCD to 7 Segment Decoder/Driver

○74LS48 の RBI, LT ピンおよびプルアップ抵抗も省いたタイプ(オープンコレクタ)

○ブランキングインプットをLにすると全セグメント消灯

○字形は7446, 7447, 7448と同一

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A～D		a～g			100												ns
tpd	max	BI		a～g			(100)												ns
VOH	max						5.5												V
Icc	max	ALL	H	ALL	0		15												mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.36												mA
IOH	max			ALL	H														mA
IOL	max			ALL	L		8												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF											
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT													

7451 Dual 2W-2 (3) Input AND-OR-INV

MAKE NO EXTERNAL CONNECTION

7451
74S51

74LS51
74ALS51

74S51

○7450の EXP 端子を省いたタイプ
○LS タイプは半分だけ2ワイド3入力になっているので注意すること，他はNおよびSタイプと同じ
○$Y=\overline{AB+CD}$

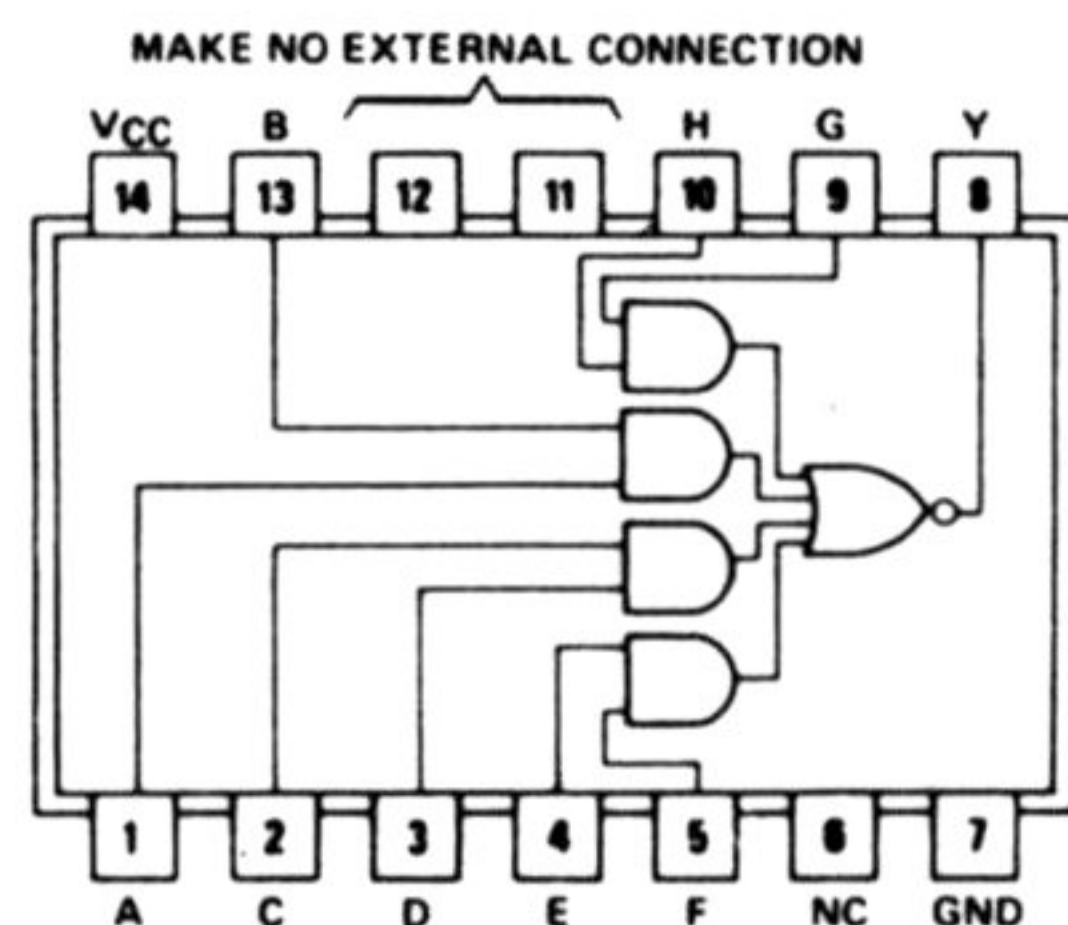
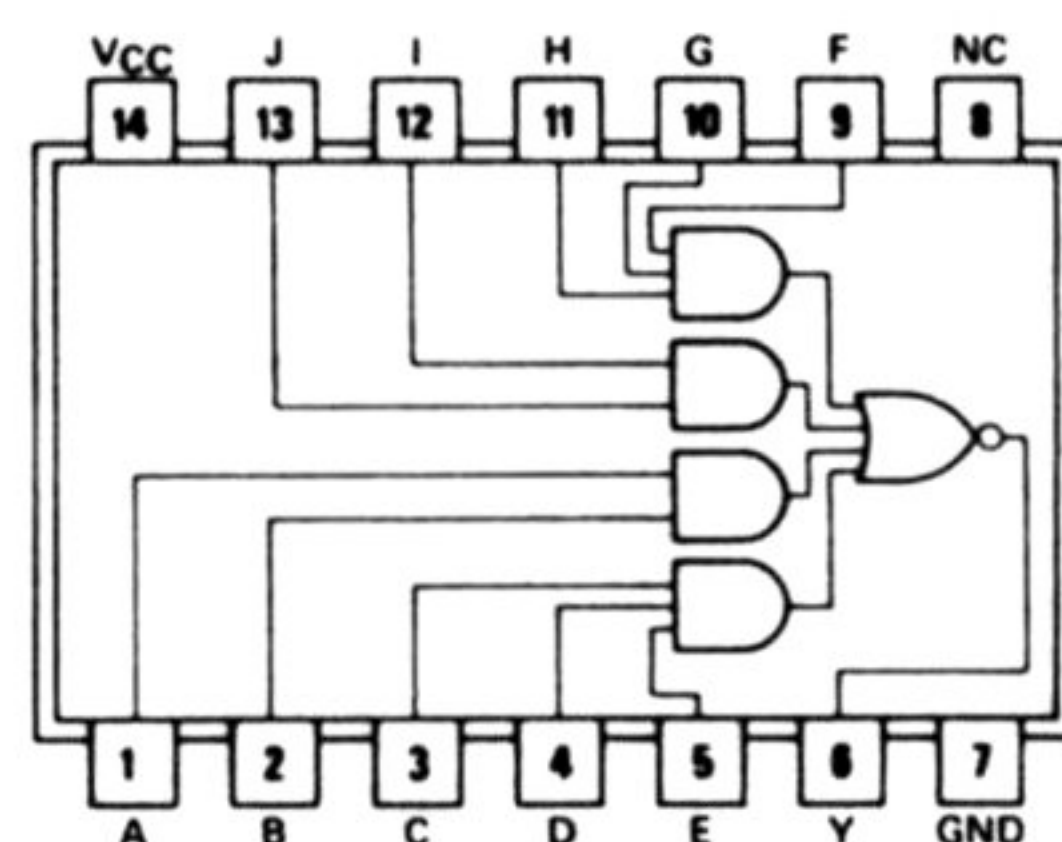
参考品種
7454
7455
7464

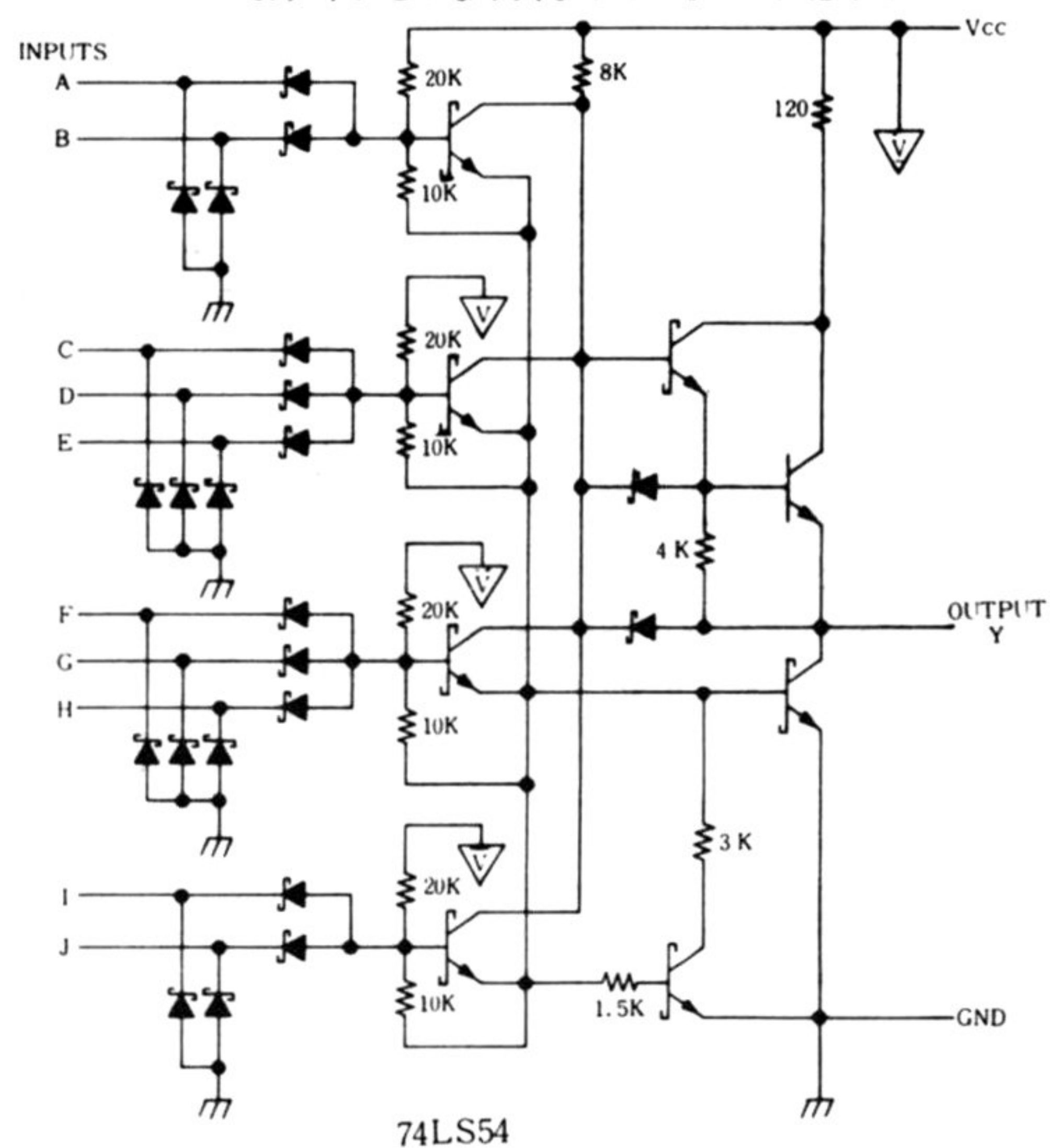
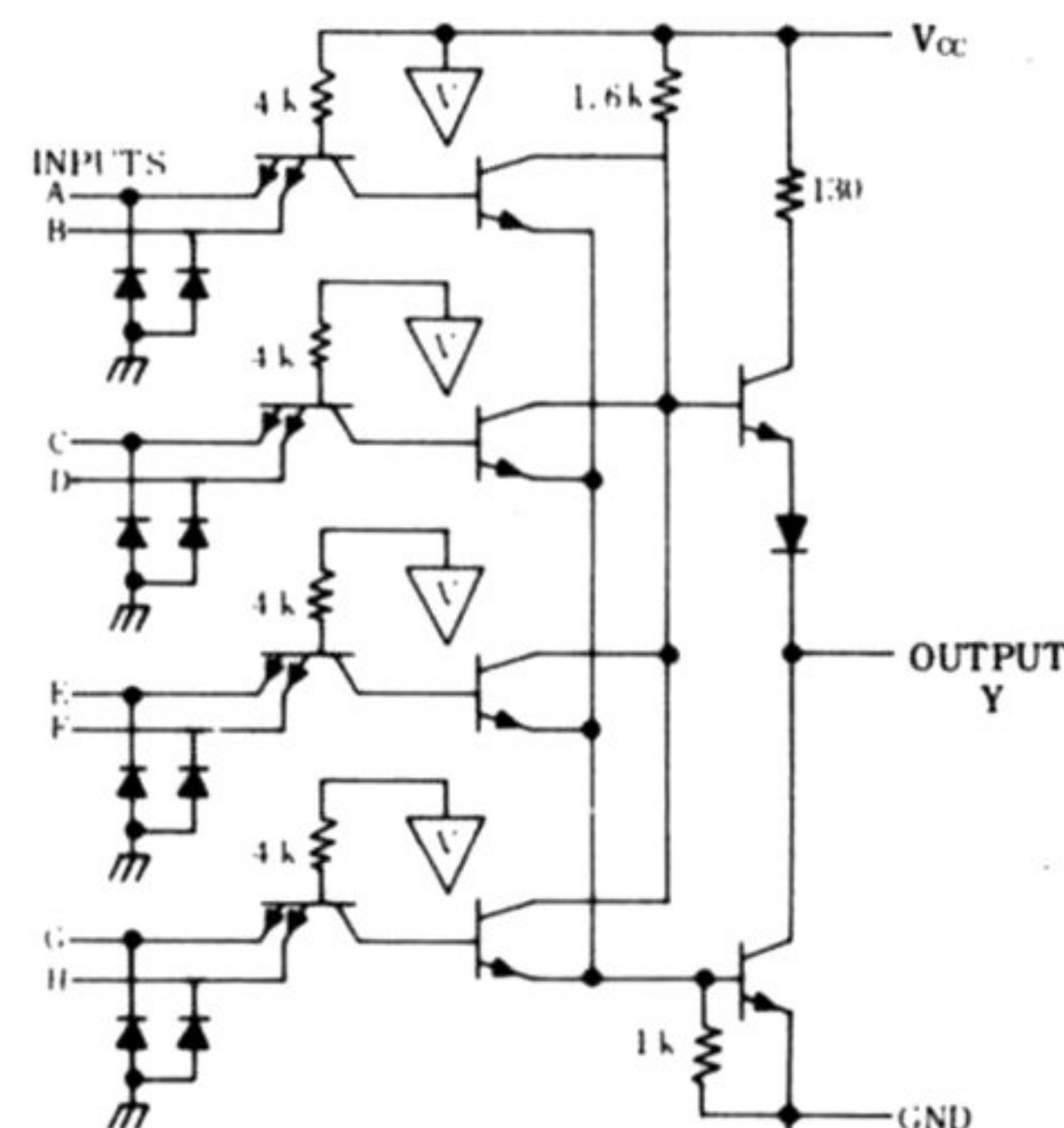
74LS51

7451

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		20			6.5				32					ns
tpd	max			H→L	↓		15			4.5				32					ns
Icc	max			ALL	H		8			3.0				0.02					mA
Icc	max			ALL	L		14			7.5				0.02					mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0.4			0.6									mA
IOH	max			ALL	H		0.4			1				4					mA
IOL	max			ALL	L		8			20				4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		DF			DF				DF					
日電									DF					
NS		DF			DF									
PHIL														
RCA														
SIGNE					DF									
TI		DF			D				DF					
東芝		D							DF					
SGS									DF					
CYPRES														
IDT														

7454 4W-2 (3) Input AND-OR-INV

7454

74LS54
74ALS54

○7453のEXP端子を省いたタイプ
○LSタイプは3-2-2-3入力になっていて，ピン接続も
Nタイプとかなり異なっているので注意すること

74LS54

7454

参考品種
7451
7455

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		20												ns
tpd	max			H→L	↓		20												ns
Icc	max			High	H		1.6												mA
Icc	max			Low	L		2												mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.4												mA
IOH	max			Y	H		0.4												mA
IOL	max			Y	L		8												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF											
MOT		DF											
日電													
NS		DF											
PHIL													
RCA													
SIGNE													
TI		DF											
東芝		D											
SGS													
CYPRES													
IDT													

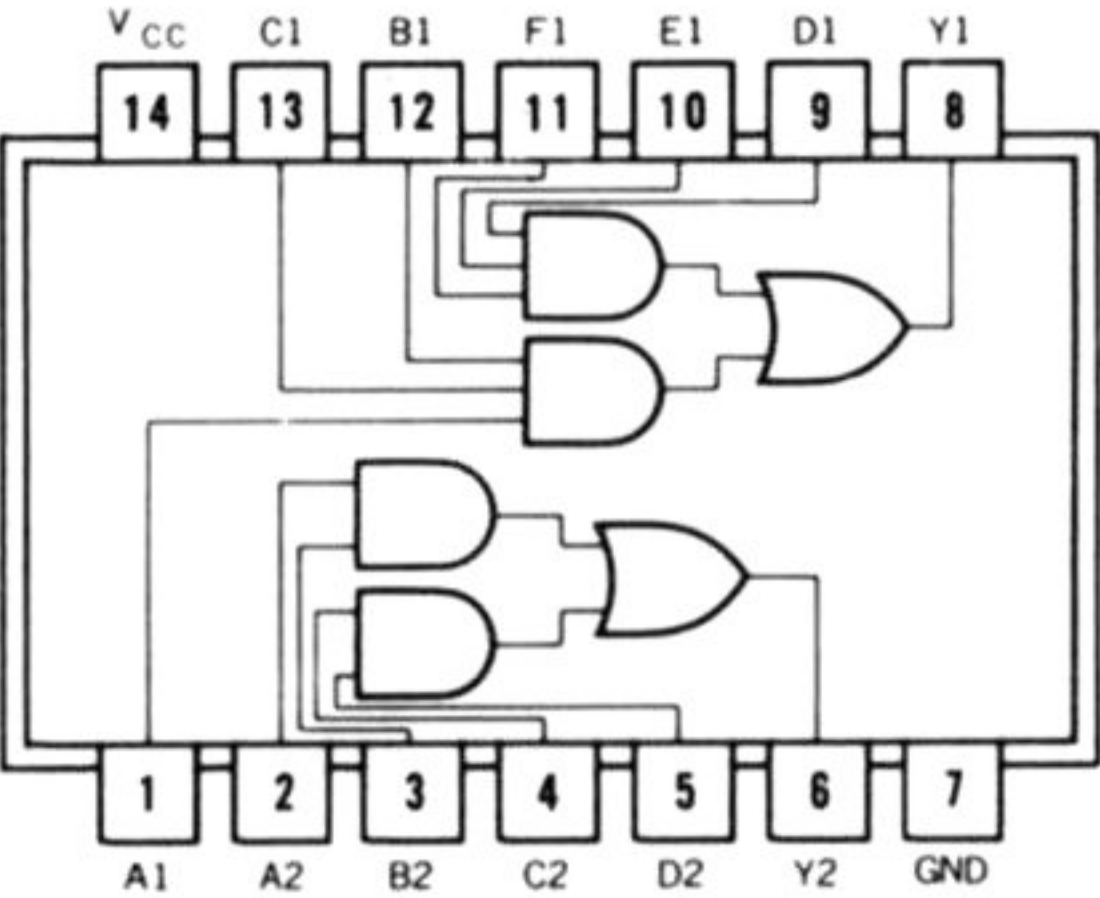
7455 2W-4 Input AND-OR-INV

○ $Y=\overline{ABCD+EFGH}$

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		20												ns
tpd	max			H→L	↓		20												ns
Icc	max			High	H		0.8												mA
Icc	max			Low	L		1.3												mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.4												mA
IOH	max			ALL	H		0.4												mA
IOL	max			ALL	L		8												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF												
MOT		D												
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

参考品種
7451
7454

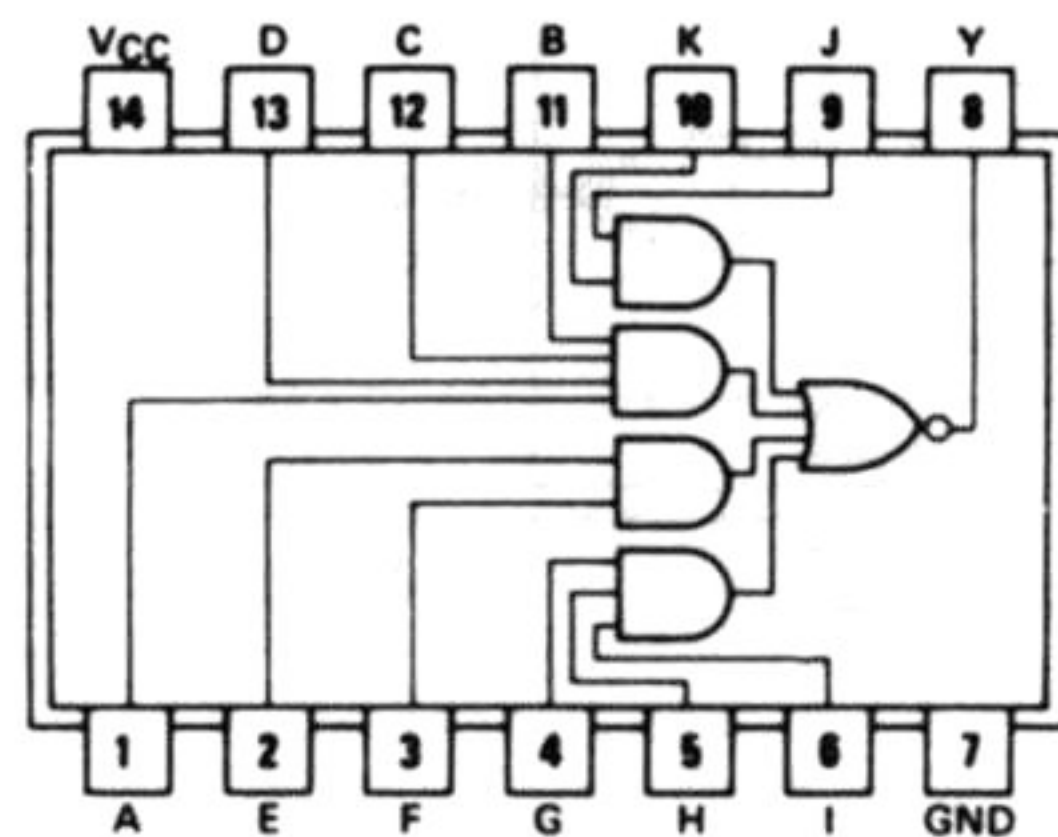
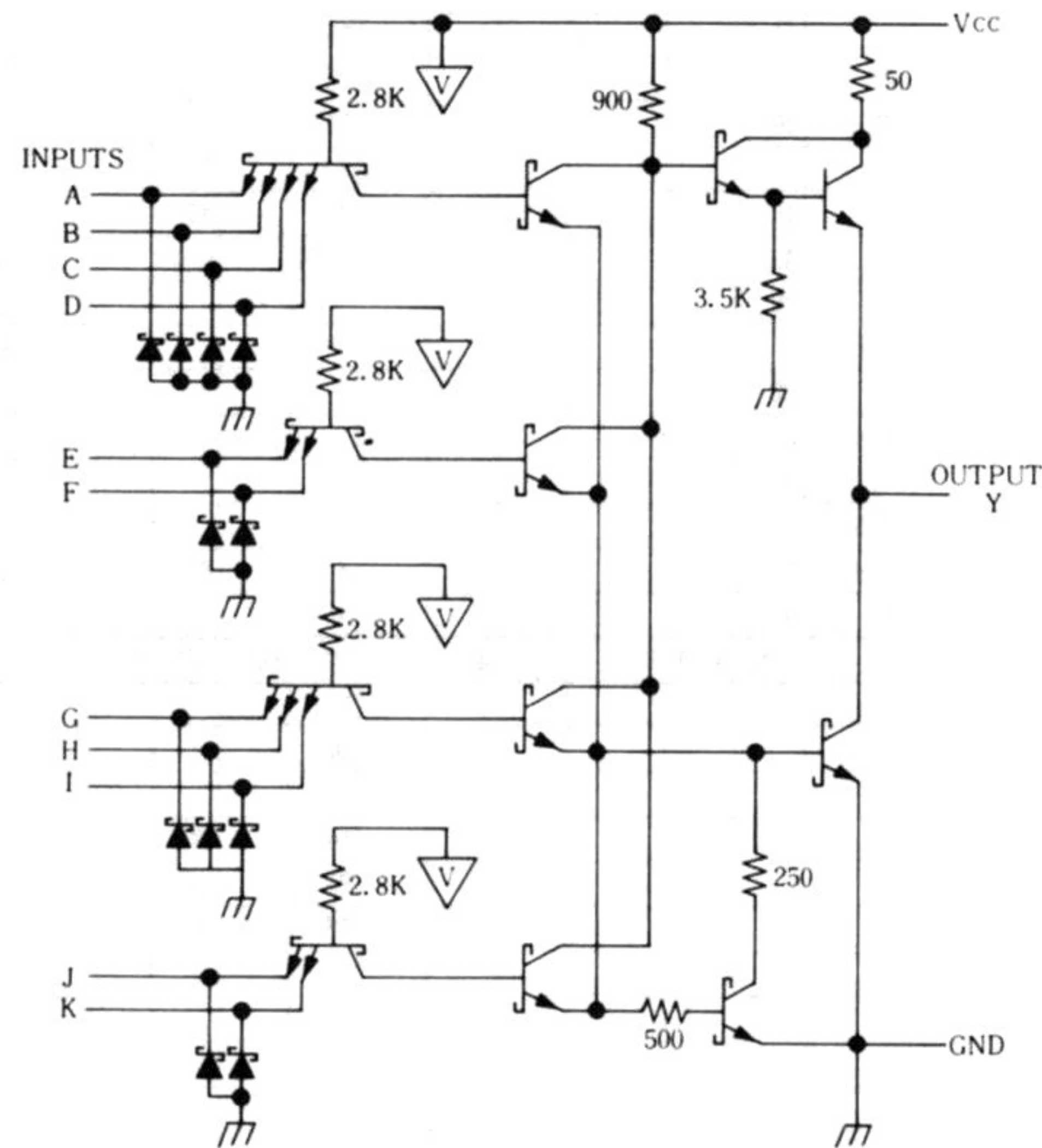
7458 2 Input/3 Input AND-OR Gate

FUNCTION TABLES

Inputs						Output
A1	B1	C1	D1	E1	F1	Y1
H	H	H	X	X	X	H
X	X	X	H	H	H	H
Any other combination						L

Inputs				Output
A2	B2	C2	D2	Y2
H	H	X	X	H
X	X	H	H	H
Any other combination				L

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑									38					ns
tpd	max			H→L	↓									38					ns
Icc	max													0.04					mA
IOH	max			ALL	H									4					mA
IOL	max			ALL	L									4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT									DF					
日電									DF					
NS									DF					
PHIL									DF					
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

7464　　4-2-3-2 Input AND-OR-INV

○7465のトーテムポール出力タイプ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑					7									ns
tpd	max			H→L	↓					5.5									ns
Icc	max			ALL	H					2.8									mA
Icc	max			ALL	L					4.7									mA
IIH	max	ALL	H							20									μA
IIL	max	ALL	L							0.6									mA
IOH	max			Y	H					1									mA
IOL	max			Y	L					20									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT					DF									
日電														
NS					DF									
PHIL														
RCA														
SIGNE					DF									
TI					D									
東芝					D									
SGS														
CYPRES														
IDT														

参考品種
7451

7473 Dual JK-FFs with Clear

○マスタスレーブ型(7473)
クロック
データ
○ネガティブリーディングエッジトリガ(74LS73)
クロック
データ
t_{su} t_{hold}
○クリア
(N, LS共通)

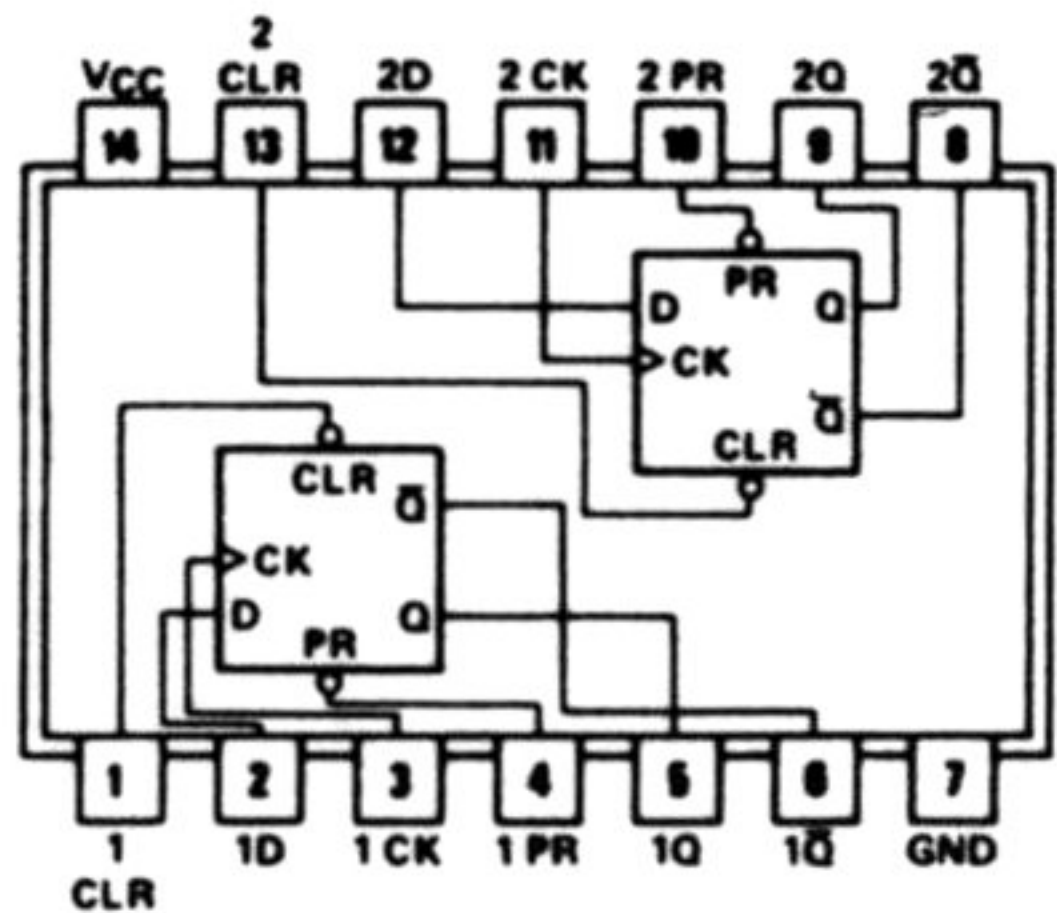
7473

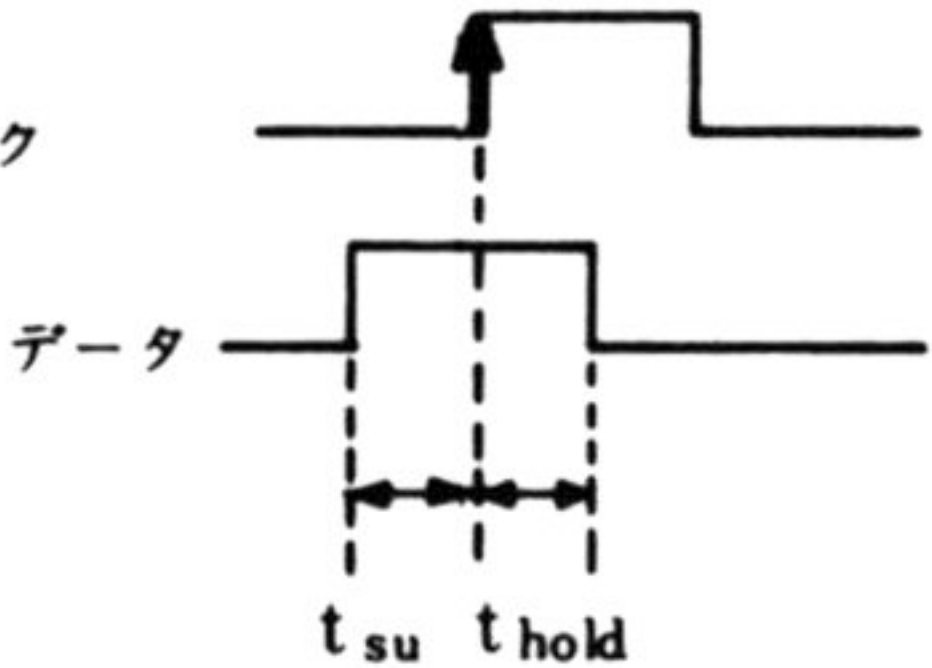
74LS73

参考品種
74107
74113

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30							21		22			MHz
tw	min	CLK	H				20	16.5						20		29			ns
tw	min	CLK	L					16.5						15		29			ns
tw	min	PR, CLR	L				25	10						20		23			ns
tsu	min	J, K					20↓	20						25		15			ns
th	min	J, K					0↓	3						0↓		5			ns
tpd	max	CLK		Q, -Q			20	19						32		45			ns
Icc	max						6	4.5						0.04		0.04			mA
IIH	max	CLK	H				80	20											μA
IIL	max	CLK	L				0.8	0.2											mA
IIH	max	J, K	H				20	20											μA
IIL	max	J, K	L				0.4	0.2											mA
IIH	max	CLR	H				60	40											μA
IIL	max	CLR	L				0.8	0.4											mA
IOH	max			Q, -Q	H		0.4	0.4						4		4			mA
IOL	max			Q, -Q	L		8	8						4		4			mA

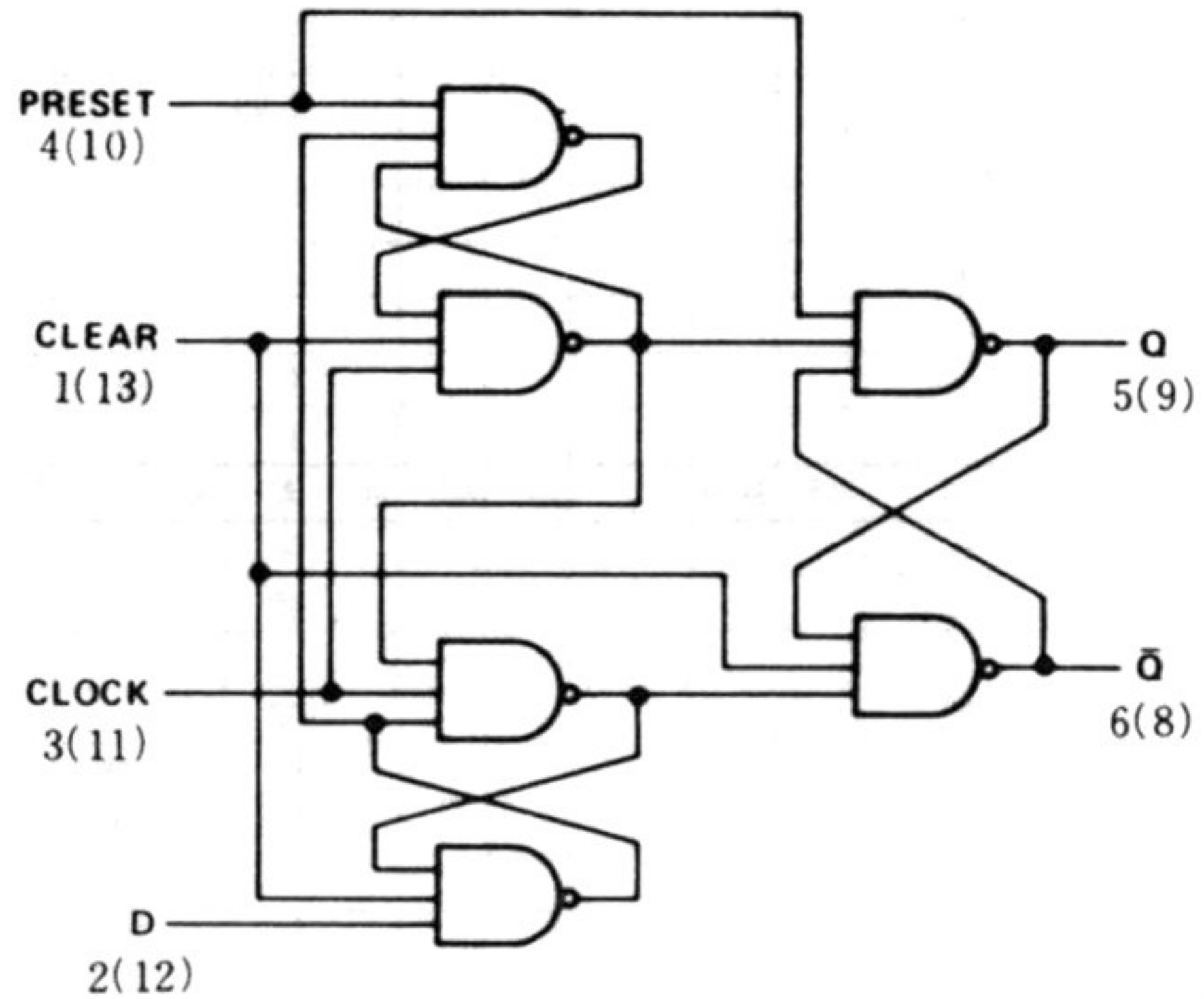
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		D							DF				
日電													
NS		DF							DF		DF		
PHIL									DF		DF		
RCA									DF		DF		
SIGNE													
TI		DF							DF				
東芝		D							DF				
SGS									DF				
CYPRES													
IDT													

7474 Dual D-FFs with Preset and Clear

○リーディングエッジトリガ (POS)

○クロック

データ

t_{su} t_{hold}

○クリア
（プリセット）

○7473の項参照

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK				147	25	34		100	105	100	125	24		22			Hz
tpd	min	CLK	H				25	14.5		4	4	5							ns
tw	min	CLK	L			7		14.5		5	5.5	5	6.0	20		23			ns
tw	min	PR, CLR	L			7	25	15		4	4	5	6.0	20		20			ns
tsu	min	D				6↑	25↑	15↑		3↑	4.5	3	3.5	15		15			ns
th	max	D				1↑	5↑	0↑		1↑	0	0	1.0	3		3			ns
tpd	max	CLK		Q, -Q		14	40	18		9.2	9	10.5	11.5	44		44			ns
tpd	max	PR, CLR		Q, -Q		12	40	15		10.5	10.5	13.5	11.5	50		44			ns
Icc	max					0.0025	8	4		16	16	0.04	0.04	0.04		0.04	Z		mA
IIH	max	CLK	H				20	20		20	20								mA
IIL	max	CLK	L				0.4	0.2		0.6	0.5								13mA
IIH1	max	D	H				20	20		20	20								μA
IIL1	max	D	L				0.4	0.2		0.6	0.5								μA
IIH2		PRESET	H				40	40		20	40								
IIL2		PRESET	L				0.8	0.4		1.8	1.8								
IIH3		CLR	H				40	40		20	40								
IIL3		CLR	L				0.8	0.4		1.8	1.8								
IOH				Q	H	12	0.4	0.4		1	2	24	24	4		4			
IOL				-Q	L	12	8	8		20	20	24	24	4		4			

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF		DF					
MOT		DF			DF		DF	DF	DF					
日電							DF		DF					
NS		DF	DF		DF	DF	DF	DF	DF					
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DF	DF	DF					
東芝	F	D			D		DFS	DFS	DF		DF			
SGS									DF		DF			
CYPRES														
IDT														

PRESET 4(10)

CLEAR 1(13)

CLOCK 3(11)

D 2(12)

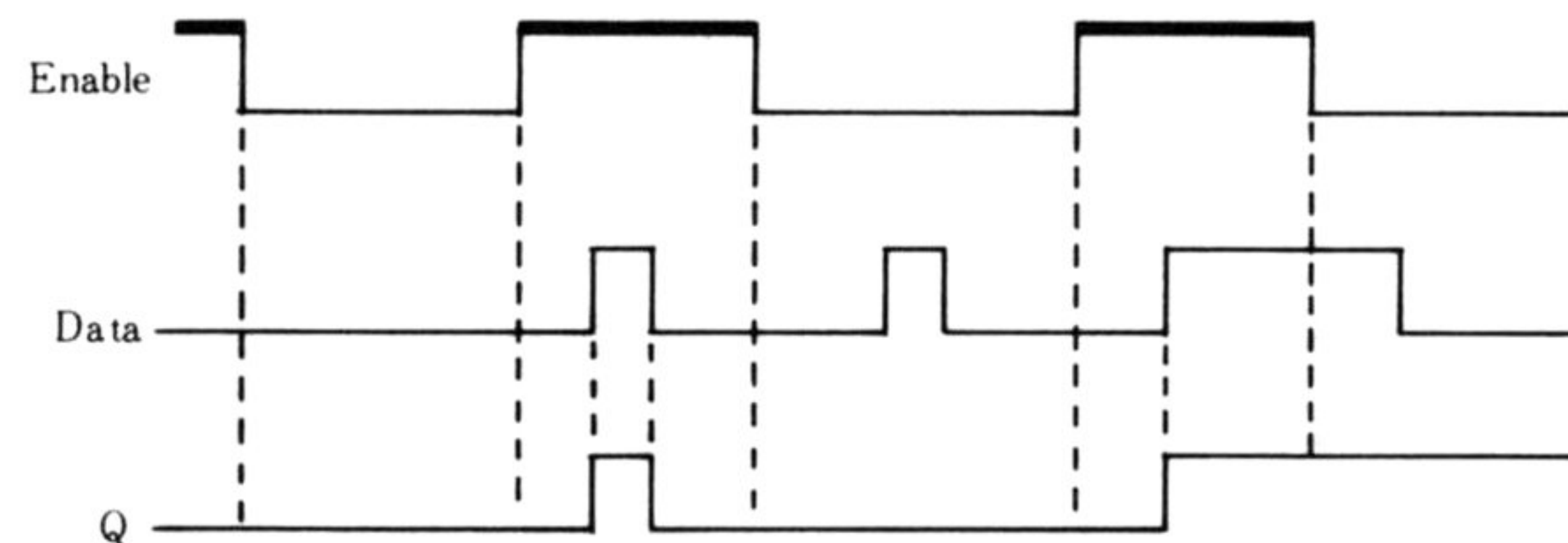
Q 5(9)

Q̄ 6(8)

7474，74LS74，74S74

7475 4-Bit Latches

○Enable がHの期間中データつつぬけ
○Enable がLの期間中データホールド

Enable が立ち下がる直前のデータをホールドするので立ち下がる直前にデータを変化させてはいけない.
その期間を t_{su} とする.

ラッチ機能図

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	ENABLE					20							20		20			ns
tsu	min	DATA					20							25		15			ns
tpd	min	DATA		Q	↑		27							32		35			ns
tpd	min	DATA		Q	↓		17							32		35			ns
tpd	min	DATA		-Q	↑		20							28		35			ns
tpd	min	DATA		-Q	↓		15							28		35			ns
tpd	max	ENABLE		Q	↑		27							36		35			ns
tpd	max	ENABLE		Q	↓		25							36		35			ns
tpd	max	ENABLE		-Q	↑		30							31		38			ns
tpd	max	ENABLE		-Q	↓		15							31		38			ns
Icc	max	ALL	L	ALL	H		12							0.08		0.08			mA
IIH	max	ALL	H				20												μA
IIL	max	D	L				0.4												mA
IIH	max	G	H				80												μA
IIL	max	G	L				1.6												mA
IOH	max			ALL	H		0.4							4		4			mA
IOL	max			ALL	L		8							4		4			mA

参考品種
74375
7477

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		DF							DF				
日電													
NS		DF							DF				
PHIL									DF		DF		
RCA									DF		DF		
SIGNE													
TI		DF							DF				
東芝		D							DF				
SGS									DF		DF		
CYPRES													
IDT													

7476　Dual JK-FFs with Preset and Clear

1K 1Q 1Q̄ GND 2K 2Q 2Q̄ 2J
16 15 14 13 12 11 10 9
CLR K Q̄ CK J Q PR
PR J Q CK K Q̄ CLR
1 2 3 4 5 6 7 8
1CK 1PR 1 CLR 1J V_{CC} 2CK 2PR 2 CLR

○マスタスレーブ型(7476)
　クロック
　データ
○ネガティブ リーディングエッジトリガ (74LS76)
　クロック
　データ
　t_{su}　t_{hold}
○クリア
　(プリセット)
　N, LS共通
○7473の項参照

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30							21		22			MHz
tw	min	CLK	H				20							20		20			ns
tw	min	CLK	L													20			ns
tw	min	PR, CLR	L				25							20		20			ns
tsu	min	J, K					20↓							25		25			ns
th	min	J, K					0↓							0↓		0			ns
tpd	max	ALL		Q, -Q			20							41		44			ns
Icc	max						6							0.04		0.04			mA
IIH	max	CLK	H				80												μA
IIL	max	CLK	L				0.8												mA
IIH	max	J, K	H				20												μA
IIL	max	J, K	L				0.4												mA
IIH	max	PR, CLR	H				60												μA
IIL	max	PR, CLR	L				0.8												mA
IOH	max			Q, -Q	H		0.4							4		4			mA
IOL	max			Q, -Q	L		8							4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT									DF					
日電														
NS											F			
PHIL														
RCA														
SIGNE														
TI									DF					
東芝		D							DF					
SGS									DF					
CYPRES														
IDT														

15(11) Q　14(10) Q̄　3(8) CLEAR　2(7) PRESET　J 4(9)　K 16(12)　CLOCK 1(6)

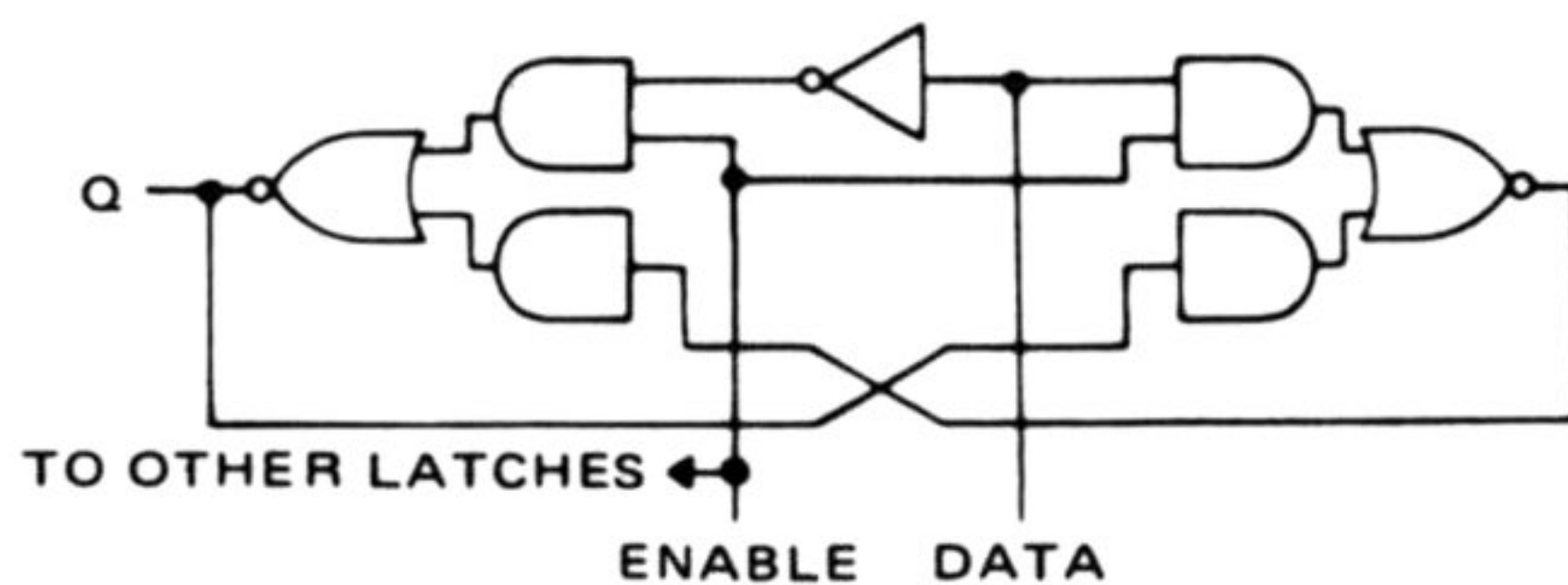
7476

15(11) Q　14(10) Q̄　2(7) PRESET　3(8) CLEAR　K 16(12)　J 4(9)　CLOCK 1(6)

74LS76

7477 4-Bit Latches

○7475のQ出力を省いたタイプ

○動作については7475参照

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	G					20												ns
tsu	min	D					20												ns
tpd	max	D			H		19							26					ns
tpd	max	D			L		17							26					ns
tpd	max	G			H		18							25					ns
tpd	max	G			L		18							25					ns
Icc	max	ALL	L	ALL	H		13							0.02					mA
IIH	max	D	H				20												μA
IIL	max	D	L				0.4												mA
IIH	max	G	H				80												μA
IIL	max	G	L				1.6												mA
IOH	max			ALL	H		0.4							4					mA
IOL	max			ALL	L		8							4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		D												
日電														
NS														
PHIL														
RCA														
SIGNE														
TI														
東芝									DF					
SGS									DF					
CYPRES														
IDT														

参考品種
7475
74375

7478 Dual JK-FFs with Preset and Clear (common clear/common clock)

○リーディング エッジトリガ(NEG)
○クロックおよびリセット端子が共通

○クロック

データ

t_{su} t_{hold}

○クリア
（プリセット）

○7473の項参照

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30							24					ns
tw	min	CLK	H				20	16.5						20					ns
tw	min	PR, CLR	L				25	10						20					ns
tsu	min	J, K					20↓	20						25					ns
thold	min	J, K					0↓	3						5					ns
tpd	max	ALL	Q, -Q				20	19						35					ns
Icc	max						6	4.5						0.02					mA
IIH	max	CLK	H				160	20											μA
IIL	max	CLK	L				1.6	0.2											mA
IIH	max	J, K	H				20	20											μA
IIL	max	J, K	L				0.4	0.2											mA
IIH	max	PR	H				60	40											μA
IIL	max	PR	L				0.8	0.4											mA
IIH	max	CLR	H				120	40											μA
IIL	max	CLR	L				1.6	0.4											mA
IOH	max				H		0.4	0.4						4					mA
IOL	max				L		8	8						4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

参考品種
74114

7483 4-Bit Binary Full Adders

7483A, 74LS83A

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	C0	Σ4				24			10.5				38					ns
tpd	max	Ai, Bi	Σ4				24			10.5				38					ns
tpd	max	C0	C4				22			8.0				38					ns
tpd	max	Ai, Bi	C4				17			8.0				38					ns
Icc	max	ALL	H				34			55				0.04					mA
Icc	max	Bi	L				34												mA
Icc	typ	Bi	L							36									mA
IIH	max	C0	H				80			20									μA
IIL	max	C0	L				1.44			0.6									mA
IIH	max	Ai, Bi	H				20			20									μA
IIL	max	Ai, Bi	L				0.36			1.2									mA
IOH	max			Σ1～4	H		0.4			1									mA
IOL	max			Σ1～4	L		8			20									mA
IOH	max			C4	H		0.4			1				4					mA
IOL	max			C4	L		8			20				4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		D											
日電													
NS		DF											
PHIL													
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT													

参考品種
74283
74583

7483 4-Bit Binary Full Adders

INPUT				OUTPUT					
				WHEN C0 = L / WHEN C2 = L			WHEN C0 = H / WHEN C2 = H		
A1 / A3	B1 / B3	A2 / A4	B2 / B4	Σ1 / Σ3	Σ2 / Σ4	C2 / C4	Σ1 / Σ3	Σ2 / Σ4	C2 / C4
L	L	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	H	L
L	H	L	L	H	L	L	L	H	L
H	H	L	L	L	H	L	H	H	L
L	L	H	L	L	H	L	H	H	L
H	L	H	L	H	H	L	L	L	H
L	H	H	L	H	H	L	L	L	H
H	H	H	L	L	L	H	H	L	H
L	L	L	H	L	H	L	H	H	L
H	L	L	H	H	H	L	L	L	H
L	H	L	H	H	H	L	L	L	H
H	H	L	H	L	L	H	H	L	H
L	L	H	H	L	L	H	H	L	H
H	L	H	H	H	L	H	L	H	H
L	H	H	H	H	L	H	L	H	H
H	H	H	H	L	H	H	H	H	H

演算

MSB　　　LSB

$$
\begin{array}{rccccc}
 & & & & & C_0 \\
 & & A_4 & A_3 & A_2 & A_1 \\
+) & & B_4 & B_3 & B_2 & B_1 \\
\hline
 & C_4 & \Sigma_4 & \Sigma_3 & \Sigma_2 & \Sigma_1
\end{array}
$$

キャリ　　部分和

○7483Aは内部にキャリルックアヘッド回路がある。74LS83は直列キャリなので⅓～¼程度のスピードになる.

	8ビット	16ビット
7483A	23nS	43nS
74LS83	89nS	165nS
74LS83A	25nS	45nS

7485 4-Bit Magnitude Comparator

DATA INPUTS

VCC A3 B2 A2 A1 B1 A0 B0

16 15 14 13 12 11 10 9

A3 B2 A2 A1 B1 A0

B3 B0

A< B IN A= B IN A> B IN A> B OUT A= B OUT A< B OUT

1 2 3 4 5 6 7 8

B3 DATA INPUT A< B A= B A> B A> B A= B A< B GND

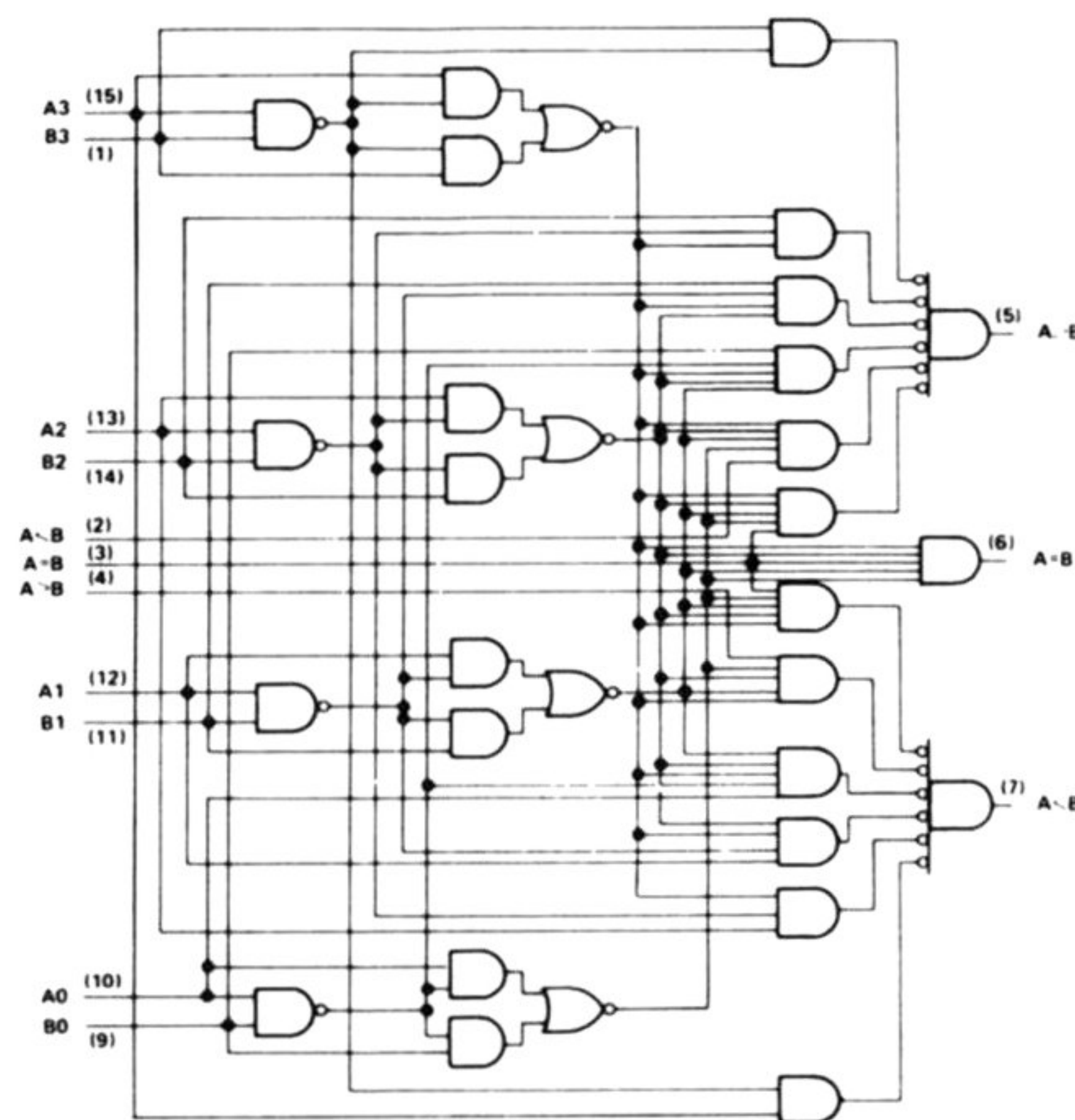
CASCADE INPUTS OUTPUTS

FUNCTION TABLES

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B2	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

参考品種
8200

A3 (15) B3 (1) A2 (13) B2 (14) A<B (2) A=B (3) A>B (4) A1 (12) B1 (11) A0 (10) B0 (9)

(5) A>B (6) A=B (7) A<B

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B		A=B	↑		45			14.0				50		44			ns
tpd	max	A, B		A=B	↓		45			14.5				50		44			ns
tpd	max	A•B		A=B			26			12.0				37		30			ns
Icc	max						20			50				0.08		0.08			mA
IIH	max	A>B	H				20			20									μA
IIL	max	A>B	L				0.4			20									mA
IIH	max	A<B	H				20			20									μA
IIL	max	A<B	L				0.4			20									mA
IIH	max	OTHERS	H				60												μA
IIL	max	OTHERS	L				1.2												mA
IOH	max			ALL	H		0.4			1				4		4			mA
IOL	max			ALL	L		8			20				4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		DF			DF				DF					
日電									DF					
NS		DF							DF					
PHIL									DF		DF			
RCA									DF		DF			
SIGNE					DF									
TI		DF							DF					
東芝		D							DF					
SGS									DF					
CYPRES														
IDT														

7485 4-Bit Magnitude Comparator

4ビット以上のときの接続

A＞B
A＝B
A＜B
A, Bの大小により，この3つの出力のうち必ず1つだけがHとなる

MSB
A>B A=B A<B
OUT
A3 B3
A2 B2
A1 B1
A0 B0
IN
A>B A=B A<B

A入力
B入力

LSB
H

○バイナリだけでなく，BCDも同じように判定できる．
○**74C85**は**74L85**と同じで，他とはピン接，ロジック共異なるので注意(**74HC85**は**74LS85**等と同じ)

7486　Quad 2 Input EX-OR

VCC 4B 4A 4Y 3B 3A 3Y
14 13 12 11 10 9 8
1 2 3 4 5 6 7
1A 1B 1Y 2A 2B 2Y GND

○$Y = A \oplus B = \overline{A}B + A\overline{B}$

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	L, L→H	↑	L→H	↑	11.5	23	17		6.5	6.5	9.5	12	30		40			ns
tpd	max	L, H→L	↓	H→L	↓	11.5	17	12		6.5	6.5	9.0	11	30		40			ns
tpd	max	H, H→L	↑	L→H	↑	11.5	30	17		8	6	9.5	12	30		40			ns
tpd	max	H, L→H	↓	H→L	↓	11.5	22	10		7.5	6	9.0	11	30		40			ns
Icc	max			OPEN		0.0025	10	5.9		28	12	0.08	0.08	0.02		0.02			mA
IIH	max	A, B	H				40	20		20	20								μA
IIL	max	A, B	L				0.6	0.1		0.6	0.5								mA
IOH	max			Y	H	12	0.4	0.4		1	2	24	4	4		4			mA
IOL	max			Y	L	12	8	8		20	20	24	4	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					DF	DF	DF				
MOT		DF			DF		DF	DF	DF				
日電									DF				
NS	F	DF	DF		DF	DF	DF		DF				
PHIL	DF								DF		DF		
RCA							DF	DF	DF		DF		
SIGNE			DF		DF								
TI		DF	DF		DF	DF	DF	DF	DF				
東芝	F	D			D		DF	DF	DF		DF		
SGS									DF		DF		
CYPRES													
IDT													

参考品種
74386
74136

応用例

+5　7486　7420
A　B　C　D

アドレスデコーダ

SW　ONのビットHで選択
SW　OFFのビットLで選択

7490 Decade Counter

○非同期2進＋5進カウンタ(BCD)
○非同期プリセット9
○非同期クリア

入力					出力		動作
R_0	R_9	CK A	CK B	パルス数	Q_A	Q_B Q_C Q_D	
L	L	Q_A に対する CK	Q_B / Q_D に対する CK	0	L	L L L	カウント
				1	H	H L L	
				2	L	L H L	
				3		H H L	
				4		L L H	
				5		L L L	
L	H	×	×	—	H	L L H	プリセット9
H	×	×	×	—	L	L L L	クリア

$R_0 = R_{0(1)} \cdot R_{0(2)}$
$R_9 = R_{9(1)} \cdot R_{9(2)}$

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	IN. A					32												MHz
fmax	min	IN. B					16												MHz
tw	min	IN. A					15												ns
tw	min	IN. B					30												ns
tw	min	R0, R9					15												ns
trec	min	R0, R9					25↓												ns
tpd	max	IN. A		Qa			18												ns
tpd	max	IN. B		Qd			35												ns
tpd	max	R0, R9		Qa～Qd			40												ns
Icc	max	ALL	L	ALL	L		15												mA
IIH	max	IN. A	H				40												μA
IIL	max	IN. B	L				2.4												mA
IIH	max	IN. A	H				80												μA
IIL	max	IN. B	L				3.2												mA
IIH	max	R0, R9	H				20												μA
IIL	max	R0, R9	L				0.4												mA
IOH	max			ALL	H		0.4												mA
IOL	max			ALL	L		8												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF												
MOT		D												
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI		DF												
東芝														
SGS														
CYPRES														
IDT														

参考品種
74290
74490
74390

Asynchronous counter

○非同期カウンタは，前段のFFの出力をCKに入れます．
(Ripple clock)
例として図1に7490の一部を示します．この場合，Q_Aのドライブ能力はCK_2の分だけ減少するわけですが，Q_AにかぎりCK_2の分を上のせしてあります．つまり，Q_AにCK_2を接続しないときには10を越えるファンアウトがあるということです．これは90系，290系，196系のすべてに当てはまります．

○ 7490のように内部で分離しているカウンタを，分周器として使用する場合，図2のようにQ_Dを入力Aに接続すると，Q_Aのデューティ（1周期に対するHの期間の割合）は50%となります．ただし入力Bは入力Aに比べて遅いので注意．

○非同期カウンタのプリセットは，ラッチ回路（7475等）と同じ動作なので多段に接続するとレーシングを起してしまい，シフトレジスタのような使用法はできません（図3）．シフトしたい場合は図4のように多相にします．

○各動作の優先順位は，クリア，プリセット，クロック，の順になっています．ただし7490，74290，74490についてはプリセット9．クリア，クロックとなります．

○ t_{su}, t_{hold}はFFと同じなので7473の項参照　t_{rec}(Count recover time)はロード（データセット）が解除された後，カウントが可能になるまでの時間．

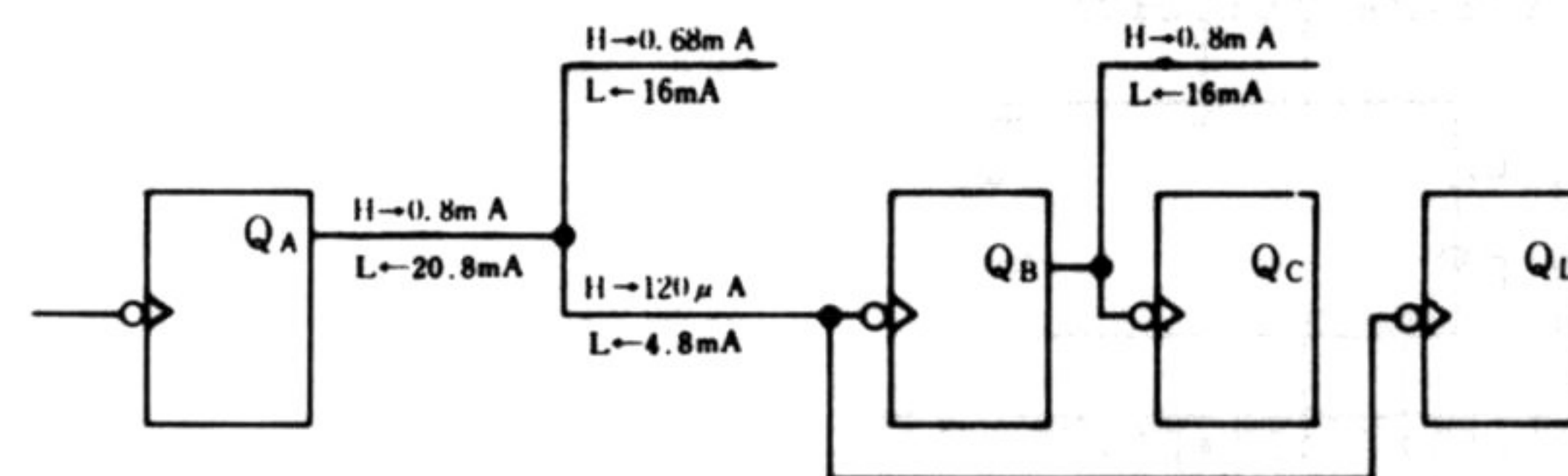



図1 7490のドライブ能力

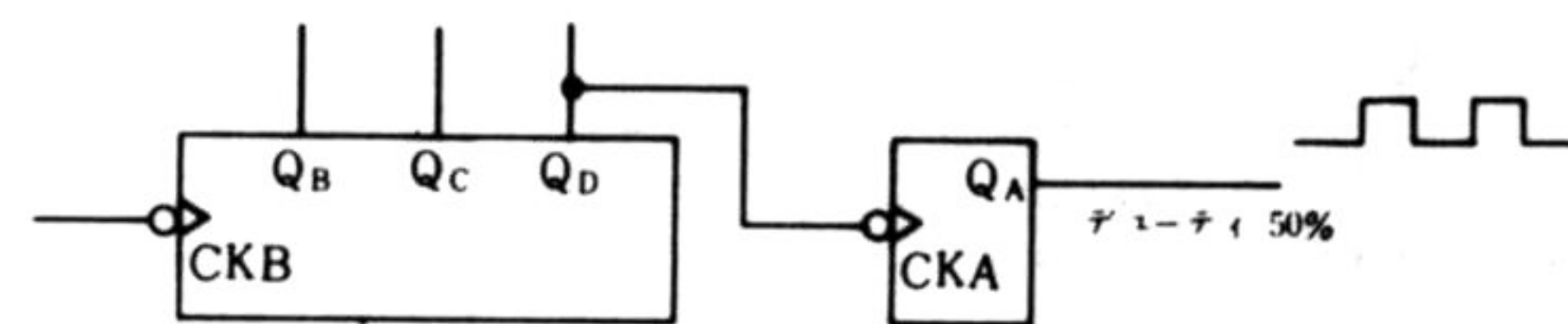



図2

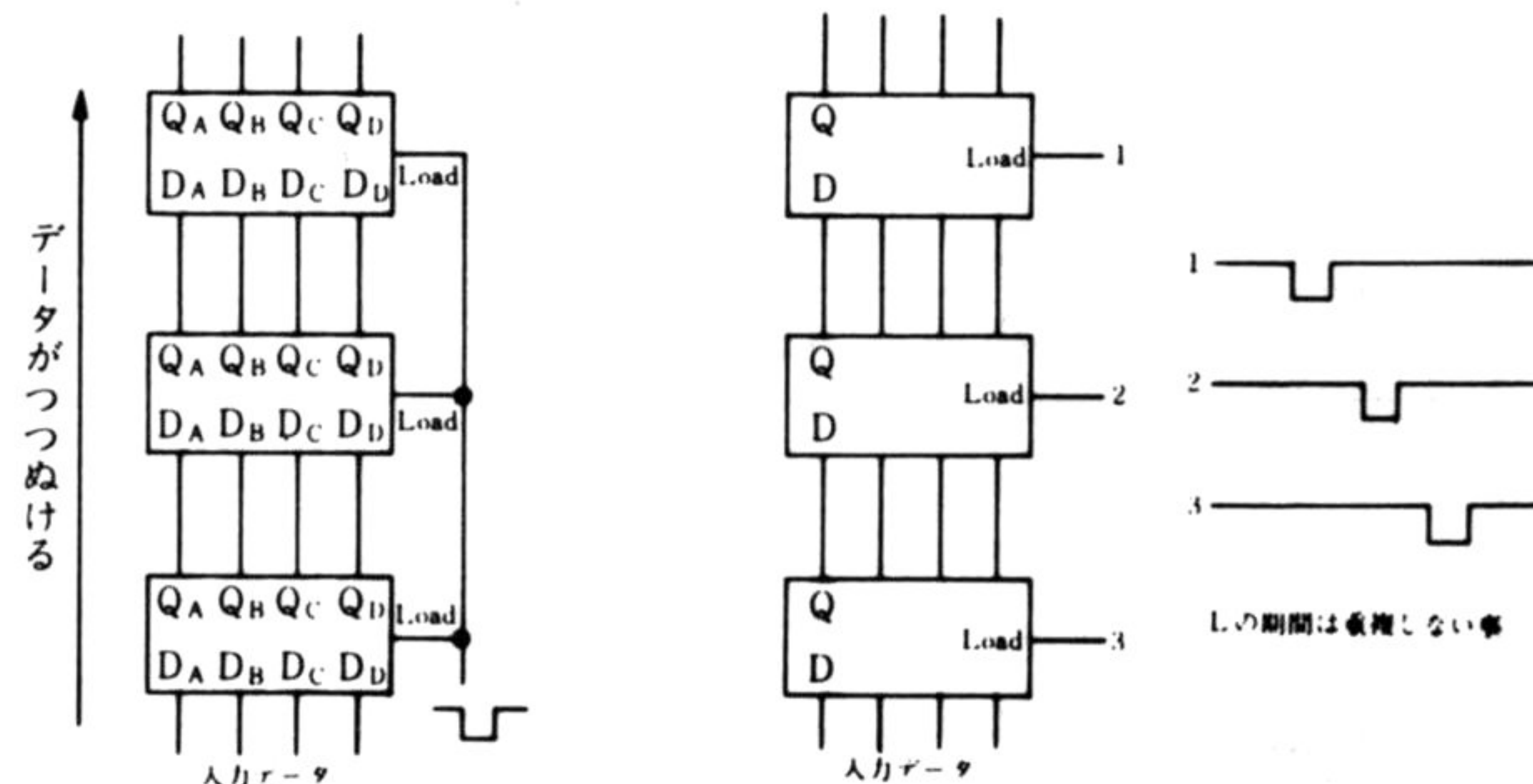
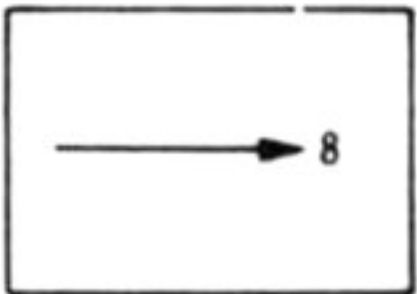
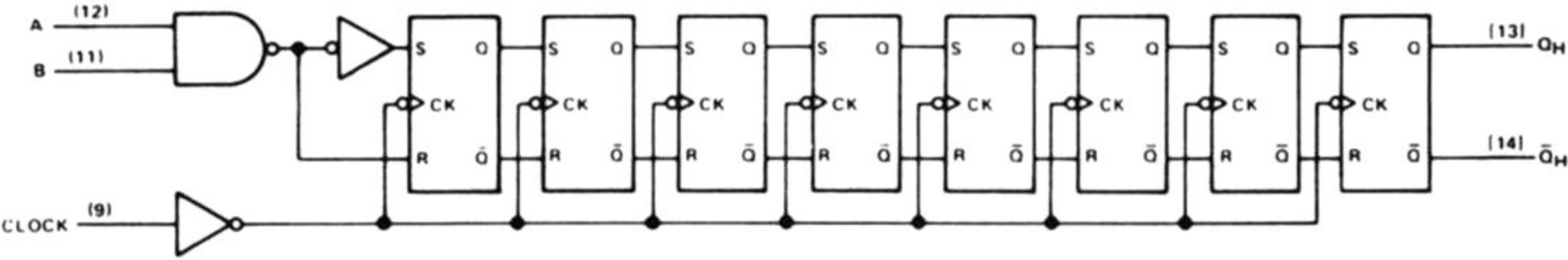
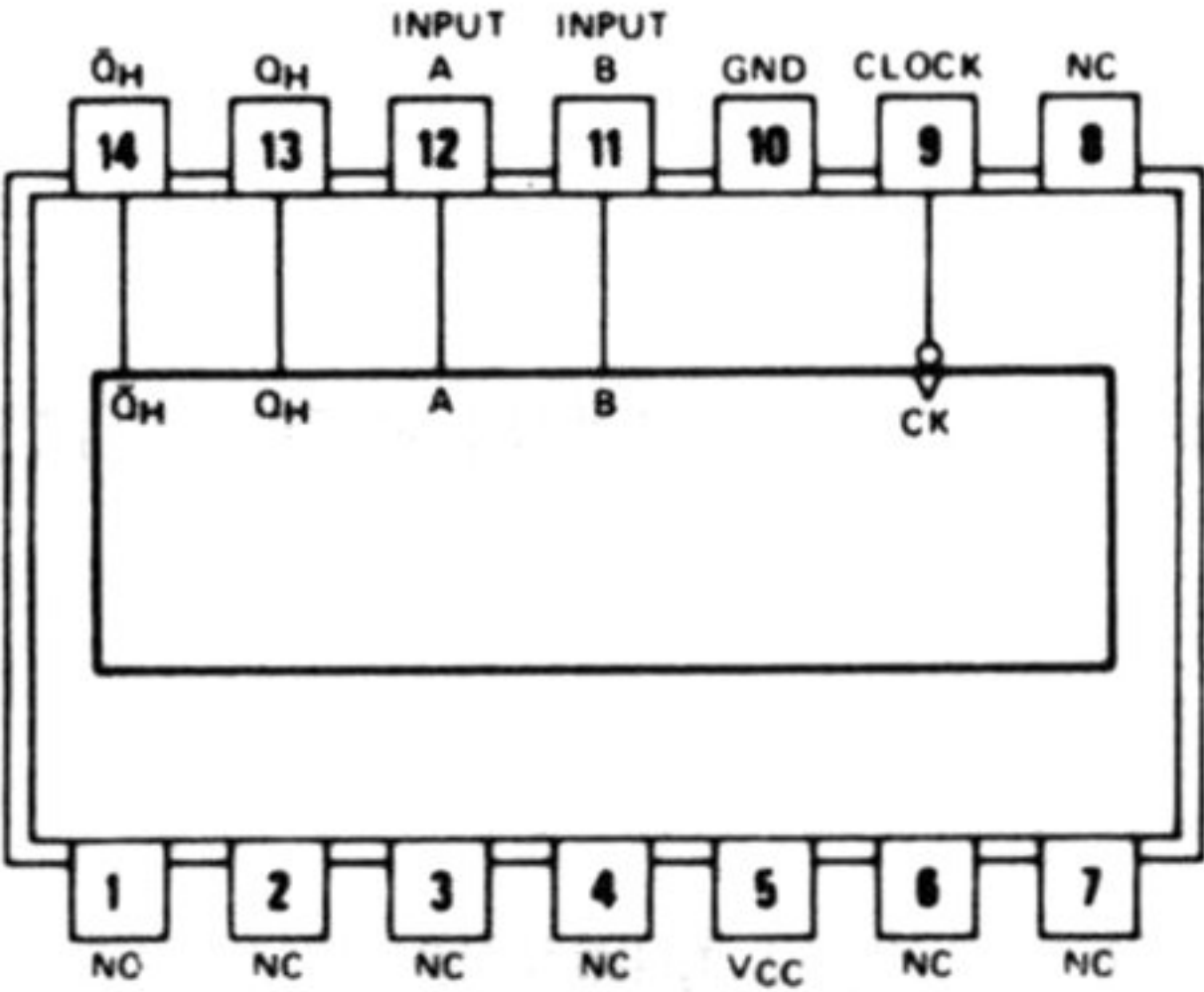



図3

図4

7491 8-Bit Shift Register

CK	動 作
⌐↑	右シフト

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					10							20					MHz
tw	min	CLK					25							31					ns
tsu	min	A, B					25↑							31					ns
thold	min	A, B					0↑							5					ns
tpd	max	CLK		Q			40							53					ns
Icc	max	ALL	L		OPEN		20							0.04					mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.4												mA
IOH	max			ALL	H		0.4							4					mA
IOL	max			ALL	L		8							4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI		DF												
東芝														
SGS														
CYPRES														
IDT														

参考品種
74164

Shift Register

シフトレジスタの解説

◎シフトレジスタの全機能はワクで囲んだ矢印の記号および表で示してあります.

i) bit数……矢印右側数字

ii) **右シフト機能**……右方向矢印

iii) **左シフト機能**……左方向矢印

iv) **並列出力**……縦方向矢印（上半分）
出力が 3 state ならば矢印の上に示してあります.

v) **並列入力**……縦方向矢印（下半分）
実線の場合はクロック同期，点線の場合は非同期です.
非同期のなかにはリセットとプリセットが独立しているタイプと一動作でデータセットができるタイプとがあります.

vi) **データホールド機能**……矢印中央の小丸
○はクロック同期でホールド，つまり出力が入力に帰還されているタイプ.
●はクロックをインヒビットするタイプです．クロックとインヒビットの入力がORになっているので，インヒビットをON-OFFするとクロックが入ったのと同じことになります.
いずれにしてもレジスタですから何もしなければホールドしているのはいうまでもありません.

vii) **クロック**
ネガティブタイプかポジティブタイプかは表のなかに波形で示してあります.

viii) **クリア**
74323はクロック同期クリア，他は非同期です.
正論理か負論理かは表に示してあります.

◎例として 74199 を示します.
右図から
○ライトシフト（8 bit）
○パラレルインプット可能（クロック同期）
○パラレルアウトプットあり
○クロックインヒビット端子あり
○シリアルインプットはJ$\overline{K}$モード（7473の項参照）
が読みとれます.

J$\overline{K}$ ──●──▶ 8

7492　Divide by Twelve Counter

○非同期 2進+6進カウンタ(12進)
○非同期クリア
○使用法については7490の項参照

参考品種
8288

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	INP. A					32							25					MHz
fmax	min	INP. B					16							25					MHz
tw	min	INP. A					15							18					ns
tw	min	INP. B					30							18					ns
tw	min	R0					15							18					ns
trec	min	CLEAR					25↓							18					ns
tpd	max	Cnt U		Qa			18							28					ns
tpd	max	Cnt D		Qd			35							28					ns
tpd	max	COUNT		Qa〜Qd			40							36					ns
Icc	max						15							0.04					mA
IIH	max	INP. A	H				40												μA
IIL	max	INP. A	L				2.4												mA
IIH	max	INP. B	H				80												μA
IIL	max	INP. B	L				3.2												mA
IIH	max	R0					20												μA
IIL	max	R0					0.4												mA
IOH	max			ALL	H		0.4							4					mA
IOL	max			ALL	L		8							4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF												
MOT		DF												
日電														
NS														
PHIL														
RCA														
SIGNE														
TI		DF												
東芝		D												
SGS														
CYPRES														
IDT														

動作状態

入力				出力		動作
Ro	CK A	CK B	パルス数	Q_A	$Q_BQ_CQ_D$	
L	⎍ Q_Aに対するCK	⎍ Q_B〜Q_Dに対するCK	0	L	L L L	カウント
			1	H	H L L	
			2	L	L H L	
			3		L L H	
			4		H L H	
			5		L H H	
			6		L L L	
H	×	×	—	L	L L L	クリア

Ro=Ro(1)・Ro(2)

7493 4-Bit Binary Counter

参考品種
74293
74393

○非同期 2進+8進カウンタ(16進)
○非同期クリア
○使用法については7490の項参照

動　作　状　態

入力				出力		動作
R_0	CK			QA	$Q_BQ_CQ_D$	
	A	B	パルス数			
L	QAに対するCK	QB/QDに対するCK	0	L	L L L	カウント
			1	H	H L L	
			2	L	L H L	
			3		H H L	
			4		L L H	
			5		H L H	
			6		L H H	
			7		H H H	
			8		L L L	
H	×	×	—	L	L L L	クリア

$R_0 = R_{0(1)} \cdot R_{0(2)}$

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	INP. A					32							24		24			MHz
fmax	min	INP. B					16							24		24			MHz
tw	min	INP. A					15							20		20			ns
tw	min	INP. B					30							20		20			ns
tw	min	R0					15							20		20			ns
trec	min	R0					25↓												ns
tpd	max	INP. A		Qa			18							31		43			ns
tpd	max	INP. B		Qd			51							61		73			ns
tpd	max	R0		Qa～Qd			40							39		41			ns
Icc	max						15							0.08		0.08			mA
IIH	max	INP. A	H				40												μA
IIL	max	INP. A	L				2.4												mA
IIH	max	INP. B	H				20												μA
IIL	max	INP. B	L				0.4												mA
IOH	max	R0					0.4							4		4			mA
IOL	max	R0					8							4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		D											
日電													
NS		DF											
PHIL									DF		DF		
RCA									DF		DF		
SIGNE		DF											
TI		DF											
東芝													
SGS													
CYPRES													
IDT													

7495 4-Bit Shift Register

入力			動作
Mode cont	C 1	K 2	
L	↓	X	右シフト
H	X	↓	ロード

Mode control

Clock 1 or 2

t enable

t inhibit

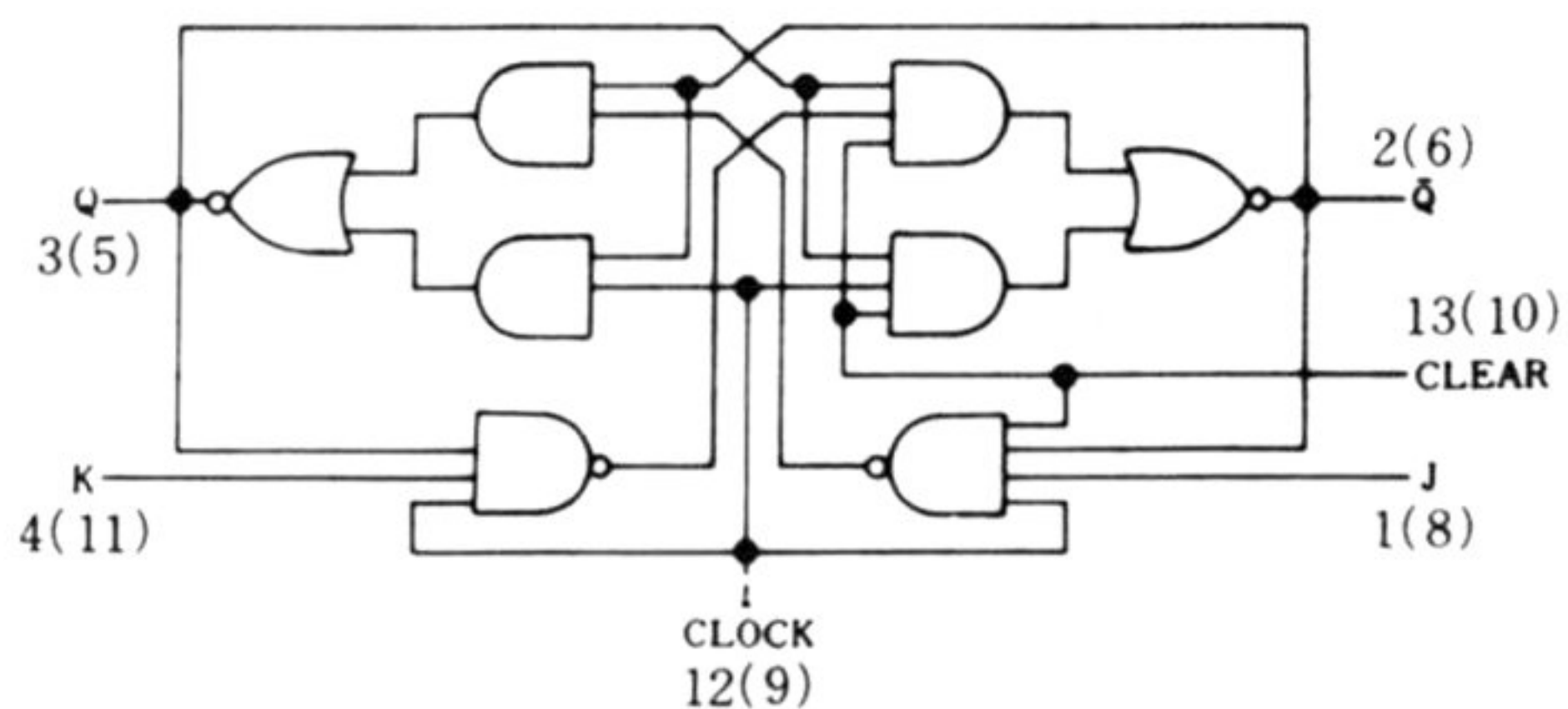
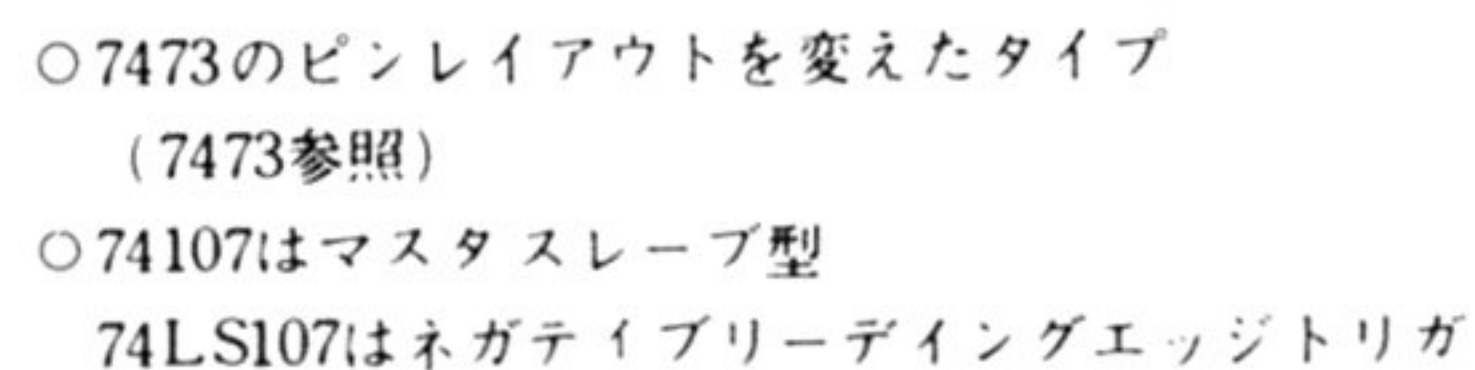
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25				100			16					MHz
tw	min	CLK					25				5			20					ns
tsu	min	A～D					20↓				2↓			25					ns
thold	min	A～D					10↓				3↓			10					ns
tenabl	min	MODE					20↓				12↓								ns
tinhb	min	MODE					20↑				2.5↑								ns
tpd	max	A～D		Q			32				10			43					ns
Icc	max	A～D	L		OPEN		21				39			0.04					mA
IIH	max	CLK	H				40				20								μA
IIL	max	CLK	L				0.8				0.5								mA
IIH	max	MODE	H				20				20								μA
IIL	max	MODE	L				0.4				1								mA
IIH	max	SERIAL	H				20				20								μA
IIL	max	SERIAL	L				0.4				0.5								mA
IOH	max			ALL	H		0.4				2			4					mA
IOL	max			ALL	L		8				20			4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT													
日電													
NS		DF											
PHIL													
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT													

t inhibitはモードが変化してからどちらかのCKを上げてはいけない期間.
この間にCKが立ち上がるとCKが1パルス入ったことになり1bitシフト

74107　　Dual JK-FFs with Clear

○7473のピンレイアウトを変えたタイプ
（7473参照）
○74107はマスタスレーブ型
74LS107はネガティブリーディングエッジトリガ

74107

74LS107

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30					125	125	21		24			MHz
tw	min	CLK	H				20	16.5				5.0	5.0	20		20			ns
tw	min	CLK	L					16.5				5.0	5.0	20		20			ns
tw	min	CLR	L				25	10				5.0	5.0	20		30			ns
tsu	min	J, K					20↓	20				4.5	4.5	25		25			ns
thold	min	J, K					0↓	3				0	0	0↓		5			ns
tpd	max	ALL		Q, -Q			20	19				11.5	11.5	39		48			ns
Icc	max						6	0.05				0.04	0.04	0.04		0.04			mA
IIH	max	CLK	H				80	20											μA
IIL	max	CLK	L				0.8	0.2											mA
IIH	max	J, K	H				20	20											μA
IIL	max	J, K	L				0.4	0.2											mA
IIH	max	PR, CLR	H				60	40											μA
IIL	max	PR, CLR	L				0.8	0.4											mA
IOH	max			Q, -Q	H		0.4	0.4				24	24	4					mA
IOL	max			Q, -Q	L		8	8				24	24	4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF					
MOT		DF							DF					
日電									DF					
NS		DF												
PHIL									DF		DF			
RCA									DF		DF			
SIGNE														
TI		DF							DF					
東芝		D							DF					
SGS									DF					
CYPRES														
IDT														

ＦＦについて

図1，および表1はJK FFのブロック図および真理値表です．以下，動作について説明します．

i）**Q, $\overline{Q}$**

出力です。Qと$\overline{Q}$は後述の特別な場合*を除いて，互いに反対のレベルを出力します．すなわちQ＝Hならば$\overline{Q}$＝L，Q＝Lならば$\overline{Q}$＝H

ii）**PR, CLR（厳密にはそれぞれ$\overline{PR}$, $\overline{CLR}$）**

①PR（プリセット）にLを加えるとQ＝Hとなります．

②CLR（クリア）にLを加えると$\overline{Q}$＝Hとなります．

これらの期間中はクロックの入力を無視し，解除（Hにする）した後もその状態を保持します．

③PR, CLRを同時にLにすると、①，②が同時に起こります（すなわちQ，$\overline{Q}$共にHとなる）ただし一方を先に解除すれば①または②に従い，当然反対側の出力はLになります．同時に解除した場合は，Q，$\overline{Q}$のうちどちらがHになかは不定です（素子のバラつきや，負荷の大小によって決定される）．

iii）**J, K**

PR, CLRが共にHのときにクロックを入れると，JKの入力状態により，表1のようにQ，$\overline{Q}$が出力されます（J$\overline{K}$-FF, D-FFはそれぞれ図2，図3のようになっていると考えればよい）．

iv）**CK**

クロック入力です．三角の記号は，クロックの立ち上がりの瞬間にのみ動作するという意味です（カウンタ，シフトレジスタにも共通）．真理値表では波形に矢印を付けてあります．

ICによっては，CKに小丸のついているのもありますが，これは図4のように考えます（すなわちクロックの立ち下がりで動作）．前者をポジティブ・エッジ・ゴーイング型（POS）

後者をネガティブ・エッジ・ゴーイング型（NEG）とします．

真　理　値　表

PR	CLR	CK	J	K	Q	$\overline{Q}$
L	H	×	×	×	H	L
H	L	×	×	×	L	H
L	L	×	×	×	H*	H*
H	H	↑	L	L	無変化	
H	H	↑	H	L	H	L
H	H	↑	L	H	L	H
H	H	↑	H	H	反　転	

表　1

PR
J　Q
CK
K　CLR　$\overline{Q}$

図　1

JK̄-FF　D-FF

図　2　　図　3

NEG-FF　POS-FF

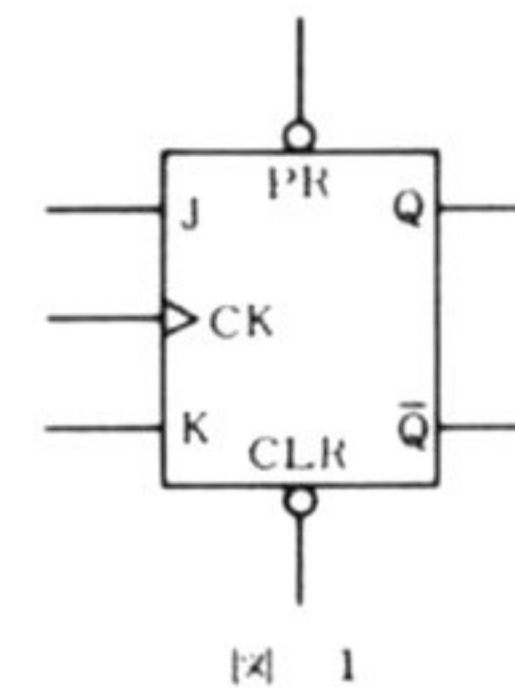
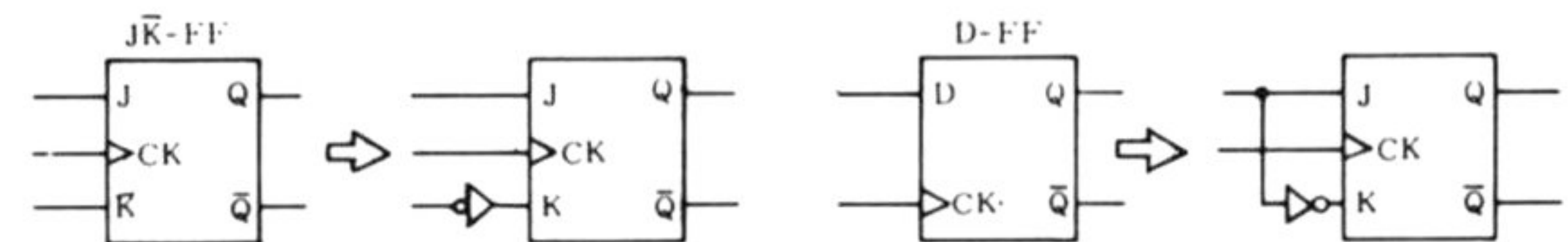



図　4

tsu および thold について

ＦＦがデータを読み込むのに要する時間はゼロではないので，読み込む時期の前後のしばらくの間，データを固定しておく必要があります．前部をInput setup time（t_{su}）後部をInput hold time（t_{hold}）と呼びます．後ろにある矢印はクロックの立ち上がりまたは立ち下がりを表わします．

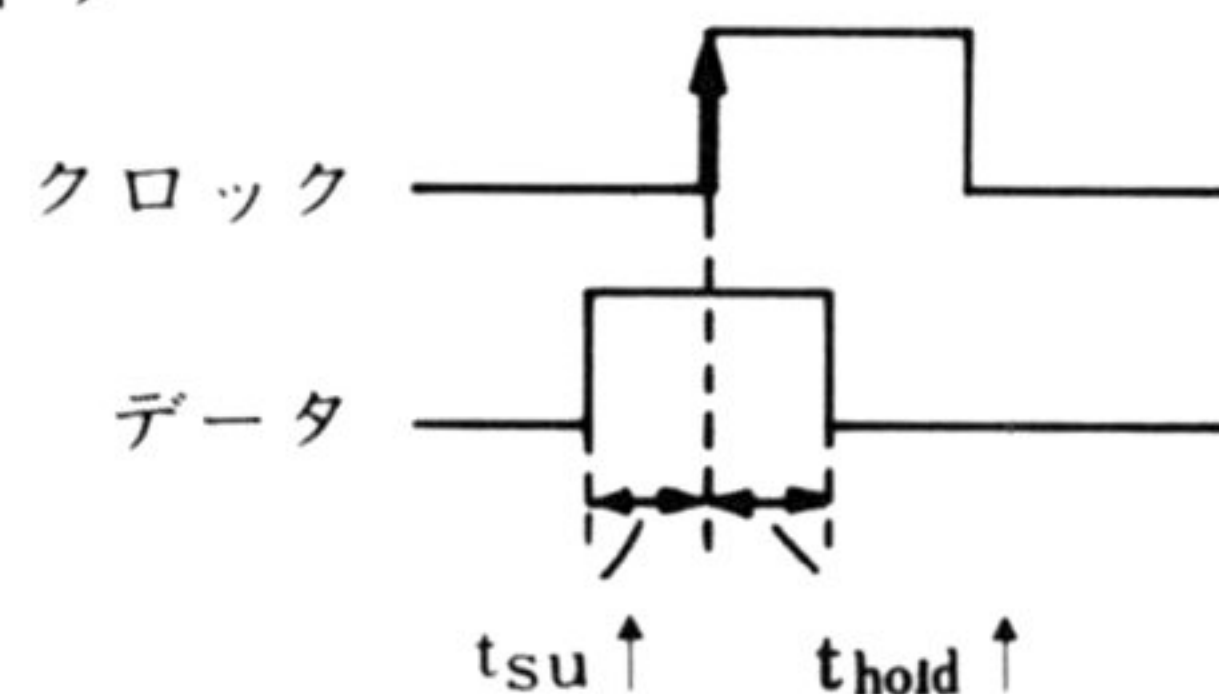
データ読み込み時期について

ＦＦはデータ読み込みの時期により以下のように分類されます．それぞれについて波形で説明します．

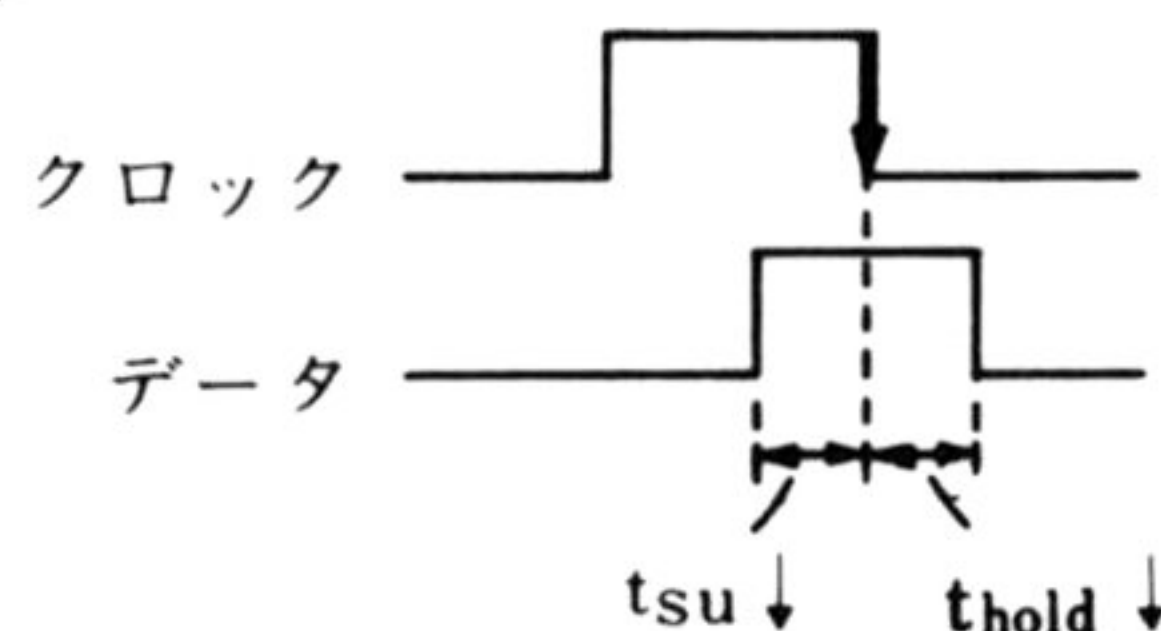
（クロックの太線の部分がデータを読み込む時で，矢印は出力の変化する時，また，データの波形の山の部分は，データの固定すべき期間で，データの論理レベルではありません．）

ｉ）リーディング・エッジトリガ型

これはデータを読み込むと同時に出力するタイプで，クロックの動作により，さらに２種類に分かれます．

(1)POSタイプ

クロック
データ
t_{su} ↑　t_{hold} ↑

’74，’LS74
’109，’LS109など

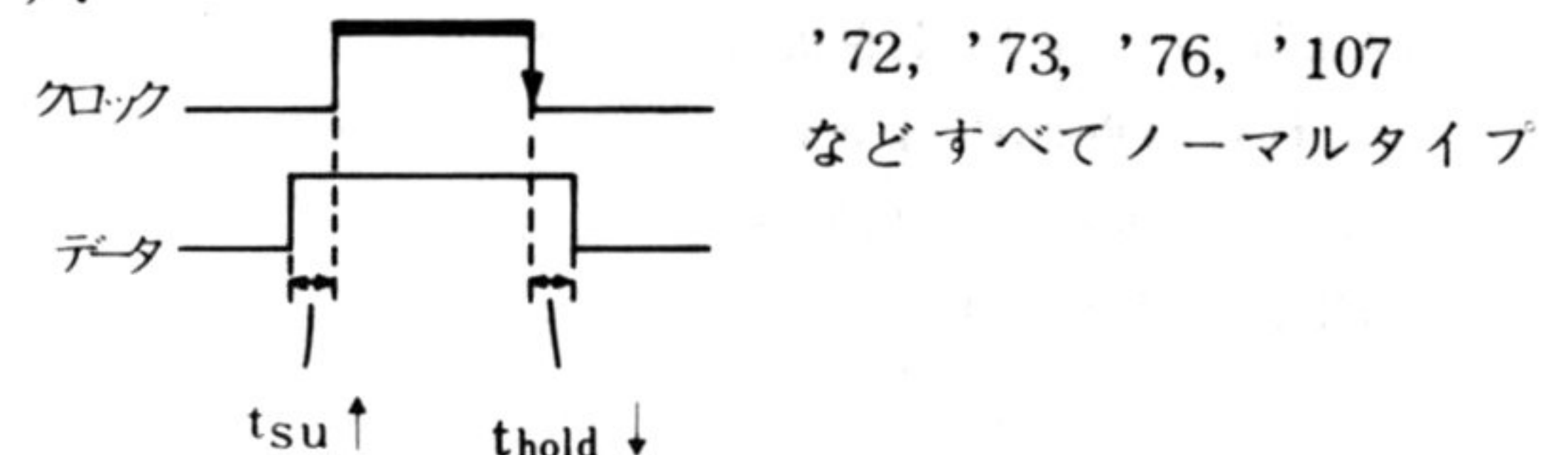
(2)NEGタイプ

クロック
データ
t_{su} ↓　t_{hold} ↓

’LS73，’LS76，’LS107，
’LS112，’S112，’LS113，
’S113，’LS114，’S114
などすべてLSおよびSタイフ

ii）マスタスレーブ型

このタイプはクロックがＨの間データを読み込みっぱなしなので，その間にデータを変化させると誤動作をすることがあります．それは，Ｑ＝Ｈの時，ＫからＨを（Ｑ＝Ｌの時はＪからＨを）読み込み，ホールドしてしまい，あとは入力をどう変化させても無視するからです．このことを利用した特殊な用法としてＪＫを共にＬにしておき，クロックがＨの間に出力をＨにしたいほうの入力を一瞬だけＨにすればクロックが落ちた時にそれを出力します．

クロック
データ
t_{su} ↑　t_{hold} ↓

’72，’73，’76，’107
などすべてノーマルタイプ

iii）マスタスレーブ・データロックアウト型

マスタスレーブを変型してデータを一瞬しか読み込まないタイプ（’110，’111があった）

クロック
データ
t_{su} ↑　t_{hold} ↑

74108 Dual J-K Flip-Flops (with Preset, Common Clear, and Common Clock)

Vcc 1PR CLR 2J 2PR CK 2K

14 13 12 11 10 9 8

1 2 3 4 5 6 7

1K 1Q 1Q 1J 2Q 2Q GND

機 能 表

Input					Output	
Preset	Clear	Clock	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↘	L	L	No Change	
H	H	↘	L	H	L	H
H	H	↘	H	L	H	L
H	H	↘	H	H	Toggle	
H	H	L	X	X	No Change	
H	H	H	X	X	No Change	
H	H	↗	X	X	No Change	

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	CK		Q	L→H									30					ns
tpd	max	CK		Q	H→L									30					ns
tpd	max	CLR		Q	L→H									28					ns
tpd	max	CLR		Q	H→L									28					ns
tpd	max	PR		Q	L→H									28					ns
tpd	max	PR		Q	H→L									28					ns
Icc	max													2					μA
IOH	max																		mA
IOL	max													4					mA

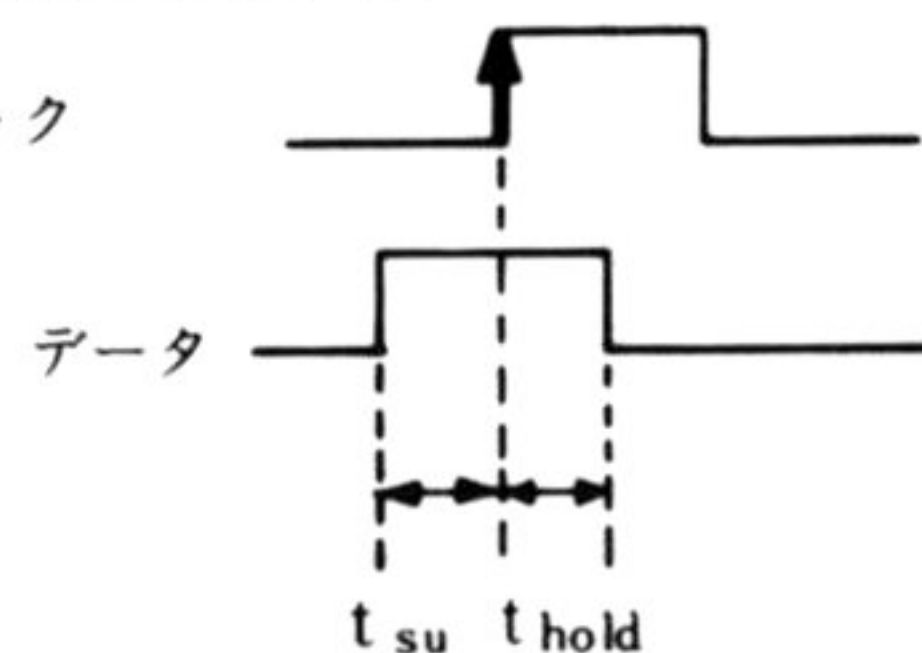
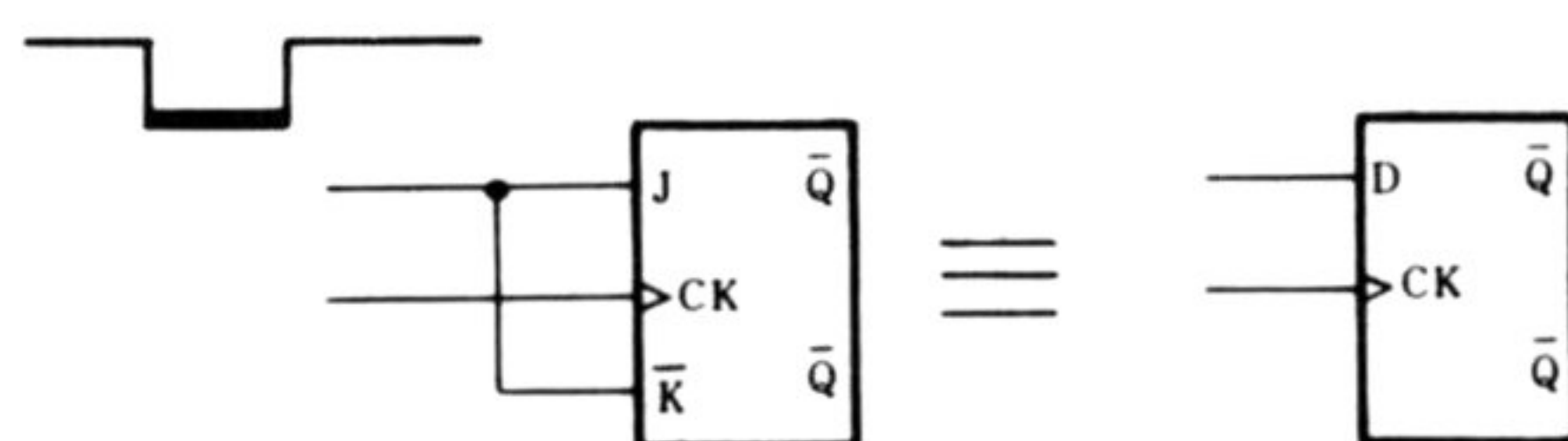
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF					
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

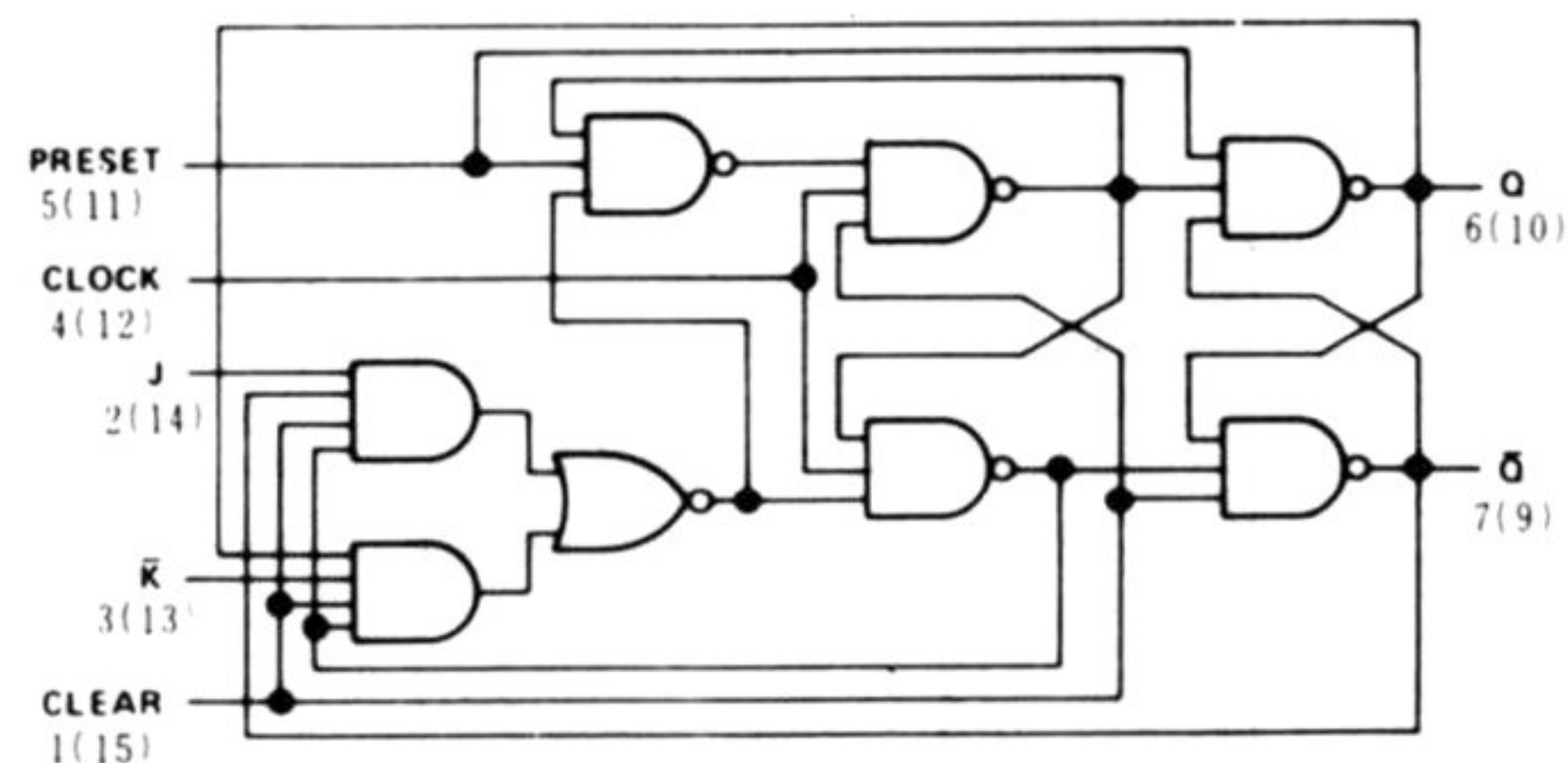
74109 Dual J$\overline{K}$-FFs with Preset and Clear

○POS, リーディング エッジトリガ

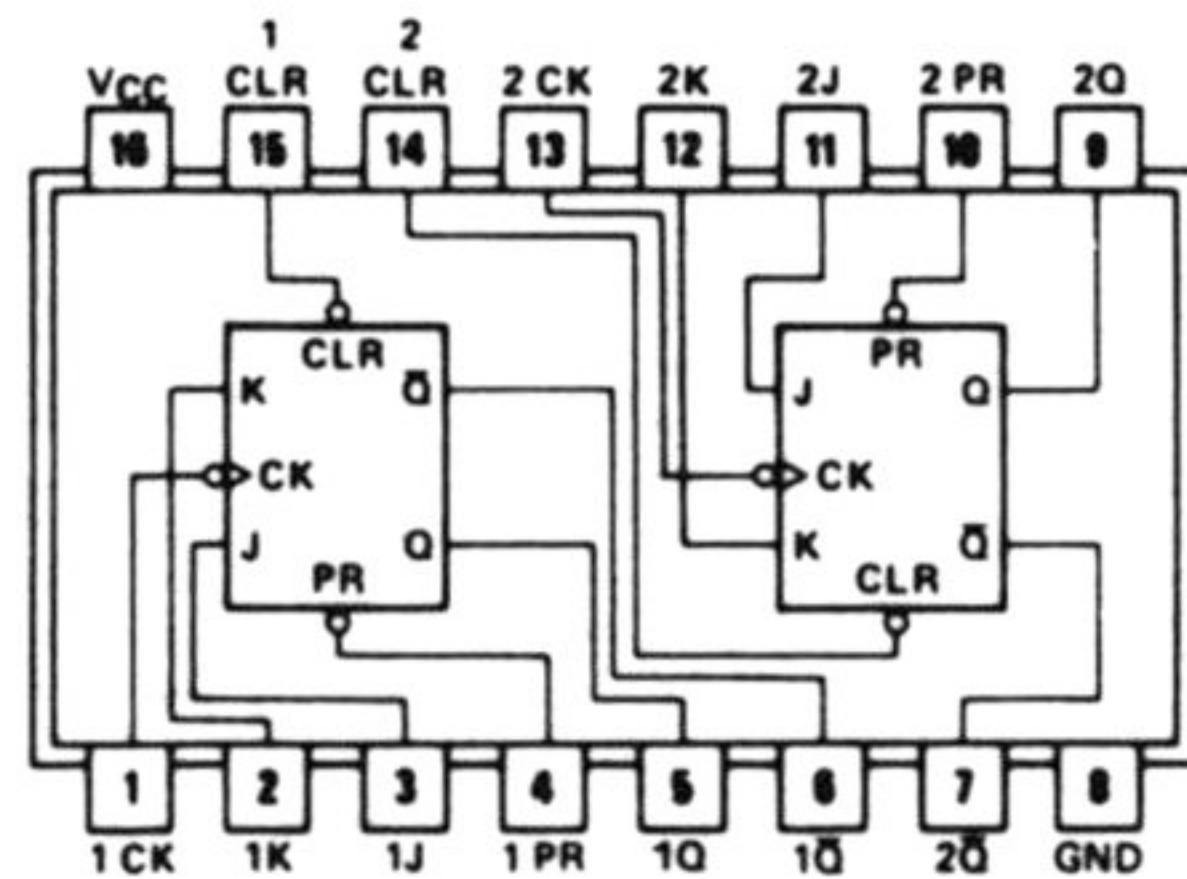
○7474をJ$\overline{K}$にしたタイプ

○クロック

○クリア
（プリセット）

○7473の項参照

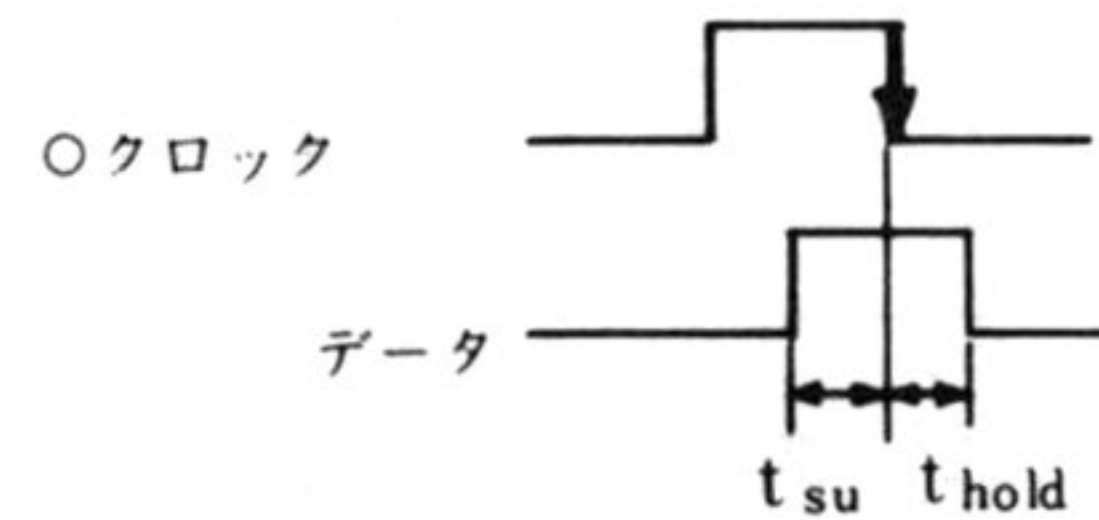
J，$\overline{K}$をパラにすると7474と同等

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25	34		90	105	50		21		22			MHz
tw	min	CLK	H				25	14.5		4	4	5.5	6.0	20		23			ns
tw	min	CLK	L					14.5		5	5.5	5.5	6.0			23			ns
tw	min	PR, CLR	L				25	15		4	4	5.5	6.0	20		20			ns
tsu	min	J, K					20↑	15↑		3↑	5.5	4.5	2.5	25		23			ns
thold	min	J, K					5↑	0↑		1↑	0↑	0	2.0	5		3			ns
tpd	max	CLK		Q, -Q			40	18		9.2	9	10.5	13.0	44		44			ns
tpd	max	PR		Q, -Q			40	15		10.5	10.5	13.5	11.5	58		44			ns
tpd	max	CLR		Q, -Q			40	15		10.5	10.5	13.5	11.5	58		44			ns
Icc	max						8	4		17	17	0.04	0.04	0.04		0.04			mA
IIH	max	CLK	H				20	20		20									μA
IIL	max	CLK	L				0.4	0.2		0.6									mA
IIH	max	J, K	H				20	20		20									μA
IIL	max	J, K	L				0.4	0.2		0.6									mA
IIH	max	JK	H				40	40		20									μA
IIL	max	JK	L				0.8	0.4		1.8									mA
IIH	max	PR, CLR	H				40	40		20									μA
IIL	max	PR, CLR	L				0.8	0.4		1.8									mA
IOH	max			Q, -Q	H		0.4	0.4		1	2	24	24	4		4			mA
IOL	max			Q, -Q	L		8	8		20	20	24	24	4		4			mA

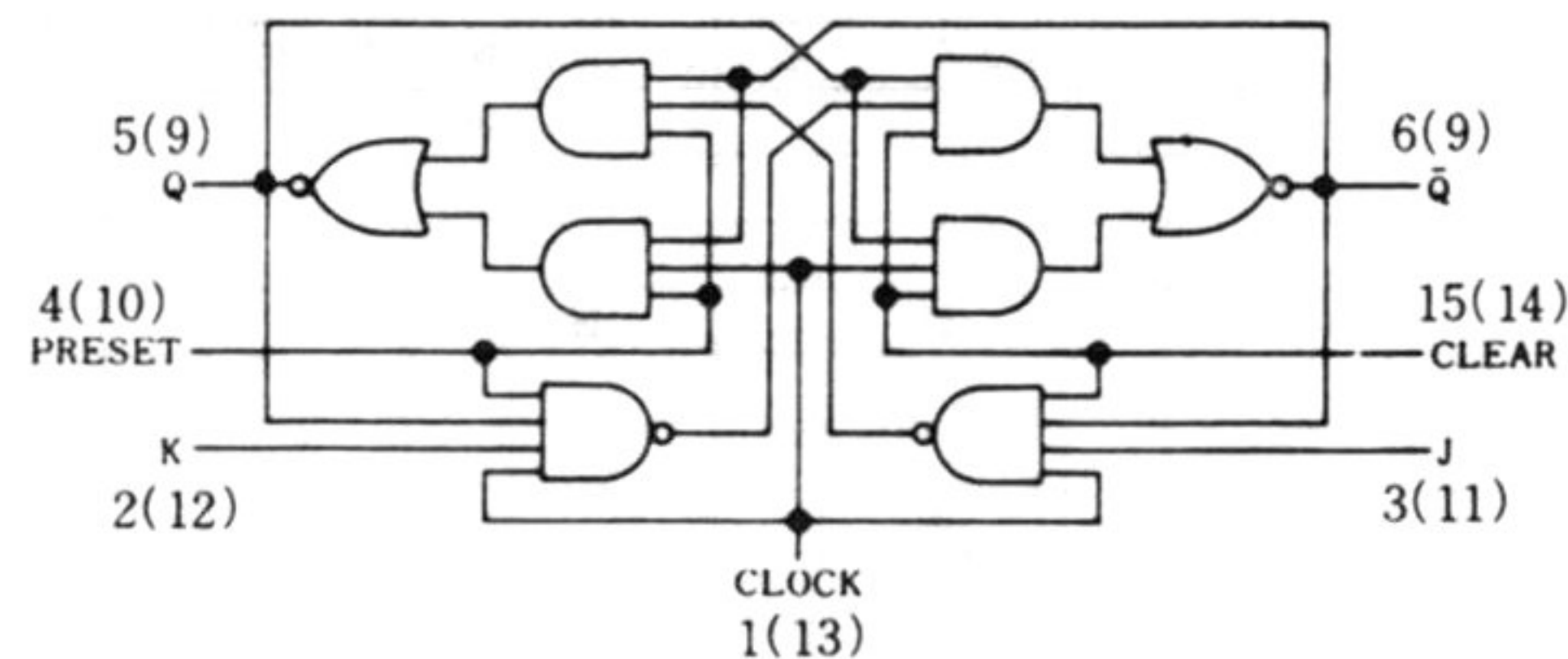
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		D			DF		DF		DF					
日電									DF					
NS		DF	DF		DF	DF	DF	DF	DF					
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		D	DF	DF	DF	DF					
東芝		D			D		DF	DF	DF					
SGS									DF					
CYPRES														
IDT														

74112 Dual JK-FFs with Preset and Clear

○ネガティブリーディングエッジトリガ
○動作は74LS76と同じ

○クロック

データ

t_{su} t_{hold}

○クリア
（プリセット）

○7473の項参照

74LS112，74S112

参考品種
74LS76

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30	30		100	175	125	80	21		22			MHz
tw	min	CLK	H				20	16.5		5		5.0	8.0	20		20			ns
tw	min	CLK	L					16.5		5		5.0	8.0	20		20			ns
tw	min	PR, CLR	L				25	10		5		5.0	8.0	20		20			ns
tsu	min	J, K					20↓	22↓		3↓		4.5	8.0	25		20			ns
thold	min	J, K					0↓	0↓		0↓		0	1.5	0↓		0			ns
tpd	max	CLK		Q, -Q			20	19		7.7	4	12.0	14.0	32		50			ns
tpd	max	PR, CLR		Q, -Q			20	18		7.7	4	12.5	13.5	39		46			ns
Icc	max						6	4.5		19	38	0.04	0.04	0.04		0.04			mA
IIH	max	CLK	H				80	20		20	100								μA
IIL	max	CLK	L				0.8	0.2		2.4	5								mA
IIH	max	J, K	H				20	20		20	20								μA
IIL	max	J, K	L				0.4	0.2		0.6	1								mA
IIH	max	PR, CLR	H				60	40		20	100								μA
IIL	max	PR, CLR	L				0.8	0.4		3	5.5								mA
IOH	max			Q, -Q	H		0.4	0.4		1	2	24	24	4		4			mA
IOL	max			Q, -Q	L		8	8		20	20	24		4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					DF	DF	DF				
MOT		DF			DF				DF				
日電									DF				
NS		DF			DF			DF	DF				
PHIL									DF		DF		
RCA							DF	DF	DF		DF		
SIGNE			DF		DF								
TI		DF	DF		DF		DF	DF	DF				
東芝		D					DF	DF	DF				
SGS									DF				
CYPRES													
IDT													

74113 Dual JK-FFs with Preset

○ネガティブリーディングエッジトリガ

○クロック

データ

t_{su} t_{hold}

○プリセット

○7473の項参照

74LS113, 74S113

JK-FF は上下がシンメトリなので J を K と、Q を Q̄ と、PR を CLR とそれぞれ入れ替えて使用可能。したがって 74LS73, 74LS107 のピンレイアウトを変えたタイプと考えてよい。

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30	30		100	175			21					MHz
tw	min	CLK	H				20	16.5		5				20					ns
tw	min	CLK	L					16.5		5									ns
tw	min	PR, CLR	L				25	10		5				20					ns
tsu	min	J, K					20↓	22		3↓				25					ns
thold	min	J, K					0↓	0↓		0↓				0					ns
tpd	max	CLK		Q, -Q			20	16		7.7	4			41					ns
tpd	max	PR, CLR		Q, -Q			20	19		7.7	4			32					ns
Icc	max						6	4.5		19	38			0.04					mA
IIH	max	CLK	H				80	20		20	100								μA
IIL	max	CLK	L				0.8	0.2		2.4	5								mA
IIH	max	J, K	H				20	20		20	20								μA
IIL	max	J, K	L				0.4	0.2		0.6	1								mA
IIH	max	PR, CLR	H				60	40		20	100								μA
IIL	max	PR, CLR	L				0.8	0.4		3	5.5								mA
IOH	max			Q, -Q	H		0.4	0.4		1	2			4					mA
IOL	max			Q, -Q	L		8	8		20	20			4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		D							DF					
日電														
NS					DF			DF	DF					
PHIL														
RCA														
SIGNE					DF									
TI		DF	DF		D				DF					
東芝									DF					
SGS									DF					
CYPRES														
IDT														

74114 Dual JK-FFs with Preset and Clear (common clear, common clock)

VCC CK 2K 2J 2PR 2Q 2$\bar{Q}$
14 13 12 11 10 9 8
PR J Q CK K $\bar{Q}$ CLR
1 2 3 4 5 6 7
CLR 1K 1J 1PR 1Q 1$\bar{Q}$ GND

○7478のピンレイアウトを変えたタイプ

○クロック

データ

t_{su} t_{hold}

○クリア
(プリセット)

5(9) Q
$\bar{Q}$ 6(8)
4(10) PRESET
CLEAR 1
K 2(12)
J 3(11)
CLOCK 13
TO OTHER F-F
74LS114，74S114

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30	30		100	175			24					MHz
tw	min	CLK	H				20	16.5		5				20					ns
tw	min	CLK	L					16.5		5				20					ns
tw	min	PR, CLR	L				25	10		5				20					ns
tsu	min	J, K					20↓	22↓		3↓				25					ns
thold	min	J. K					0↓	0↓		0↓				5					ns
tpd	max	CLK		Q, -Q			2	18		7.7	4			38					ns
tpd	max	PR, CLR		Q, -Q			2	19		7.7	4			35					ns
Icc	max						6	4.5		19	38			20					mA
IIH	max	CLK	H				160	20		20									μA
IIL	max	CLK	L				1.6	0.2		2.4	10.5								mA
IIH	max	J, K	H				20	20		20									μA
IIL	max	J, K	L	CIR			0.4	0.2		0.6	1								mA
IIH	max	PR, CLR	H				60	40		20									μA
IIL	max	PR, CLR	L				0.8	0.4		3	5.5								mA
IIH	max			CIR	H		120	40		20									μA
IIL	max			CIR	L		1.6	0.4		3	11.5								mA
IOH	max			Q, -Q	H		0.4	0.4		1	2			4					mA
IOL	max			Q, -Q	L		8	8		20	20			4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		D												
日電														
NS					DF									
PHIL														
RCA														
SIGNE					DF									
TI		DF	DF											
東芝														
SGS														
CYPRES														
IDT														

参考品種
7478

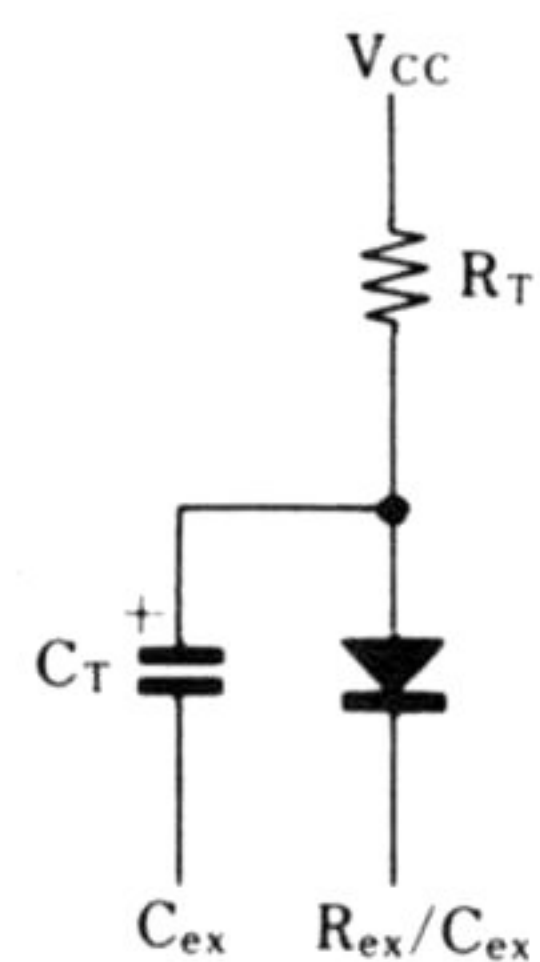
74122 Retriggerable Single Shot

$t_w = 0.32 R_T \cdot C_T \left(1 + \frac{0.7}{R_T}\right)$ 74122

$t_w = 0.45 R_T \cdot C_T$ 74LS122

$5k\Omega < R_T < 50k\Omega$ 74122

$5k\Omega < R_T < 260k\Omega$ 74LS122

(t_w ns, R_T kΩ, C_T pF)

〔74122で$C_T>1000pF$以上またはクリアを使用する時のみDi必要
その時，$t_w = 0.28 R_T \cdot C_T \left(1 + \frac{0.7}{R_T}\right)$〕

OUTPUT PULSE CONTROL USING RETRIGGER PULSE

OUTPUT PULSE CONTROL USING CLEAR INPUT

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A		Q	↑		33												ns
tpd	max	B		Q	↑		44												ns
tpd	max	A		-Q	↓		45												ns
tpd	max	B		-Q	↓		56												ns
tpd	max	CLR		Q	↓		27												ns
tpd	max	CLR		-Q	↑		45												ns
tw	max	CT=0		RT=5K			200												ns
Icc	max						17												mA
IIH	max	A, B	H				20												μA
IIL	max	A, B	L				0.4												mA
IIH	max	CLR	H				20												μA
IIL	max	CLR	L				0.4												mA
IOH	max			Q, -Q	H		0.4												mA
IOL	max			Q, -Q	L		8												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF											
MOT		D											
日電													
NS		DF											
PHIL													
RCA													
SIGNE													
TI		DF											
東芝		D											
SGS													
CYPRES													
IDT													

参考品種
74121
9600
74422

74123 Dual Retriggerable Single Shot

74122が2個入っているもの

INPUTS			OUTPUTS	
CLEAR	A	B	Q	$\bar{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⊓	⊔
H	↓	H	⊓	⊔
↑	L	H	⊓	⊔

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A		Q	↑		33							64		64			ns
tpd	max	B		Q	↑		44							64		64			ns
tpd	max	A		-Q	↓		45							64		64			ns
tpd	max	B		-Q	↓		56							64		64			ns
tpd	max	A		Q	↓		27												ns
tpd	max	B		-Q	↑		45												ns
tw	max	CT=0		RT=5K			200							25		25			ns
Icc	max						20							0.08		0.08			mA
IIH	max	A, B	H				20												μA
IIL	max	A, B	L				0.4												mA
IIH	max	CLR	H				20												μA
IIL	max	CLR	L				0.4												mA
IOH	max			Q, -Q	H		0.4							4		4			mA
IOL	max			Q, -Q	L		8							4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF		DF					
MOT		DF												
日電									DF					
NS		DF							DF					
PHIL									DF		DF			
RCA							DF		DF		DF			
SIGNE														
TI		DF												
東芝		D							DF					
SGS									DF					
CYPRES														
IDT														

参考品種
74423
74221
9602

74125　　Quad 3 State Bus Buffers

Vcc 4C 4A 4Y 3C 3A 3Y
14 13 12 11 10 9 8
1 2 3 4 5 6 7
1C 1A 1Y 2C 2A 2Y GND

○ C入力がHのときYは ハイインピーダンス

○ C入力がLのときY＝A

VCC 4k 2.5k 4k 2.5k 1k 85 OUTPUT Y CONTROL INPUT C 1.6k 1.6k 4k 625 GND DATA INPUT A

74125

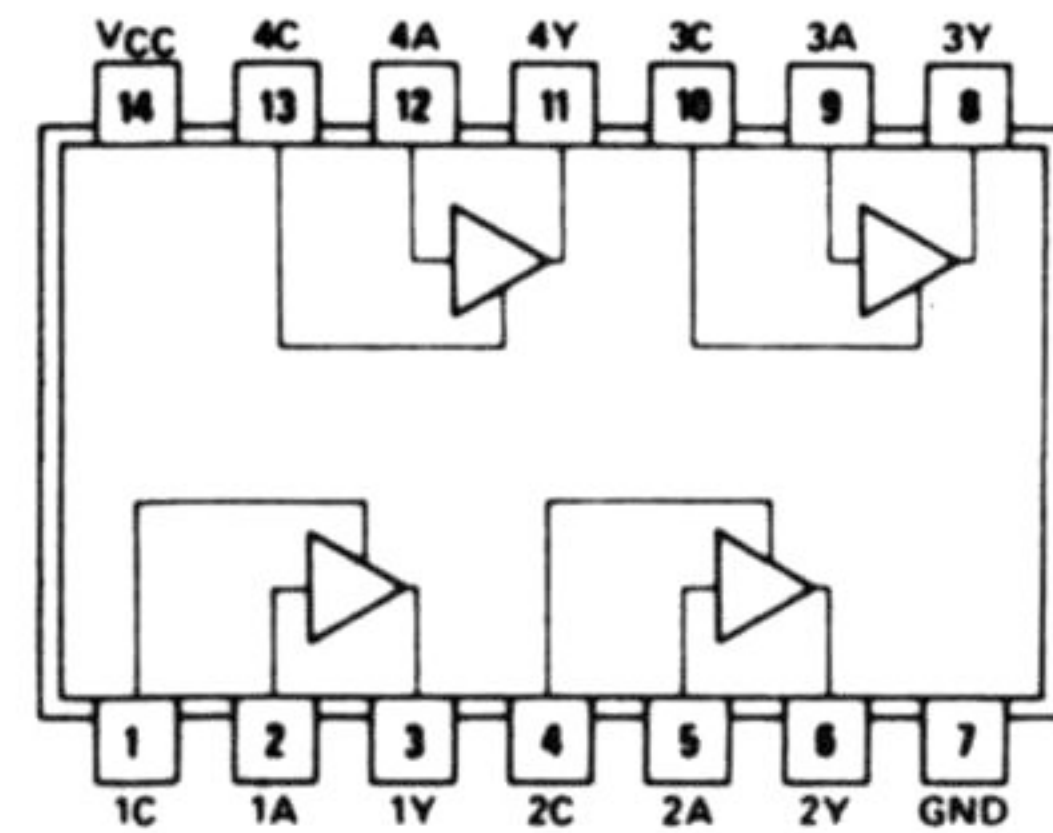
VCC 18k 8k 18k 6k 4k 60Ω 4k C OUTPUT 20k 750 1.5k 5k A INPUT GND

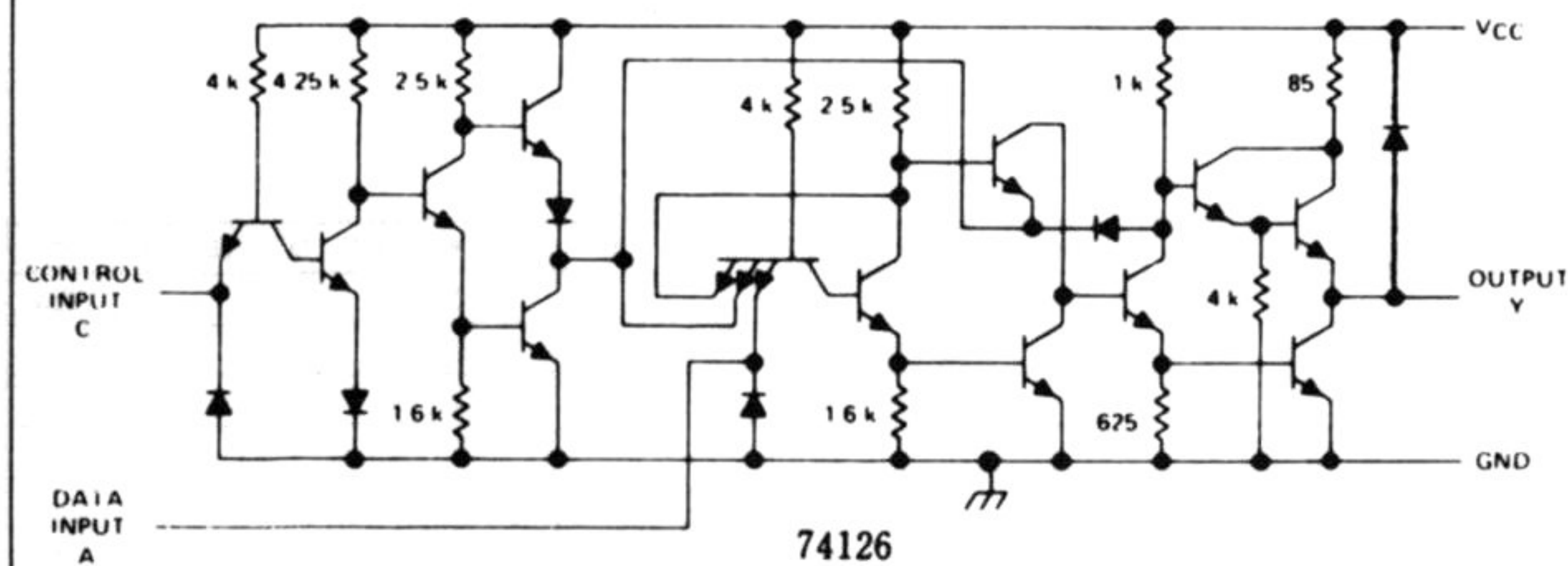
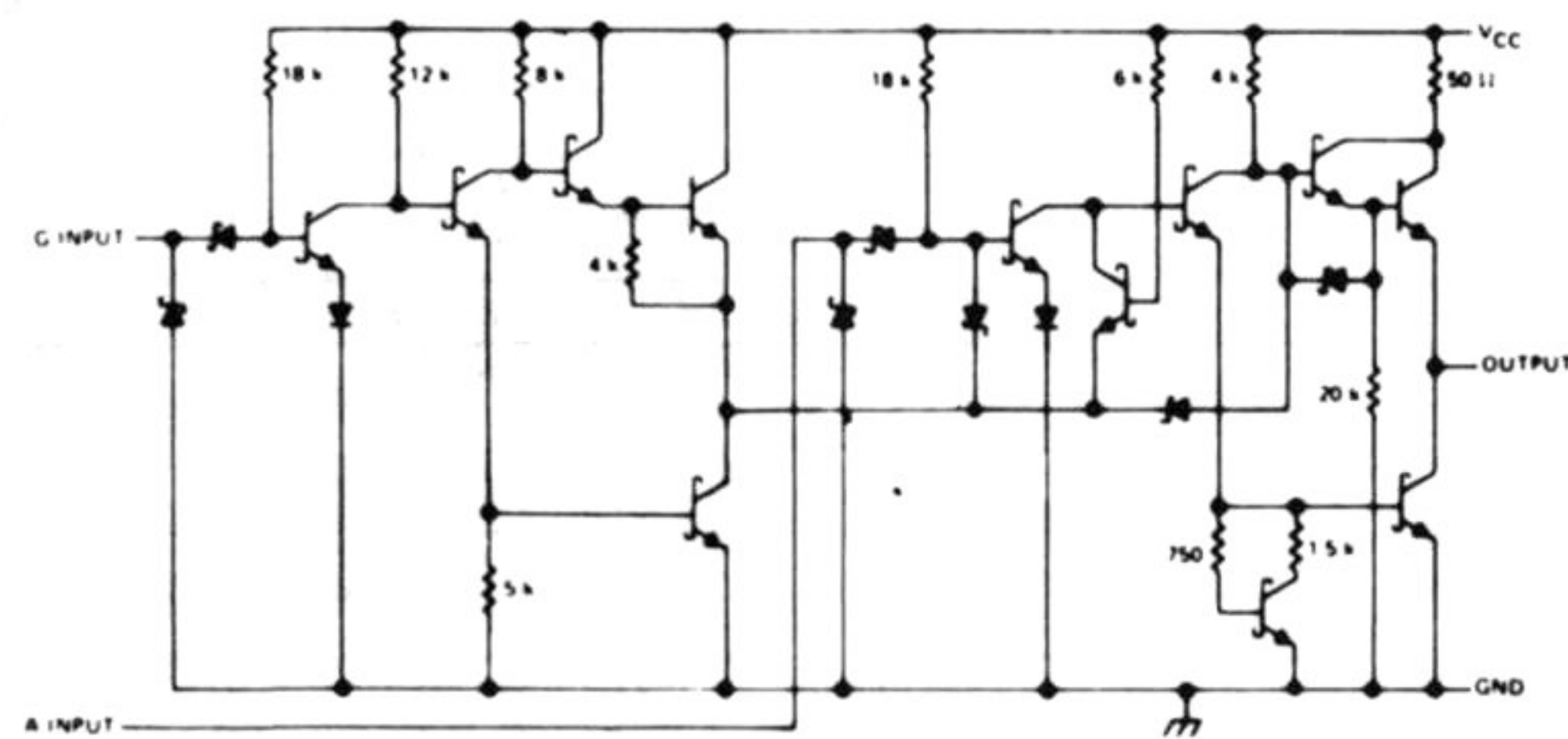
74LS125

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑	9.7	15			6.5		7.5	10.0	25		33		5.7	ns
tpd	max			H→L	↓	9.7	18			8.0		7.5	10.0	25		33		7.7	ns
tpd	max			Z→H	△	9.1	20			8.5		7.5	10.0	31		35		10.3	ns
tpd	max			Z→L	▽	9.1	25			9.0		7.5	10.0	31		35		11.7	ns
tpd	max			H→Z	▲	11.2	(20)			6.0		7.5	10.0	31		31		8.9	ns
tpd	max			L→Z	▼	11.2	(20)			6.0		7.5	10.0	31		31		8.6	ns
Icc	max	A	L	Y	L	0.004	20			40		0.08	0.08	0.08		0.08		51	mA
IIH	max	ALL	H				20			20								25	μA
IIL	max	ALL	L			list	0.4			20								20	mA
IOH	max			Y	H	4	2.6			15		24	24					15	mA
IOL	max			Y	L	4	24			64		24	24					64	mA
IZL	max			Y	L		20			50				6		6		50	μA
IZH	max			Y	H		20			50				6		6		50	μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					DF	DF	DF		DF		
MOT		DF			DF		D	DF	DF				
日電									DF				
NS	F	DF	DF		DF		DF	DF	DF				DF
PHIL	DF								DF		DF		
RCA									DF		DF		
SIGNE					DF								
TI		DF			D				DF				DF
東芝	F	D					DFS		DF				
SGS									DF		DF		
CYPRES													
IDT													

参考品種
74425

74126　　Quad 3 State Bus Buffers

○ C入力がLのときYはハイインピーダンス

○ C入力がHのときY＝A

74126

74LS126

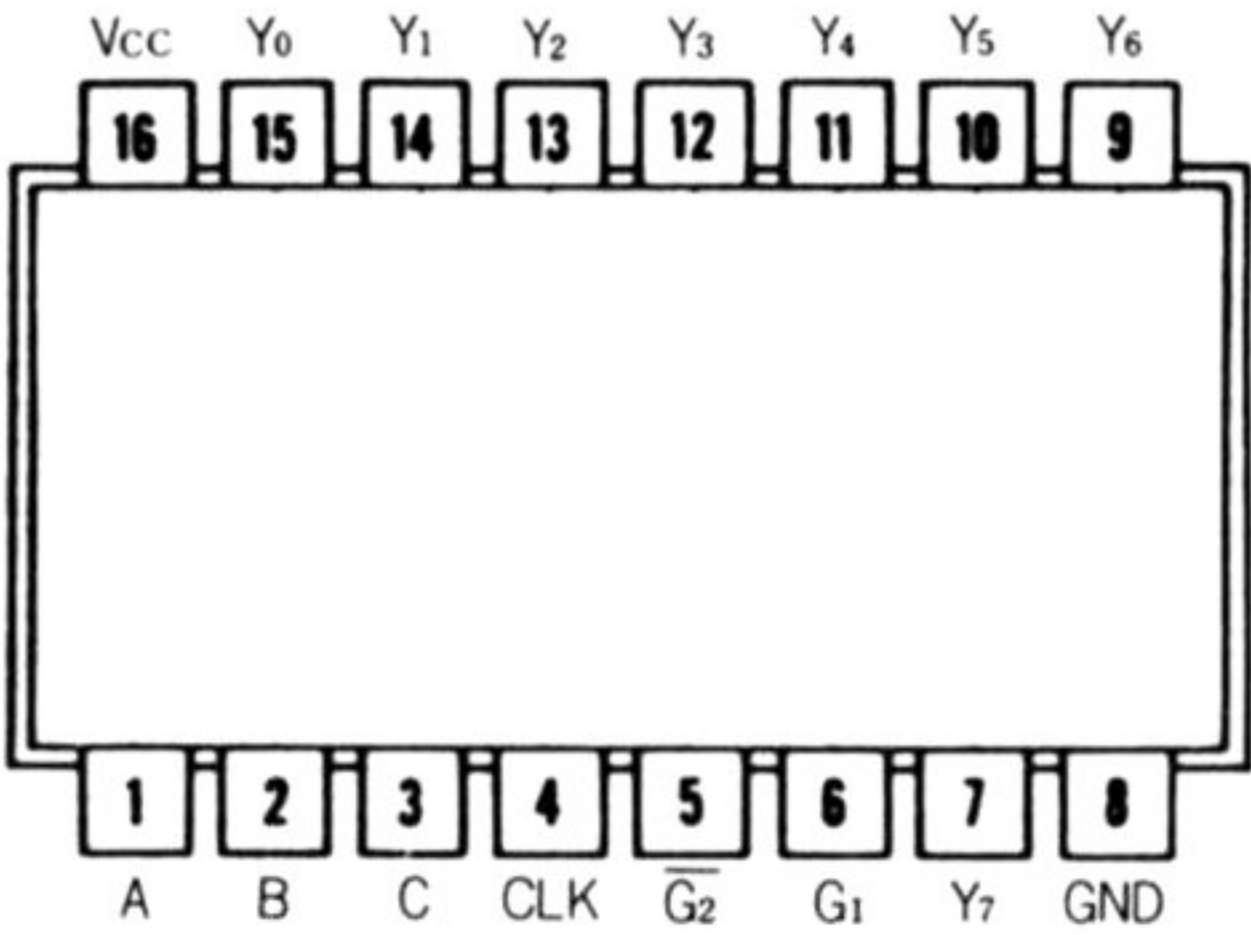
○同一バスラインに128本まで接続可

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15			7.0			10.0	25		30			ns
tpd	max			H→L	↓		18			8.5			10.0	25		30			ns
tpd	max			Z→H	△		25			8.5			10.0	31		31			ns
tpd	max			Z→L	▽		35			8.5			11.0	31		31			ns
tpd	max			H→Z	▲		(25)			7.5			11.5	31		35			ns
tpd	max			L→Z	▼		(25)			8.0			11.5	31		35			ns
Icc	max	A	L	Y	L		22			48			0.08	0.08		0.08			mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0.4			20									mA
IOH	max			Y	H		2.6			15			24	6		6			mA
IOL	max			Y	L		24			64			24	6		6			mA
IZL	max			Y	L		20			50									μA
IZH	max			Y	H		20			50									μA

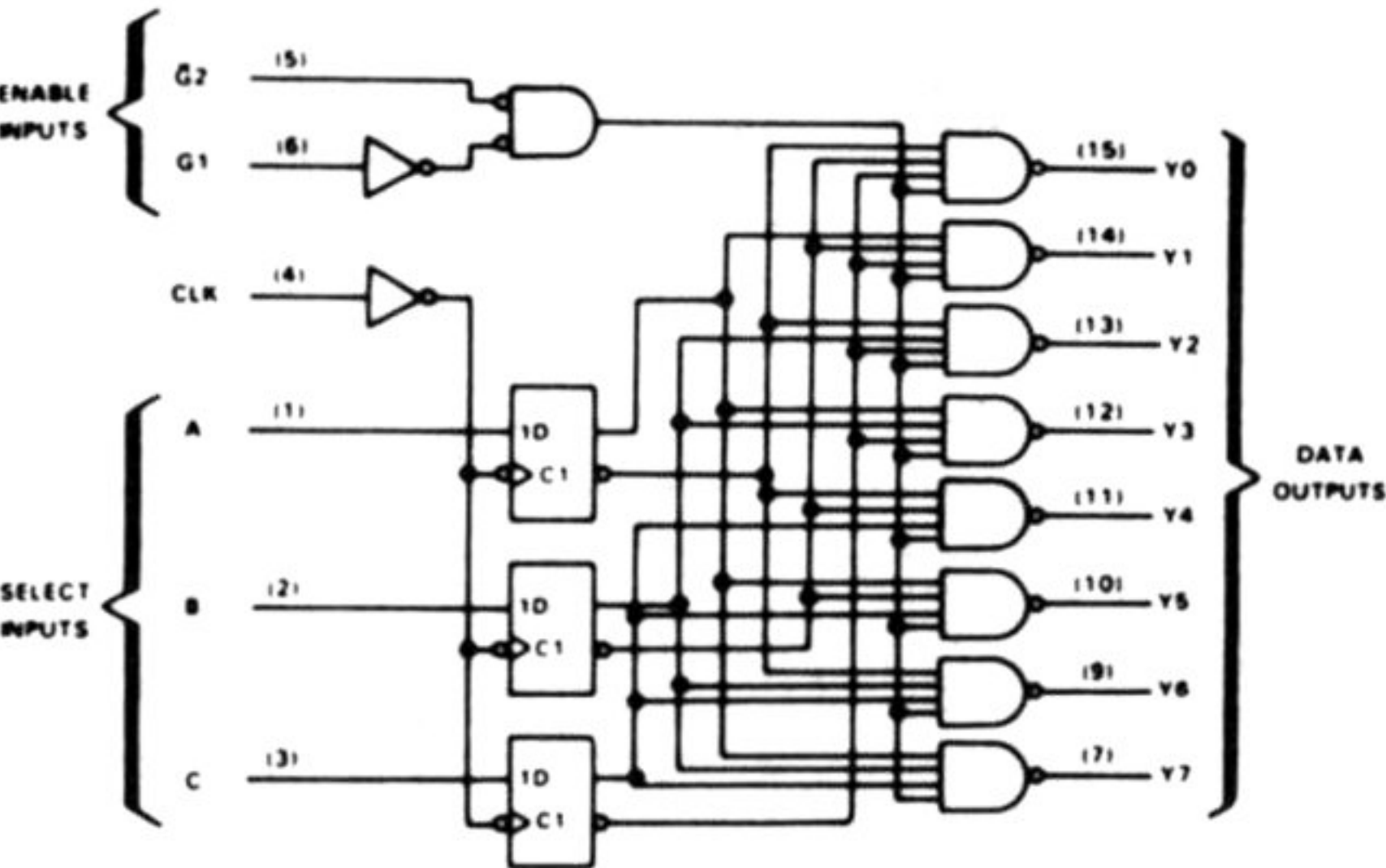
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF		DF			
MOT		DF			DF		D	D	DF					
日電									DF					
NS		DF							DF					
PHIL									DF		DF			
RCA									DF		DF			
SIGNE					DF									
TI		DF			D				DF			DF		
東芝		D					DF		DF					
SGS									DF		DF			
CYPRES														
IDT														

参考品種
74426

74131　　3 to 8 Line Decoder with Address Latches

Vcc Y0 Y1 Y2 Y3 Y4 Y5 Y6
16 15 14 13 12 11 10 9
1 2 3 4 5 6 7 8
A B C CLK $\overline{G2}$ G1 Y7 GND

○74137(アドレスラッチ)をエッジトリガーに変えたタイプ

G1	$\overline{G2}$	CLK	動　作
L	X	—	全出力H
X	H		
H	L		負論理デコード
—		↑	A～Cセット

ENABLE INPUTS G2 (5) G1 (6)
CLK (4)
SELECT INPUTS A (1) B (2) C (3)
1D C1
(15) Y0 (14) Y1 (13) Y2 (12) Y3 (11) Y4 (10) Y5 (9) Y6 (7) Y7
DATA OUTPUTS

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK						50						20					MHz
tw	min	CLK						10						19					ns
tsu	min	A～C						10↑						18					ns
thold	min	A～C						0↑						6					ns
tpd	max	CLK		Y				25			5.4			47					ns
tpd	max	G1		Y				20			6.2			35					ns
tpd	max	-G2		Y				15			5.4			35					ns
Icc	max							11			16			0.02					mA
IIH	max	ALL	H					20			20								μA
IIL	max	ALL	L					0.1			0.1								mA
IOH	max			ALL	H			0.4			2			4					mA
IOL	max			ALL	L			8			20			4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI			DF			DF							
東芝									DF				
SGS									DF				
CYPRES													
IDT													

参考品種
74137
74138

74132　Quad 2 Input NAND Schmitt Triggers

○ $Y=\overline{A \cdot B}$

参考品種
7424

74132

74S132

74LS132

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H			22	12		8.5		10.0	9.5	32		41			ns
tpd	max			H→L			22	11		9.0		10.0	9.5	32		41			ns
Vt+	typ						1.6			1.7		3.2	2.0	2.7		1.9			V
Vt-	typ						0.8			0.9		0.9	0.8	1.5		1.2			V
Vtdiff	min						0.4			0.8		0.4	0.4	1.2		0.4			V
Icc	max				H		11	8		12.0		0.04	0.04	0.02		0.02			mA
Icc	max				L		14	8		19.5		0.04	0.04	0.02		0.02			mA
IIH	max	ALL	H				20	2.0		2.0									μA
IIL	max	ALL	L				0.4	0.1		0.6									mA
ITH	max		+				0.14	20											mA
ITL	max		-				0.18	0.1											mA
IOH	max			Y	H		0.4	0.4		1		24	24	4		4			mA
IOL	max			Y	L		8	8		20		24	24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		DF			DF		D	D	DF					
日電									DF					
NS		DF	DF		DF				DF					
PHIL									DF		DF			
RCA									DF		DF			
SIGNE					DF									
TI		DF					DF	DF	DF					
東芝		D							DF					
SGS									DF					
CYPRES														
IDT														

74133 13 Input NAND

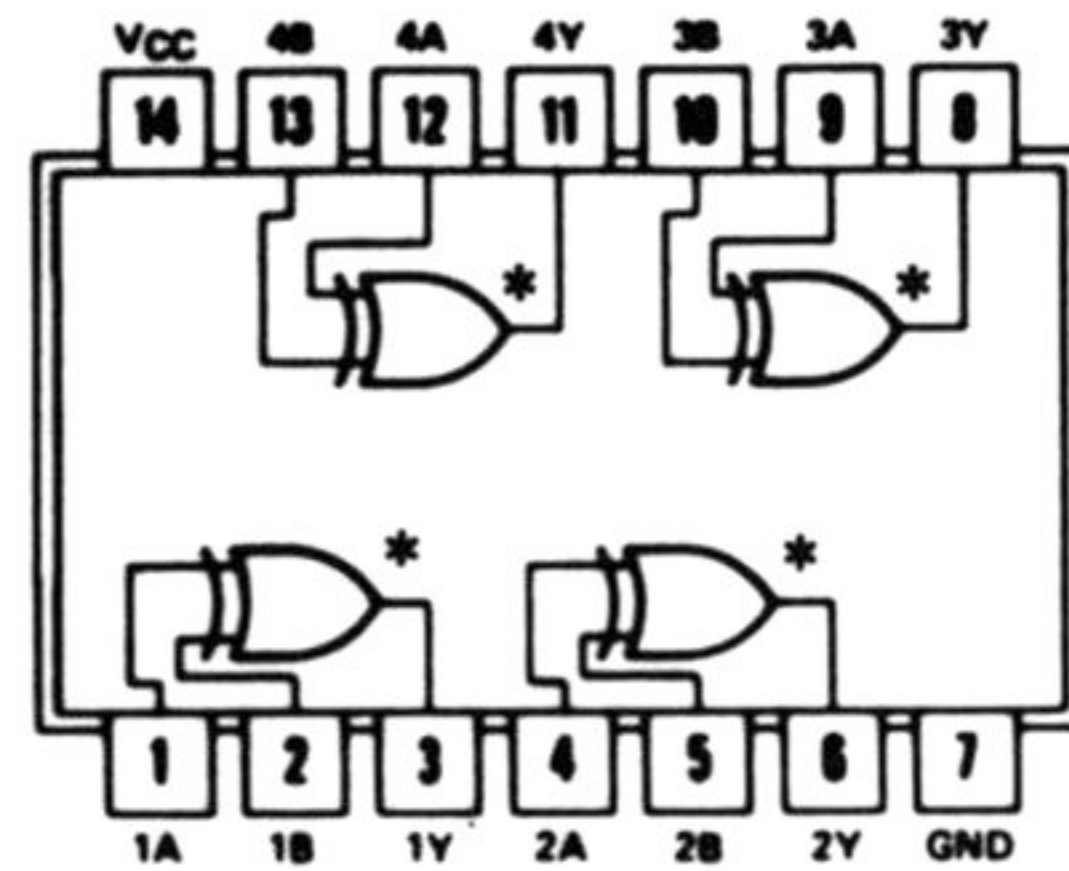
○ $Y=\overline{A\cdot B\cdot C\cdot D\cdot E\cdot F\cdot G\cdot H\cdot I\cdot J\cdot K\cdot L\cdot M}$

74S133

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15	11		7.5				42					ns
tpd	max			H→L	↓		25	25		8.0				42					ns
Icc	max				H		0.5	0.34		2.0				0.02					mA
Icc	max				L		1.1	0.8		4.0				0.02					mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.4	0.1		0.6									mA
IOH	max			Y	H		0.4	0.4		1				4					mA
IOL	max			Y	L		8	8		20				4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF					
MOT		DF							DF					
日電									DF					
NS		DF	DF											
PHIL														
RCA														
SIGNE					DF									
TI			DF						DF					
東芝									DF					
SGS									DF					
CYPRES														
IDT														

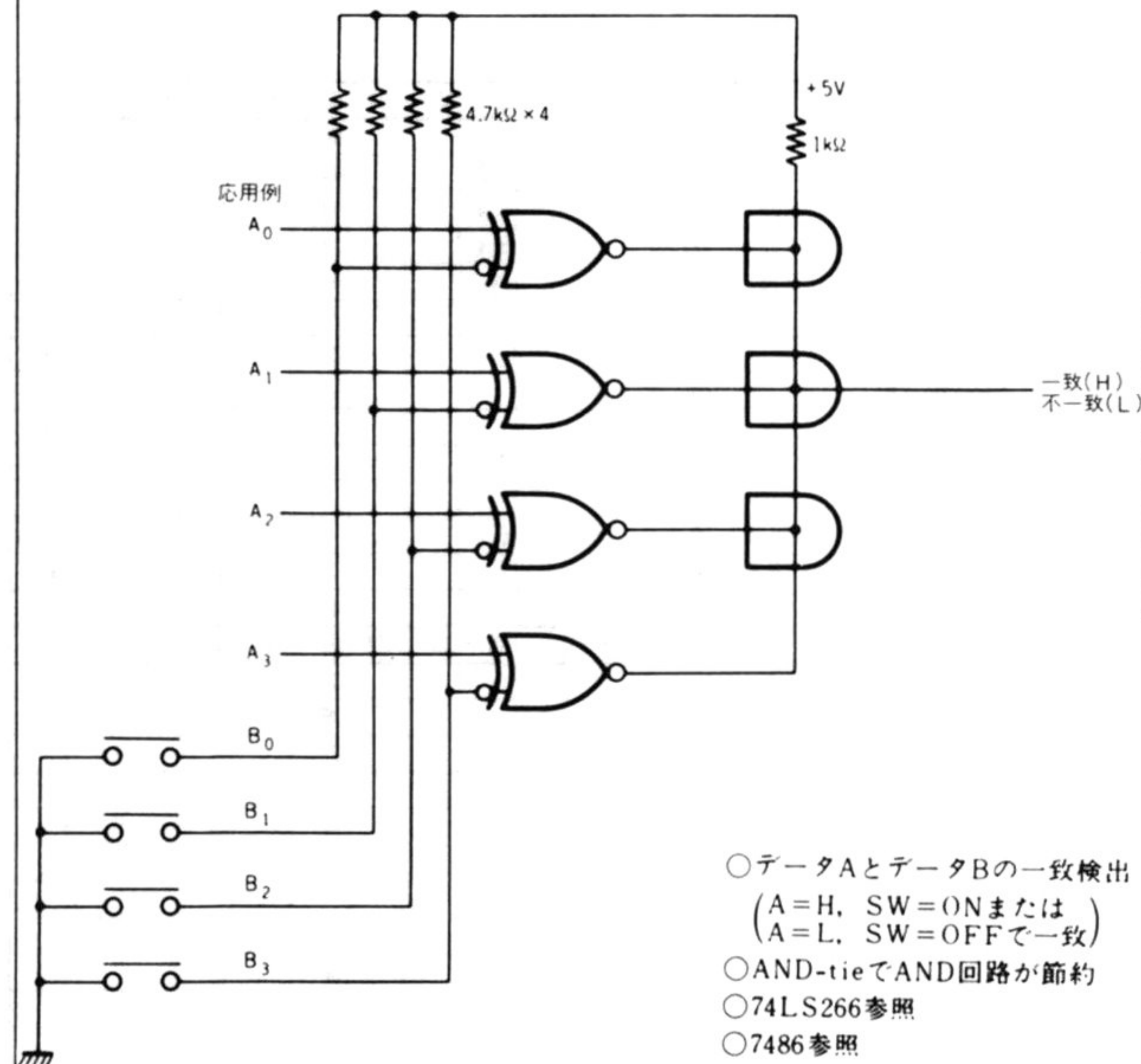
参考品種
7430

74136　　Quad 2 Input O.C. Ex-OR

$$Y = A \oplus B = \bar{A}B + A\bar{B}$$

○7486のオープンコレクタ型

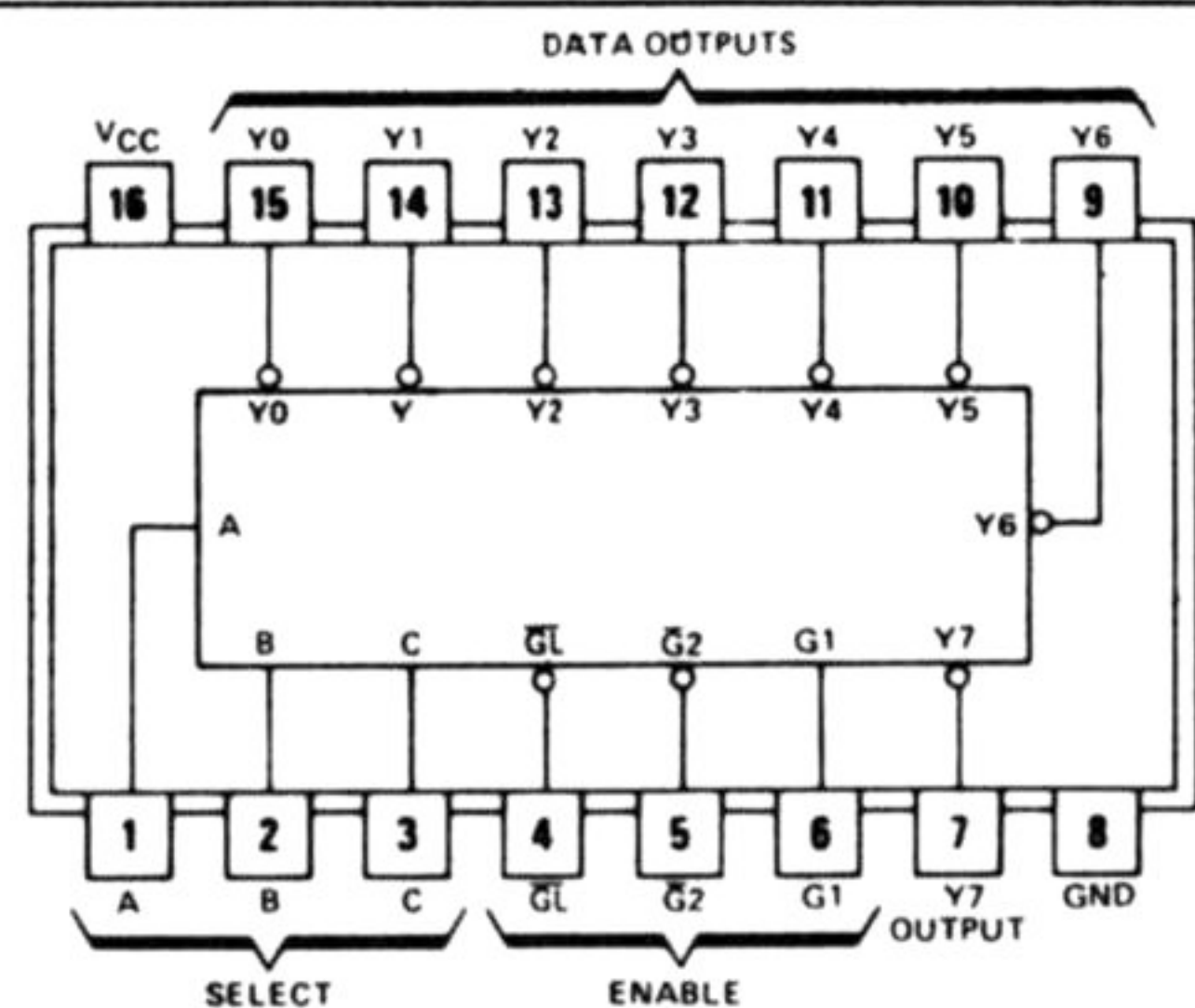
応用例

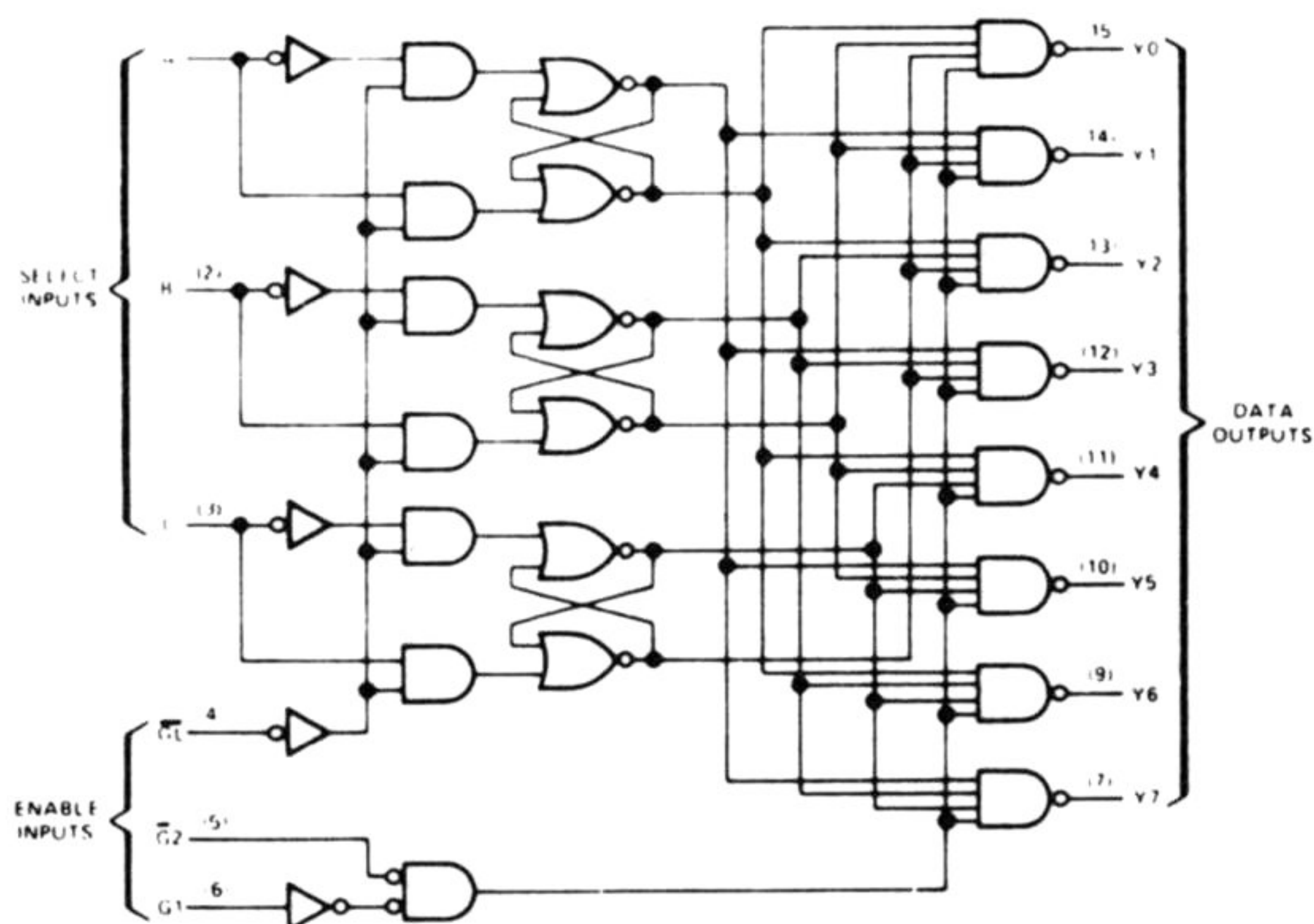
一致(H)
不一致(L)

○データAとデータBの一致検出
(A=H, SW=ONまたは
A=L, SW=OFFで一致)
○AND-tieでAND回路が節約
○74LS266参照
○7486参照

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	L/L→H	↑	L→H	↑		30	50		20	45			34					ns
tpd	max	L/H→L	↓	H→L	↓		30	15		7.5	45			26					ns
tpd	max	H/H→L	↓	L→H	↑		30	12		20	8			34					ns
tpd	max	H/L→H	↑	H→L	↓		30	50		9.5	9			26					ns
Icc	max			OPEN			10	5.9		28	18			0.02					mA
IIH	max	A, B	H				20	20		20	20								μA
IIL	max	A, B	L				0.6	0.1		0.6	0.5								mA
IOH	max			Y	H		0.1	0.1		0.1	0.1								mA
IOL	max			Y	L		8	8		20	20			4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF											
MOT		D											
日電													
NS		DF											
PHIL													
RCA													
SIGNE													
TI		DF											
東芝		D											
SGS													
CYPRES													
IDT													

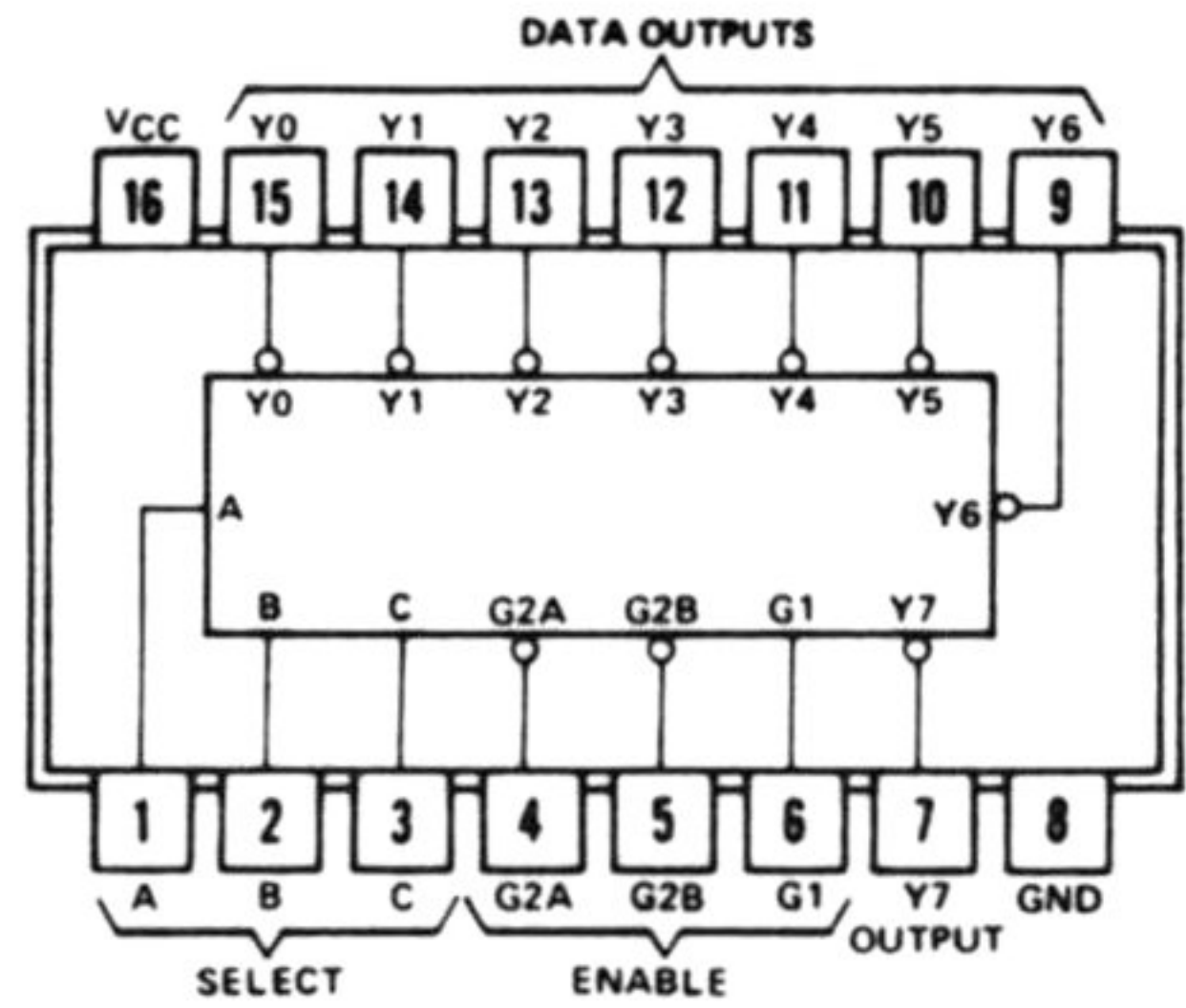
参考品種
7486
74266

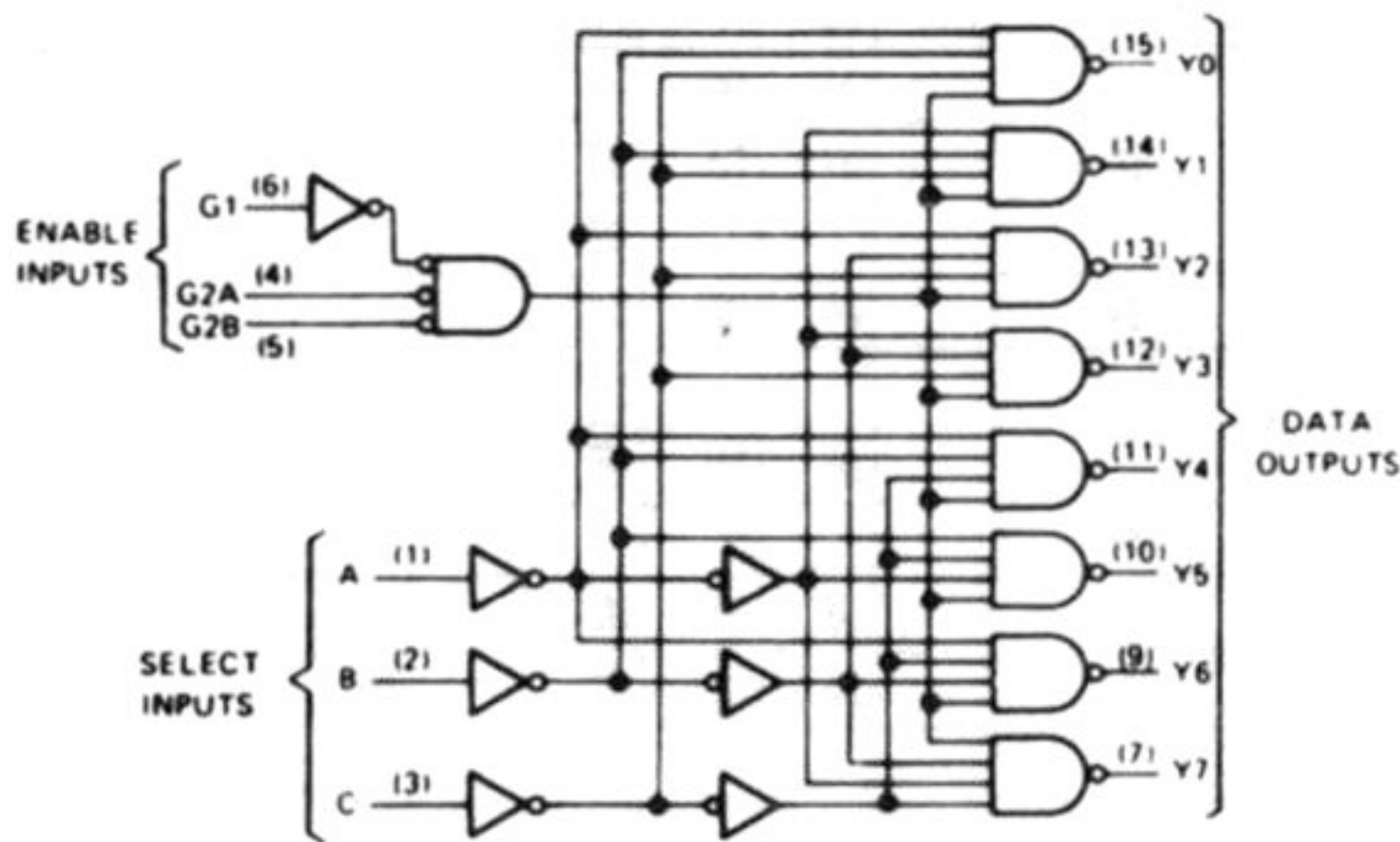
74137 3 to 8 Decoder (with Address Latches)

25LS2536はエッジトリガだが，これはレベルなので単なるデコーダ的に使用可能

入力			動作
G_1	$\overline{G_2}$	$\overline{G_L}$	
X	H	—	全出力H
L	X	—	全出力H
H	L	L	負論理 デコード
X	X	H	ラッチ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B, C		Y0〜Y7			38	20			7.1			60		60			ns
tpd	max	G1		Y0〜Y7			27	17			6.2			49		49			ns
tpd	max	-G2		Y0〜Y7			27	15			5.4			49		49			ns
tpd	max	-GL		Y0〜Y7			38	22			5.4			63		63			ns
Icc	max	ALL	L				18	11			16			0.08		0.08			mA
tw	min	-GL						10						20		20			ns
tsu	min	A, B, C						10						25		25			ns
thold	min	A, B, C						5						13		13			ns
IIH	max	ENABLE	H				20	20											μA
IIL	max	ENABLE	L				0.4	0.1			0.05								mA
IIH	max	A, B, C	H				20	20											μA
IIL	max	A, B, C	L				0.2	0.1			0.05								mA
IOH	max			ALL	H		0.4	0.4			2			4		4			mA
IOL	max			ALL	L		8	8			20			4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF		DF		
MOT		DF							DF				
日電									DF				
NS			DF										
PHIL									DF		DF		
RCA									DF		DF		
SIGNE													
TI			DF						DF				
東芝									DF		DF		
SGS									DF		DF		
CYPRES													
IDT													

参考品種
25LS2536
74138

74138　　3 to 8 Demultiplexer

○セレクト入力で選んだ出力を，イネーブル入力がG1＝HかつG2A＝G2B＝LにしたときのみLにする．

○イネーブルが他の状態のときは出力すべてH

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	ENABLE		Y0〜Y7		15.5	38	17		9	5.8	16.5	13	44		43			ns
tpd	max	SELECT		Y0〜Y7		13	41	22		9	6.1	15.0	11.5	50		50			ns
Icc	max	G=ACTV		OPEN		0.004	10	10		20	13	0.08	0.08	0.08		0.08			mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.36	0.1		0.6									mA
IOH	max			ALL	H	12	0.4	0.4		1	2	24	24	4		4			mA
IOL	max			ALL	L	12	8	8		20	20	24	24	4		4			mA

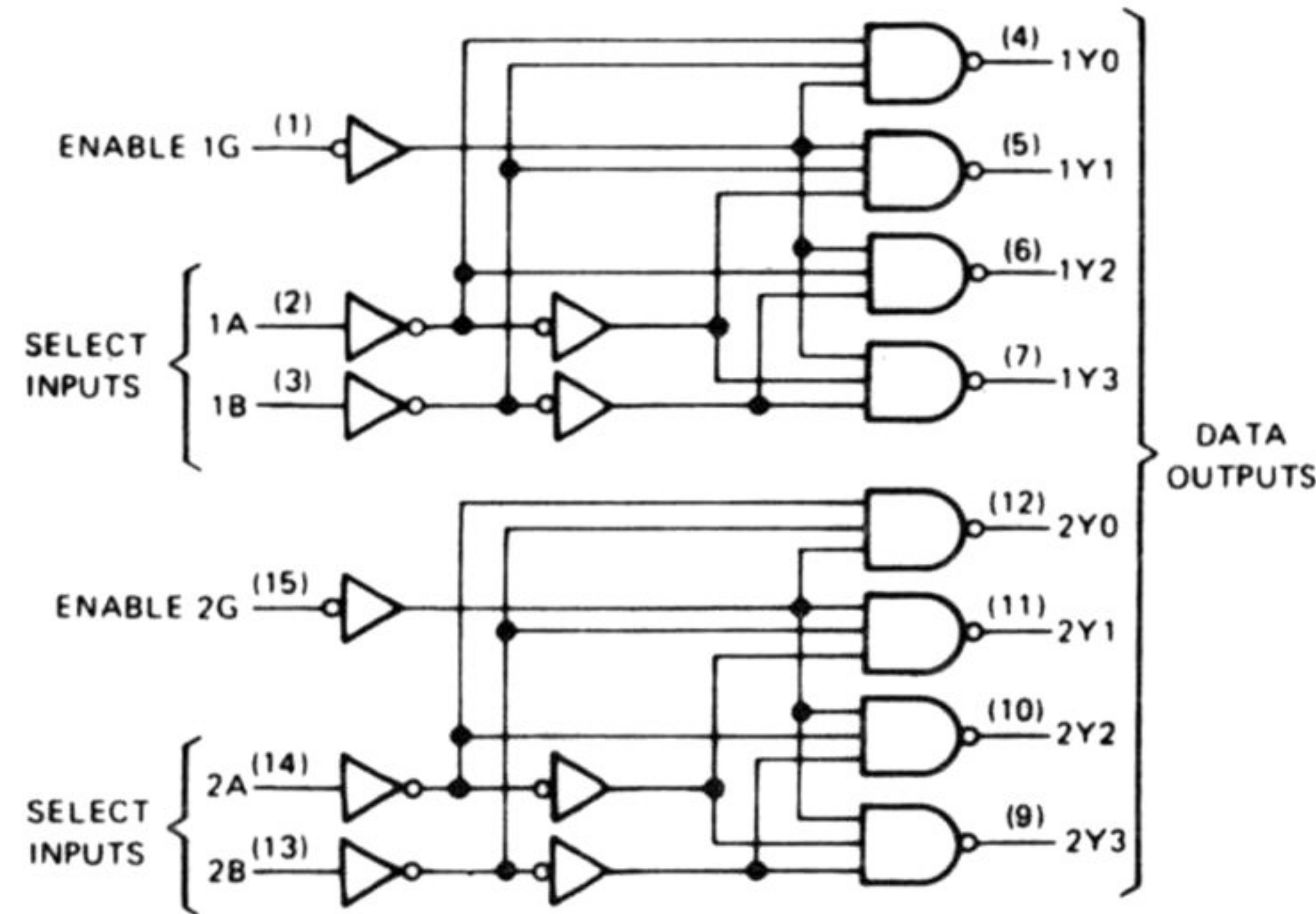
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF		DF			
MOT		DF			DF		DF	DF	DF					
日電									DF		DF			
NS	F	DF	DF		DF		DF	DF	DF		D			
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE					DF									
TI		DF	DF		DF	DF	DF	DF	DF		DF			
東芝	F	D			D		DFS	DFS	DF		DF			
SGS									DF		DF			
CYPRES					DF									
IDT								DF						

INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

*G2 = G2A + G2B

74139 Dual 2 to 4 Demultiplexers

○セレクト入力で選んだ出力をイネーブルがLの時，Lにする

INPUTS			OUTPUTS			
ENABLE	SELECT					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	ENABLE		Y0～Y7		13	32	8		8	5.5	15.0	11	44		43			ns
tpd	max	SELECT		Y0～Y7		11	38	10		9	6	14.5	10.5	55		43			ns
Icc	max	G=ACTV		OPEN		0.02	11	4.5		20	13	0.08	0.08	0.08		0.08			mA
IIH	max	ALL	H				20	20		20	20								μA
IIL	max	ALL	L				0.36	0.1		0.6	0.5								mA
IOH	max			ALL	H	25	0.4	0.4		1	2	24	24	4		4			mA
IOL	max			ALL	L	25	8	8		20	20	24	24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF					
MOT		DF			DF		DF	DF	DF					
日電									DF		DF			
NS		DF			DF		DF	DF	DF					
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF				DF	DF	DF					
東芝		D			D		DFS	DFS	DF		DF			
SGS									DF		DF			
CYPRES														
IDT								DF						

74145　　O. C. BCD to Decimal Decoder/Driver

NO.	INPUTS D	C	B	A	OUTPUTS 0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

○7442のオープンコレクタ・バッファタイプ

○入力に加えた2進コードで選ばれた出力がLになる

○出力端子の最大流入電流80mA

○出力端子の最大耐圧 15V（7445は30V）

参考品種
7445

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max						50												ns
VOH	max						15												V
Icc	max	ALL	L	OPEN			13												mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.4												mA
IOH	max			ALL	H		0.25												mA
IOL	max			0.5V	L		24												mA
IOL	max			3.0V	L		80												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF												
MOT		DF												
日電														
NS														
PHIL														
RCA														
SIGNE														
TI		DF												
東芝		D												
SGS														
CYPRES														
IDT														

74147　10 to 4 Priority Encoder

○decimal-to-binary encoder
7442と逆の動作をする．ただし上位優先なので，たとえば２および５を同時入力した場合は５を出力する．

○入出力とも負論理なので，Ｌを入力し出力は２進コードを反転出力する．

INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max						33							55		44			ns
Icc	max						20							0.08		0.08			mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.4												mA
IOH	max			ALL	H		0.4							4		4			mA
IOL	max			ALL	L		8							4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF					
MOT		D							DF					
日電									DF					
NS														
PHIL									DF		DF			
RCA									DF		DF			
SIGNE														
TI		DF							DF					
東芝									DF					
SGS									DF					
CYPRES														
IDT														

74148 (TIM9907)　　8 to 3 Priority Encoder

参考品種
74348

使用法については74348（3 state タイプ）の項を参照

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	0～7		A0～A2			36			12				38					ns
tpd	max	0～7		EO			40			8.5				31					ns
tpd	max	0～7		GS			55			10				29					ns
tpd	max	EI		A0～A2			25			9.5				38					ns
tpd	max	EI		EO			35			12				41					ns
tpd	max	EI		GS			36			8.5				29					ns
Icc	max						20			35				0.04					mA
IIH	max	0	H				20			20									μA
IIL	max	0	L				0.4			0.6									mA
IIH	max	1～7	H				40			20									μA
IIL	max	1～7	L				0.8			0.6									mA
IIH	max	EI	H				20			20									μA
IIL	max	EI	L				0.4			0.6									mA
IOH	max			ALL	H		0.4			1				4					mA
IOL	max			ALL	L		8			20				4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		DF			DF								
日電									DF				
NS					DF				DF				
PHIL													
RCA									D		D		
SIGNE					DF								
TI		DF							DF				
東芝		D			D				DF				
SGS									DF				
CYPRES													
IDT													

INPUTS									OUTPUTS				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

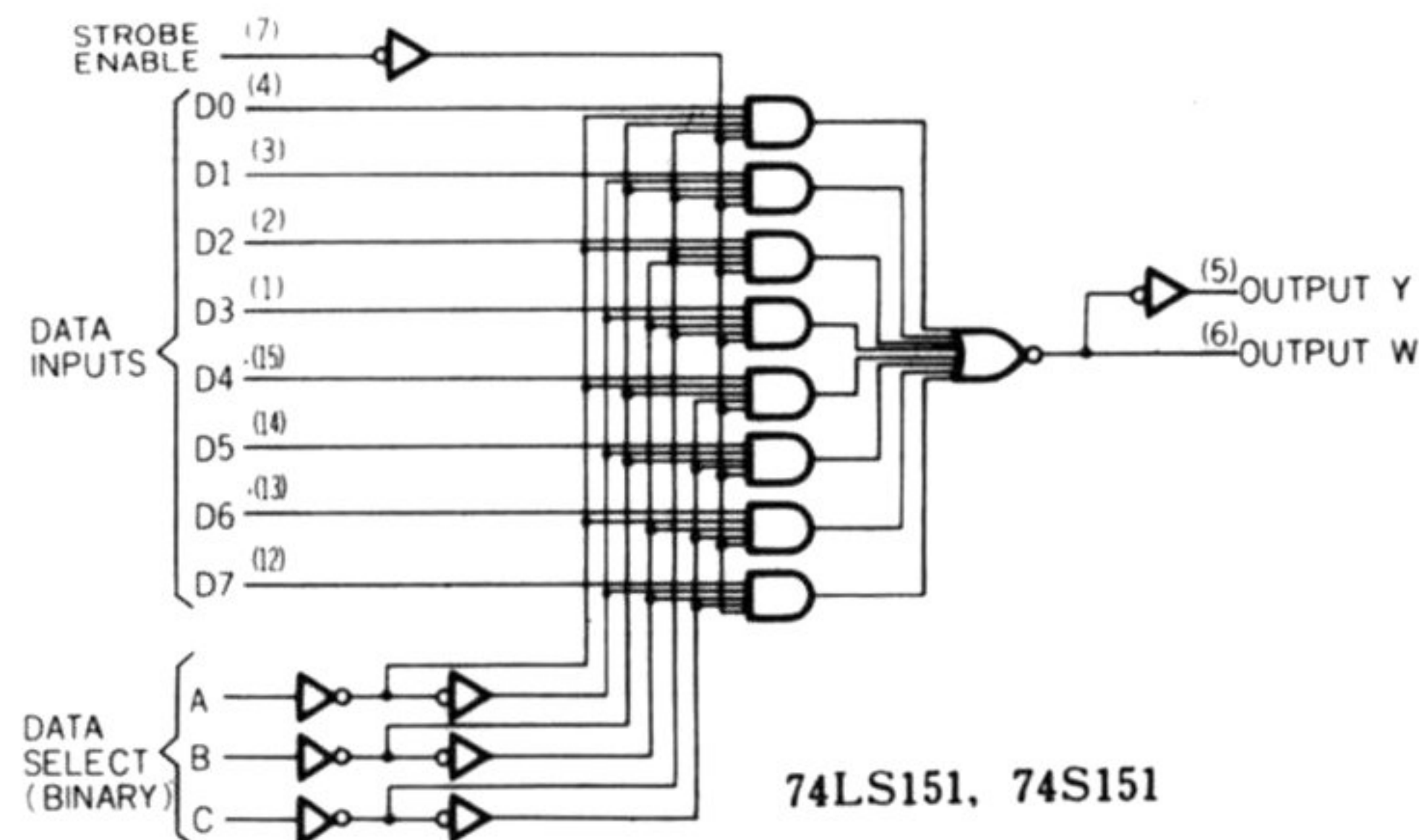
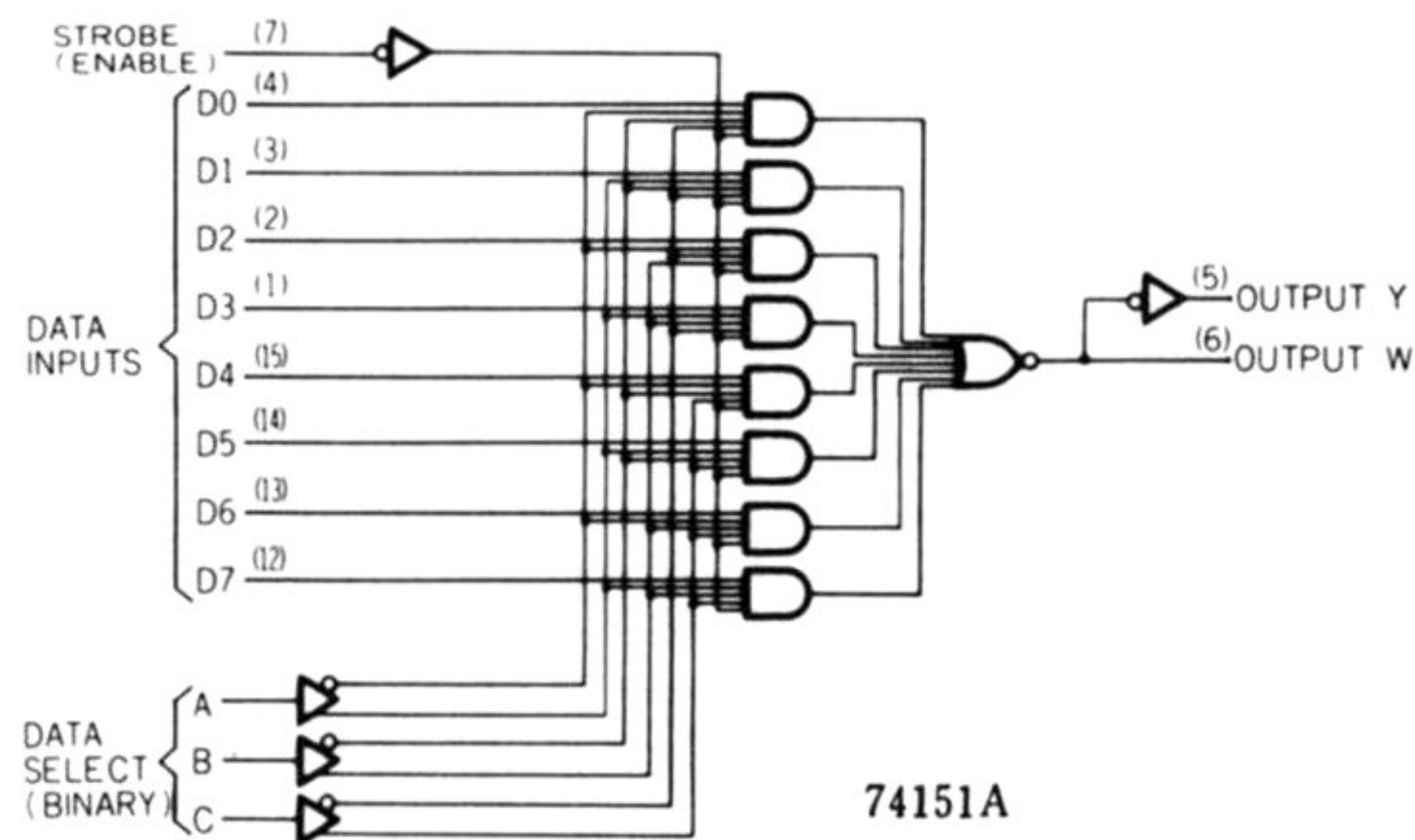
74151　　8 to 1 Data Selector

○D_0～D_7に加えた8つのデータ中の1つを，セレクト入力に加えた2進コードにより選びYに出力し，Wには反転出力する

○ストローブをHにすることにより他の入力に無関係にY出力をLにW出力をHにする

参考品種
74251
74351

74151A

74LS151，74S151

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		Y		15	32	15		11	11	12.5	13.5	49		48			ns
tpd	max	DATA		W		15	21	15		7	6.5	12.5	14.0	46		48			ns
tpd	max	SELECT		Y		18	43	24		15	15	15.0	17.0	63		51			ns
tpd	max	SELECT		W		18	32	24		9	12	15.0	18.5	51		54			ns
tpd	max	STROBE		Y		13	42	19		13	14	12.0	10.0	35		36			ns
tpd	max	STROBE		W		13	30	23		10	10	12.0	10.5	32		45			ns
Icc	max	ALL	H			0.004	10	12		21	30	0.08	0.08	0.08		0.08			mA
IIH	max	SELECT	H				20	40		20	40								μA
IIL	max	SELECT	L				0.4	1		0.6	0.6								mA
IIH	max	OTHERS	H				20	20		20	40								μA
IIL	max	OTHERS	L				0.4	0.5		0.6	0.6								mA
IOH	max			ALL	H	12	0.4	2.6		1	15	24	24	4		4			mA
IOL	max			ALL	L	12	8	24		20	48	24	24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		DF			DF		DF	DF	DF					
日電									DF					
NS	F	DF	DF		DF		DF	DF	DF					
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		D	DF	DF	DF	DF					
東芝	F	D			D		DF	DF	DF					
SGS									DF					
CYPRES														
IDT								DF						

INPUTS				OUTPUTS	
SELECT			STROBE	Y	W
C	B	A	S		
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

74152 8 to 1 Data Selector

○74151からストローブ入力およびY出力を省いたタイプ

○D_0～D_7に加えた8つのデータの中の1つを，セレクト入力に加えた2進コードにより選び論理反転して出力する

FUNCTION TABLE

SELECT INPUTS			OUTPUT
C	B	A	W
L	L	L	$\overline{D0}$
L	L	H	$\overline{D1}$
L	H	L	$\overline{D2}$
L	H	H	$\overline{D3}$
H	L	L	$\overline{D4}$
H	L	H	$\overline{D5}$
H	H	L	$\overline{D6}$
H	H	H	$\overline{D7}$

74152A

74LS152

参考品種
74151
74251
74351

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA	W				21							38					ns
tpd	max	SELECT	W				32							40					ns
Icc	max	ALL	H				9							0.04					mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.4												mA
IOH	max			W	H		0.4							4					mA
IOL	max			W	L		8							4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

74153　Dual 4 to 1 Data Selectors

○C_0~C_3に加えた4つのデータの1つをセレクト入力に加えた2進コードにより選び出す

○ストローブをHにすることにより他の入力に無関係に出力をLにする

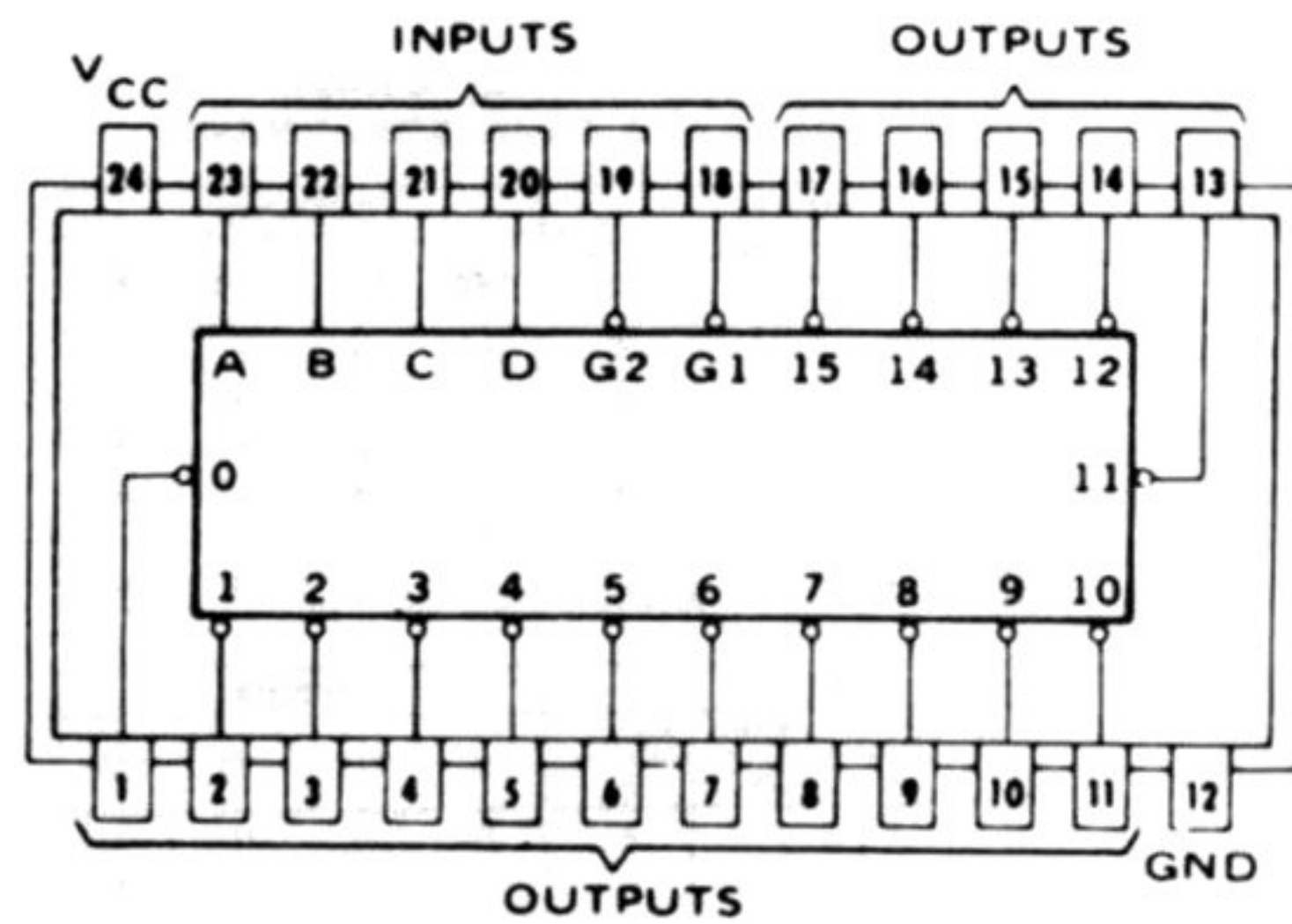
FUNCTION TABLE

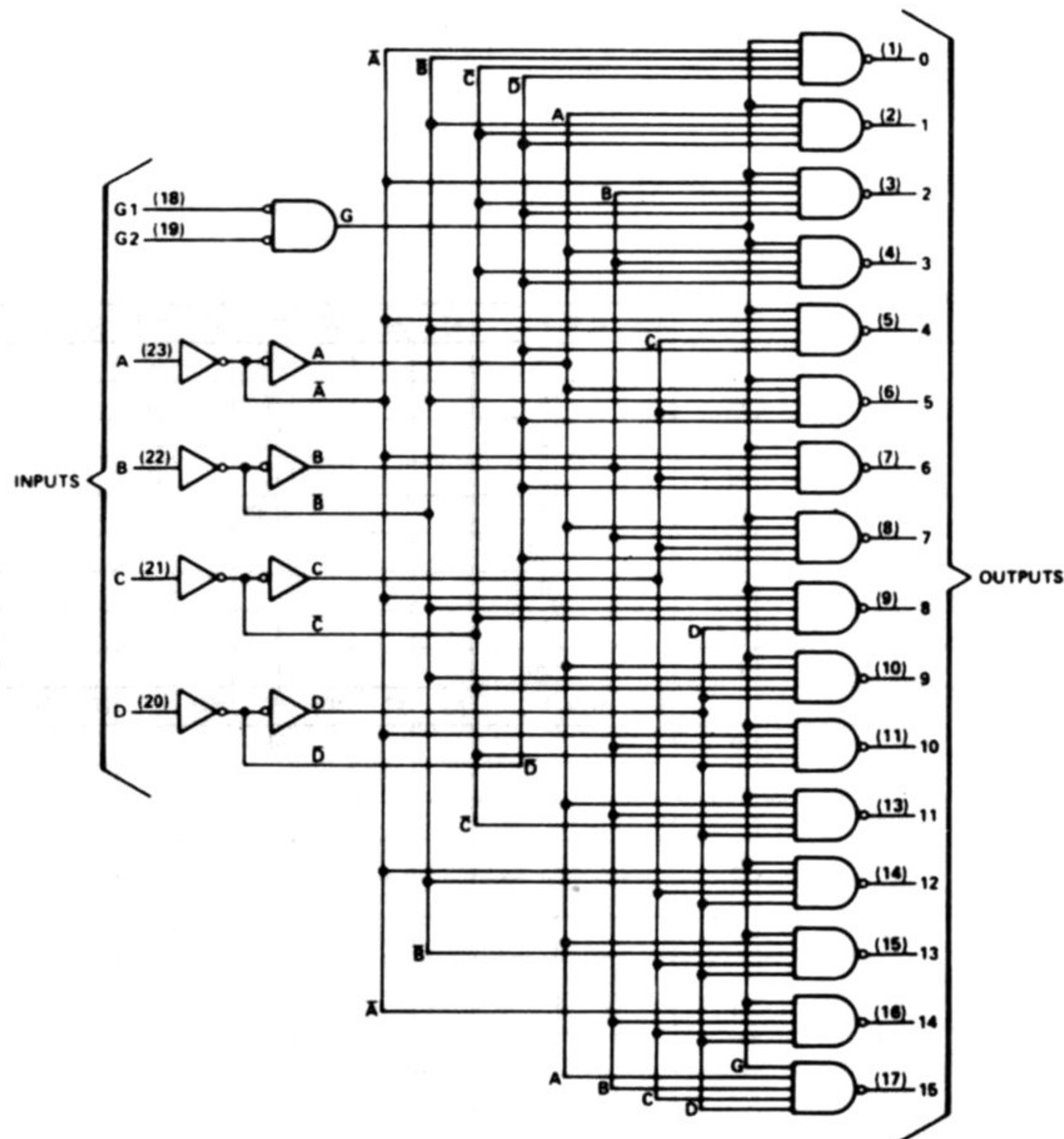
INPUTS			OUTPUT
SELECT		STROBE	Y
B	A	G	
X	X	H	L
L	L	L	C0
L	H	L	C1
H	L	L	C2
H	H	L	C3

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA					26	15		8	8	17.0	11	35		43			ns
tpd	max	SELECT					38	21		12	12.5	23.0	13.5	44		43			ns
tpd	max	STROBE					32	18		10.5	11.5	27.0	12.5	24		34			ns
Icc	max	ALL	L				10	14		20	33	0.08	0.08	0.08		0.08			mA
IIH	max	A, B	H				20	20		20	40								μA
IIL	max	A, B	L				0.36	0.1		0.6	1								mA
IIH	max	OTHERS	H				20	20		20	20								μA
IIL	max	OTHERS	L				0.36	0.1		0.6	0.5								mA
IOH	max			Y	H		0.4	2.6		1	15	24	24	4	4				mA
IOL	max			Y	L		8	24		20	48	24	24	4	4				mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF		DF					
MOT		DF			DF		DF	DF	DF					
日電									DF					
NS		DF	DF		DF		DF	DF	DF					
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DF	DF	DF					
東芝		D			D		DF	DF	DF					
SGS									DF					
CYPRES														
IDT														

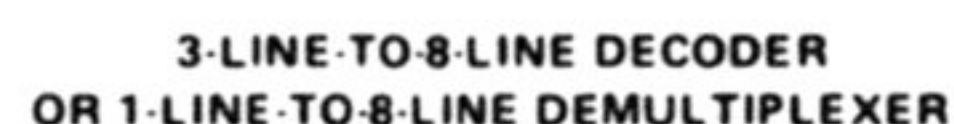
参考品種
74253
74352
74353

74154　　4 to 16 Demultiplexer

○ A ～ Dに加えた2進コードで選んだ出力に $G_1 = G_2 = L$ の時だけLを出力する

○ オープンコレクタタイプとして74159がある（74159参照）

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	G1, G2		0～15			30			9.5		12.0	12.5	42		40			ns
tpd	max	A～D		0～15			36			10.5		12.0	14.5	42		44			ns
Icc	max	ALL	L	OPEN			14			45		0.08	0.08	0.08		0.08			mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0.36			0.6									mA
IOH	max			ALL	H		0.4			1			24	4		4			mA
IOL	max			ALL	L		8			20			24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		D					D	D	D					
MOT									D					
日電														
NS		DF							DF					
PHIL									DF		DF			
RCA									DF		DF			
SIGNE					DF									
TI									D					
東芝									D					
SGS									DF					
CYPRES														
IDT														

参考品種
74159

74155　　Dual 2 to 4 Demultiplexers

○セレクトにより選ばれた出力が

(1) 1C＝H 1G＝Lの時Lになる

(2) 2 C＝ 2G ＝Lの時Lになる

○セレクトは２回路共通

○１Cと２Cを接続してそれを新たにセレクトCとする．また，１Gと２Gを接続してそれをストローブとすると 3 to 8 デマルチプレクサになる

2-LINE-TO-4 LINE DECODER OR 1-LINE-TO-4-LINE DEMULTIPLEXER

INPUTS				OUTPUTS			
SELECT		STROBE	DATA	1Y0	1Y1	1Y2	1Y3
B	A	1G	1C				
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

INPUTS				OUTPUTS			
SELECT		STROBE	DATA	2Y0	2Y1	2Y2	2Y3
B	A	2G	2C				
X	X	H	X	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

3-LINE-TO-8-LINE DECODER OR 1-LINE-TO-8-LINE DEMULTIPLEXER

INPUTS				OUTPUTS							
SELECT			STROBE OR DATA	(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)
C†	B	A	G‡	2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
X	X	X	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H
L	H	L	L	H	H	L	H	H	H	H	H
L	H	H	L	H	H	H	L	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H
H	H	L	L	H	H	H	H	H	H	L	H
H	H	H	L	H	H	H	H	H	H	H	L

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	STROBE					30			8				32		32			ns
tpd	max	2C					30			8				32		32			ns
tpd	max	1C					27			9				32		32			ns
tpd	max	SELECT					30			9				32		32			ns
Icc	max	ACTIVE		OPEN			10			20				0.08		0.08			mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0.36			0.6									mA
IOH	max			ALL	H		0.4			1				4		4			mA
IOL	max			ALL	L		8			20				4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		DF											
日電													
NS		DF											
PHIL													
RCA													
SIGNE													
TI		DF											
東芝		D							DF				
SGS									DF				
CYPRES													
IDT													

参考品種
74156
74255

74156　Dual 2 to 4 O.C. Demultiplexer

○74155のオープンコレクタタイプ

（74155参照）

2-LINE-TO-4-LINE DECODER OR 1-LINE-TO-4-LINE DEMULTIPLEXER

INPUTS				OUTPUTS			
SELECT		STROBE	DATA	1Y0	1Y1	1Y2	1Y3
B	A	1G	1C				
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

INPUTS				OUTPUTS			
SELECT		STROBE	DATA	2Y0	2Y1	2Y2	2Y3
B	A	2G	2C				
X	X	H	X	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

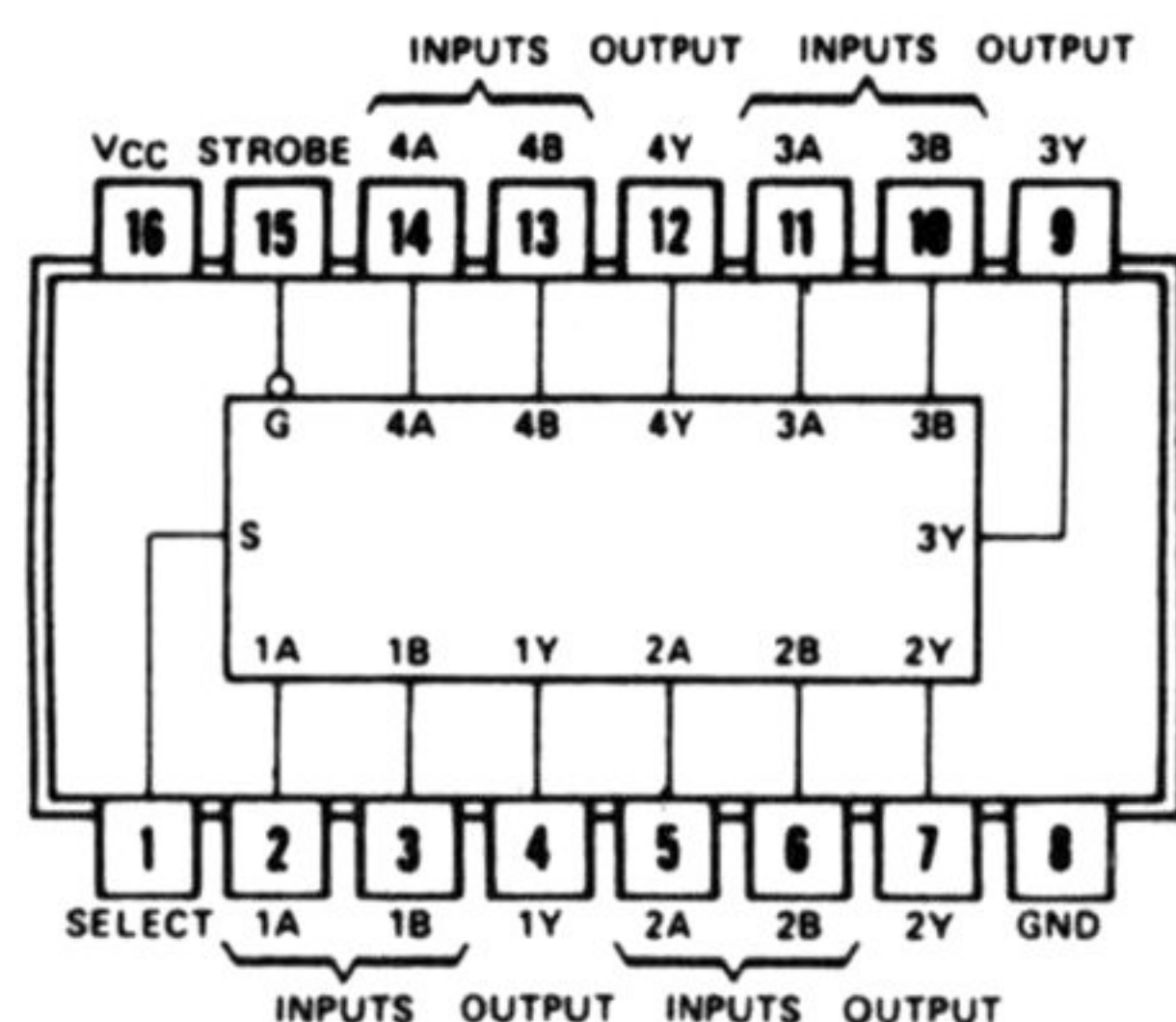
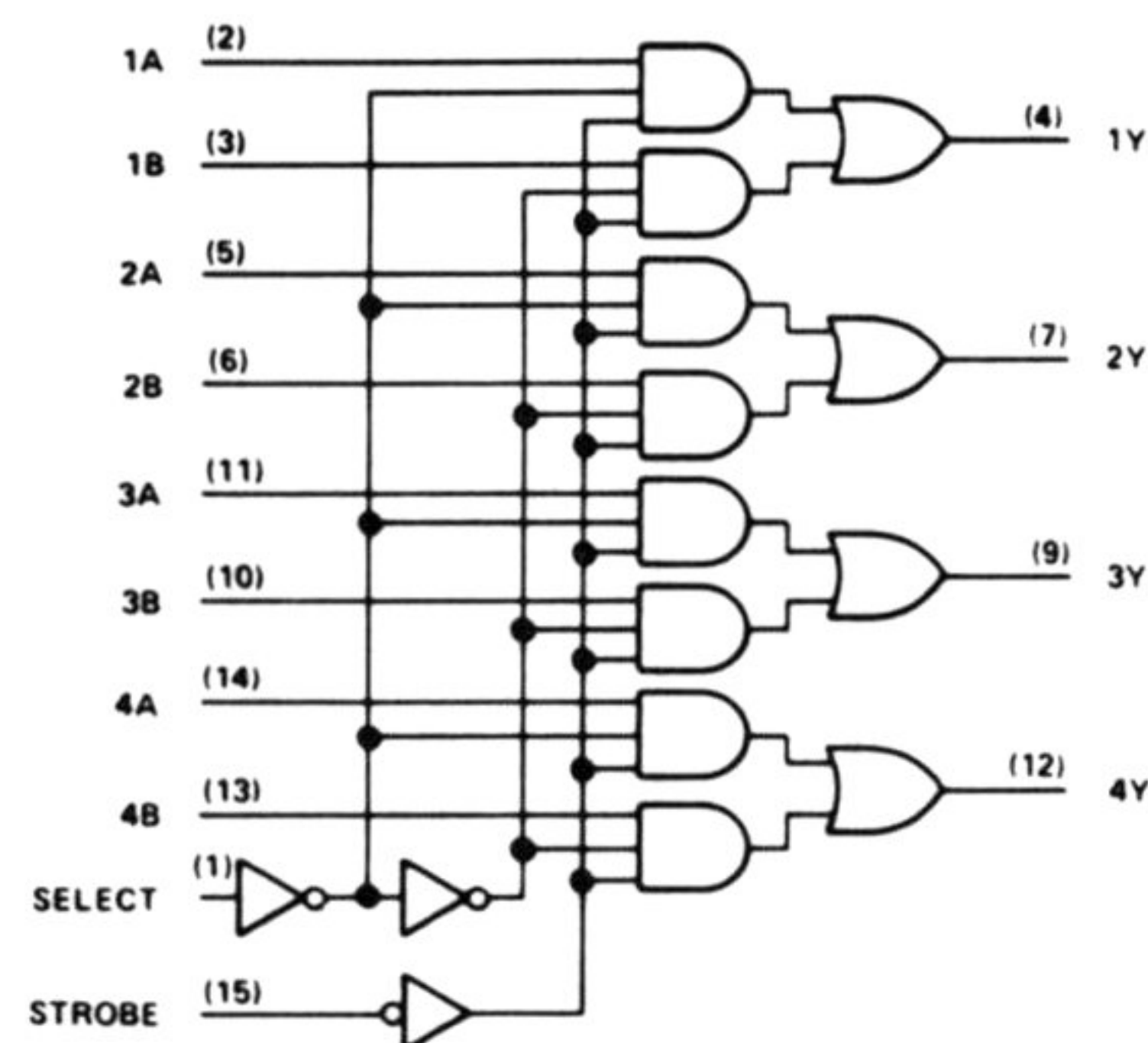
3-LINE-TO-8-LINE DECODER OR 1-LINE-TO-8-LINE DEMULTIPLEXER

INPUTS				OUTPUTS							
SELECT			STROBE OR DATA	(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)
C†	B	A	G‡	2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
X	X	X	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H
L	H	L	L	H	H	L	H	H	H	H	H
L	H	H	L	H	H	H	L	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H
H	H	L	L	H	H	H	H	H	H	L	H
H	H	H	L	H	H	H	H	H	H	H	L

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	STROBE					51			20				40		40			ns
tpd	max	2C					51			20				40		40			ns
tpd	max	1C					48			20				40		40			ns
tpd	max	SELECT					51			20				40		40			ns
Icc	max	ACTIVE		OPEN			10			20				0.08		0.08			mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0.36			0.6									mA
IOH	max			ALL	H		0.1			0.1									mA
IOL	max			ALL	L		8			20				4		4			mA

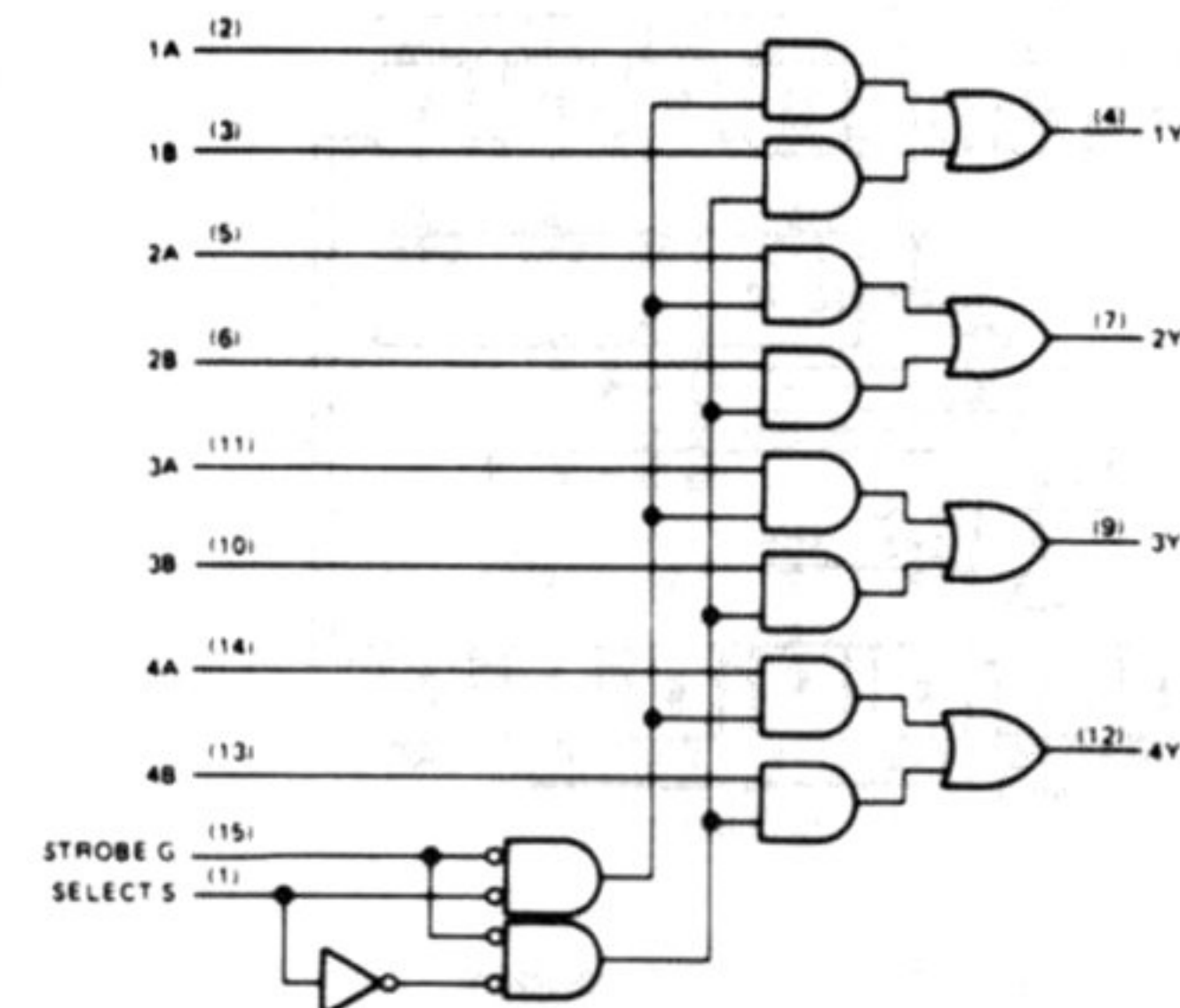
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF											
MOT		D											
日電													
NS		DF											
PHIL													
RCA													
SIGNE													
TI		DF	D										
東芝		D											
SGS													
CYPRES													
IDT													

参考品種
74155
74255

74157　　2 to 1 Data Selectors

○セレクト入力をLまたはHにすることにより
それぞれデータA，データBを選び出力する．
○ストローブをHにすることにより他の入力に
無関係に出力をLにする．

74LS157, 74S157

74157

FUNCTION TABLE

INPUTS		OUTPUT
Select	Strobe G	Y
X	H	L
L	L	A
H	L	B

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA					14	5		8		10.5	8.5	32		38			ns
tpd	max	SELECT					27	6.5		15		15.0	11	32		44			ns
tpd	max	STROBE					21	6.5		11.5		13.0	10.5	29		44			ns
Icc	max	ALL	H				16	7.8		23		0.08	0.08	0.08		0.08			mA
IIH	max	DATA	H				20	20		20	20								μA
IIL	max	DATA	L				0.4	0.1		0.6	0.5								mA
IIH	max	STROBE	H				40	20		20	20								μA
IIL	max	STROBE	L				0.8	0.1		0.6	0.5								mA
IIH	max	SELECT	H				40	20		20	40								μA
IIL	max	SELECT	L				0.8	0.1		0.6	1								mA
IOH	max			ALL	H		0.4	2.6		1	2	24	24	4		4			mA
IOL	max			ALL	L		8	24		20	20	24	24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					DF		DF				
MOT		DF			DF		DF	DF	DF				
日電									DF				
NS	F	DF	DF		DF	DF	DF	DF	DF		DF		
PHIL	DF								DF		DF		
RCA							DF	DF	DF		DF		
SIGNE			DF		DF								
TI		DF	DF		DF	DF	DF	DF	DF				
東芝	F	D			D		DFS	DFS	DF		DF		
SGS									DF		DF		
CYPRES					DF								
IDT								DF					

参考品種
74257
74158
74258

74158 Quad 2 to 1 Data Selectors

○74157の論理反転出力タイプ.

○セレクト入力をLまたはHにすることによりそれぞれデータA，データBを選び論理反転して出力する.

○ストローブをHにすることにより他の入力に無関係に出力をHにする

参考品種
74258
74157
74257

74LS158, 74S158

FUNCTION TABLE

INPUTS		OUTPUT
Select	Strobe G	Y
X	H	H
L	L	$\overline{A}$
H	L	$\overline{B}$

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA					12	5		7	5	10.5	8.5	32					ns
tpd	max	SELECT					24	6.5		10.5	10.5	14.5	11.0	32					ns
tpd	max	STROBE					18	6.5		9.5	10	14.0	10.5	29					ns
Icc	max	ALL	H				8	2.3		15	22.5	50	0.08	0.08					mA
IIH	max	DATA	H				20	20		20	20								μA
IIL	max	DATA	L				0.4	0.1		0.6	0.5								mA
IIH	max	STROBE	H				40	20		20	20								μA
IIL	max	STROBE	L				0.8	0.1		0.6	0.5								mA
IIH	max	SELECT	H				40	20		20	40								μA
IIL	max	SELECT	L				0.8	0.1		0.6	1								mA
IOH	max			ALL	H		0.4	2.6		1	2	24	24	4					mA
IOL	max			ALL	L		8	24		20	20	24	24	4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF		DF					
MOT		DF			DF		DF		DF					
日電									DF					
NS		DF	DF		DF	DF	DF	DF	DF					
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DF	DF	DF					
東芝		D			D		DF	DF	DF		DF			
SGS									DF		DF			
CYPRES					DF									
IDT														

74159　　4 to 16 O. C. Demultiplexer

○74154のオープンコレクタ型

（74154参照）

INPUTS						OUTPUTS															
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	G1, G2		0〜15			36												ns
tpd	max	A〜D					36												ns
Icc	max	ALL	L				14												mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				1.4												mA
IOH	max			ALL	H														mA
IOL	max			ALL	L		8												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		D												
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

74160 Synchronous Presettable BCD Counter with Clear

○4ビット同期式カウンタ
○同期プリセット
○非同期クリア

動作状態

入力					出力		動作
Clear	Load	CK	Enable P	Enable T	Q_A Q_B Q_C Q_D	Ripple Carry	
H	H		H	H		—	カウント
H	L		X	X	D_A D_B D_C D_D	—	データセット
	X	X	X	X	L L L L	—	クリア
H	X	X	X	H	H L L H		—

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25	30		50	75	118	100	21		13			MHz
tw	min	CLK					25	16.5		9	6.7	2.0	4.0	20		39			ns
tw	min	CLEAR					20	15		6	8	3.0	6.0	20		25			ns
tsu	min	DATA					20↑	15↑		5↑	8↑	4.0	3.0	38		25			ns
tsu	min	ENABLE					20↑	20↑		12	8↑	2.5	7.0			50			ns
ten	min	LOAD					20↑			11				34		44			ns
thold	min	DATA					0↑	0↑		0	0↑	5.5	0	13		0			ns
tpd	max	ENB.T		CARRY			14	13		8.5	9	6.0	11.0	49		44			ns
tpd	max	CLK		CARRY			35	26		16.5	12.5	8.0	14.0	54		60			ns
tpd	max	CLK		Qa～Qd			27	17		11	13	7.0	11.0	52		54			ns
tpd	max	CLEAR		Qa～Qd			28	24		13	13	5.5	11.0	53		63			ns
Icc	max						32	21		50	53	0.08	0.08	0.08		0.08			mA
IIH	max	CLK	H				40	40		20	20								μA
IIL	max	CLK	L				0.8	0.2		0.6	0.5								mA
IIH	max	ENB.T	H				40	40		20	40								μA
IIL	max	ENB.T	L				0.8	0.2		1.2	1								mA
IIH	max	LOAD	H				40	40		20	60								μA
IIL	max	LOAD	L				0.8	0.2		1.2	1.5								mA
IIH	max	others	H				20	20		20	20								μA
IIL	max	others	L				0.4	0.2		0.6	0.5								mA

参考品種
74161
74162

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		D			DF		D	D	DF				
日電									DF				
NS		DF	DF		DF								
PHIL									DF		DF		
RCA									DF		DF		
SIGNE							DF	DF					
TI		DF	DF		D		DF	DF	DF				
東芝					D				DF				
SGS									DF		DF		
CYPRES													
IDT													

74161　Synchronous Presettable Binary Counter with Clear

VCC　RIPPLE CARRY OUTPUT　OUTPUTS: QA QB QC QD　ENABLE T　LOAD
16　15　14　13　12　11　10　9
RIPPLE CARRY OUTPUT　QA　QB　QC　QD　ENABLE T
CLEAR　LOAD
CK　A　B　C　D　ENABLE P
1　2　3　4　5　6　7　8
CLEAR　CLOCK　A　B　C　D (DATA INPUTS)　ENABLE P　GND

○4ビット同期式カウンタ
○同期プリセット
○非同期クリア

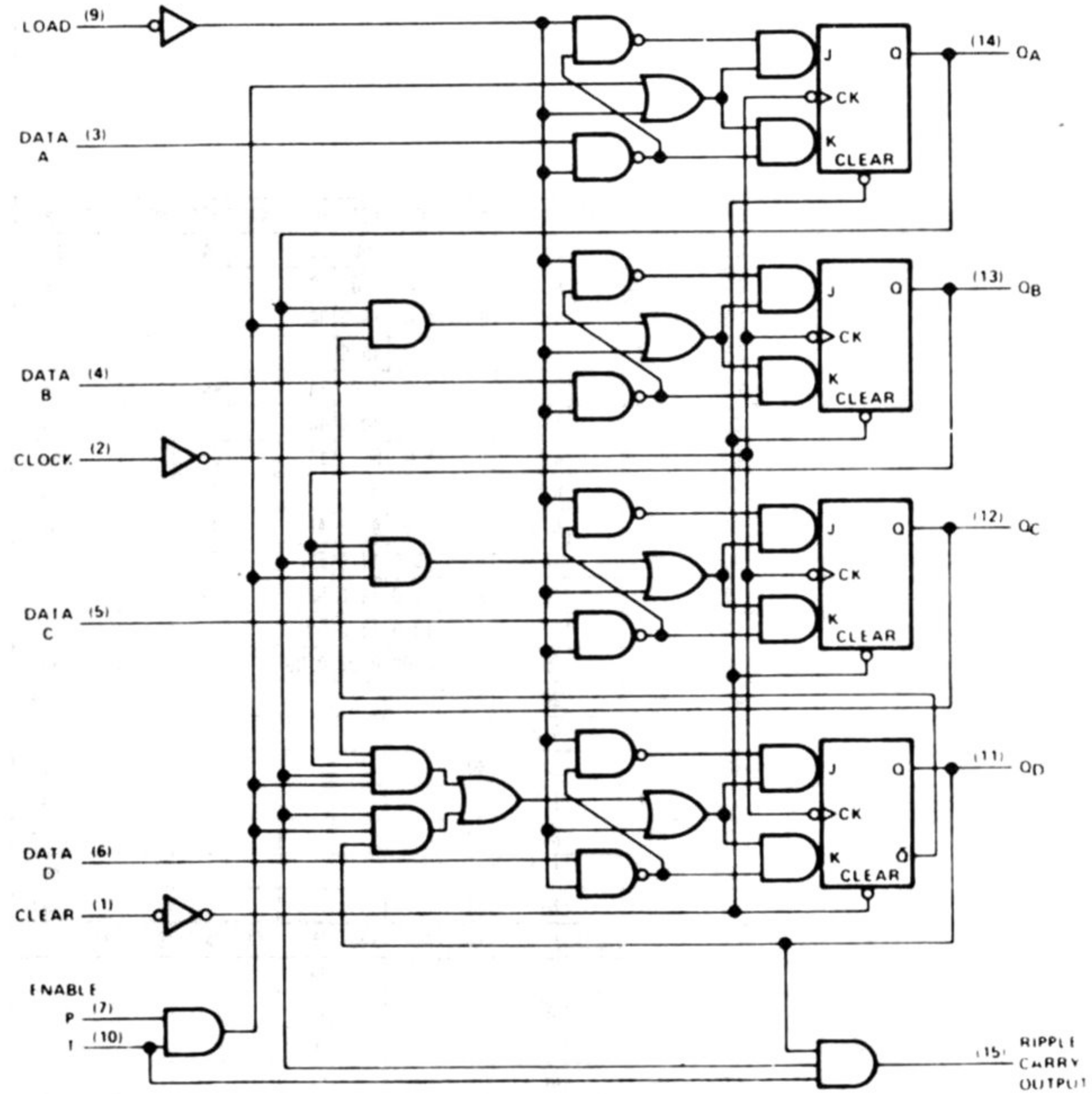
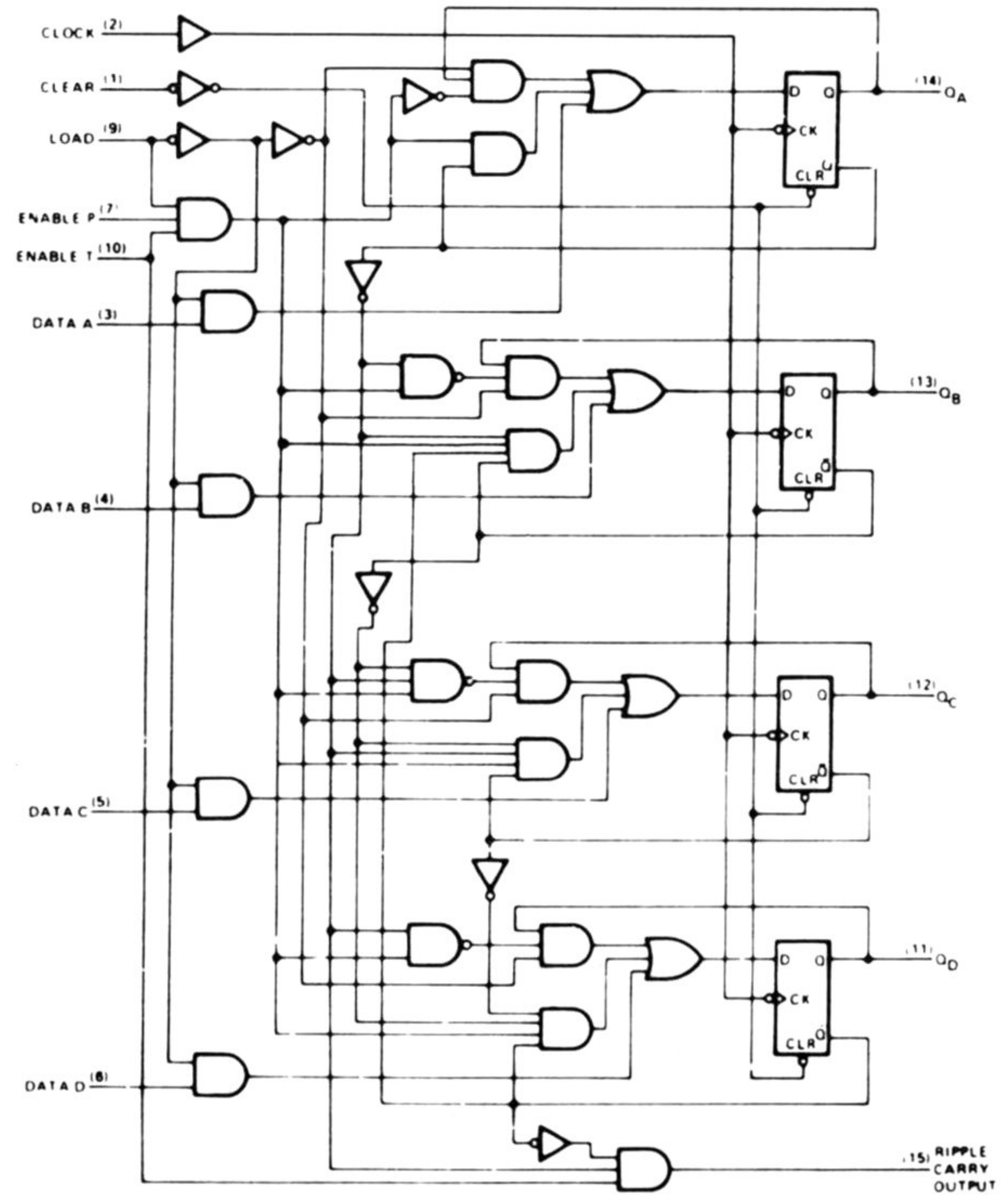
動作状態

入力					出力		動作
Clear	Load	CK	Enable P	Enable T	QA QB QC QD	Ripple Carry	
H	H	[rising edge]	H	H		—	カウント
H	L	[rising edge]	X	X	DA DB DC DD	—	データセット
[low pulse]	X	X	X	X	L L L L	—	クリア
H	X	X	X	H	H H H H	[H pulse]	—

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25	30		90	75	45	100	21		18			MHz
tw	min	CLK					25	16.5		5	6.7	3.5	6.5	20		28			ns
tw	min	CLEAR					20	15		5	8	6.0	6.5	20		25			ns
tsu	min	DATA					20↑	15↑		5↑	8↑	10.5	11.5	38		23			ns
tsu	min	ENABLE					20↑	20↑		11.5↑	8↑	5.0	9.5			50			ns
ten	min	LOAD					20↑			11.5↑		8.5	10.5	34		38			ns
thold	min	DATA					0↑	0↑		2↑	0↑	0	0.5	13		0			ns
tpd	max	ENB.T		CARRY			14	13		8.5	9	9.5	13	49		44			ns
tpd	max	CLK		CARRY			35	26		15	12.5	11.5	16.5	54		60			ns
tpd	max	CLK		Qa〜Qd			27	17		11	13	10	13.5	52		54			ns
tpd	max	CLEAR		Qa〜Qd			28	24		13	13	13.5	13	53		58			ns
Icc	max						32	21		55	53	0.08	0.08	0.08		0.08			mA
IIH	max	CLK	H				40	40		20	20								μA
IIL	max	CLK	L				0.8	0.2		0.6	0.5								mA
IIH	max	ENB.T	H				40	40		20	40								μA
IIL	max	ENB.T	L				0.8	0.2		1.2	1								mA
IIH	max	LOAD	H				40	40		20	60								μA
IIL	max	LOAD	L				0.8	0.2		1.2	1.5								mA
IIH	max	OTHERS	H				20	20		20	20								μA
IIL	max	OTHERS	L				0.4	0.2		0.6	0.5								mA

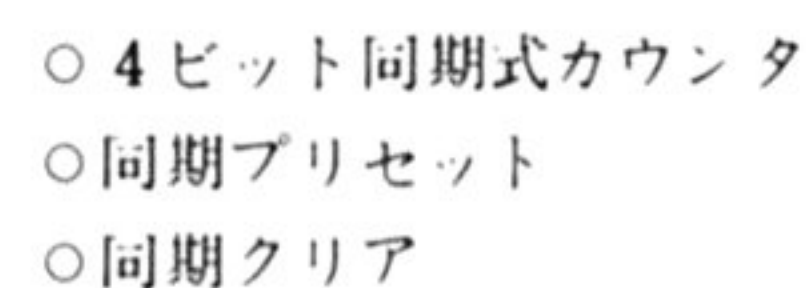
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF						DF	DF					
MOT		DF			DF		DF		DF					
日電									DF					
NS		DF	DF		DF	DF	DF	DF	DF					
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF		DF	DF					
東芝		D			D		DFS	DF	DF					
SGS									DF		DF			
CYPRES														
IDT								DF						

参考品種
74160
74163

74160, 74161

74160

74LS160A

74162　Synchronous Presettable BCD Counter with Clear

RIPPLE CARRY OUTPUT / OUTPUTS / ENABLE T / LOAD
VCC 16, RIPPLE CARRY OUTPUT 15, QA 14, QB 13, QC 12, QD 11, ENABLE T 10, LOAD 9
CLEAR 1, CLOCK 2, A 3, B 4, C 5, D 6, ENABLE P 7, GND 8
DATA INPUTS

○ 4 ビット同期式カウンタ
○同期プリセット
○同期クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25	30		50	75	90	100	21		14			MHz
tw	min	CLK					25	16.5		9	6.7	5.0	5.0	20		39			ns
tsu	min	CLEAR					20↑	15↑		5↑	8↑	4.0	11.5	38		25			ns
tsu	min	DATA					20↑	25↑		12↑	8↑	4.0	10.0			25			ns
tsu	min	ENABLE					20↑			10↑		7.0	7.0	34		44			ns
tsu	min	LOAD					20↑			11↑		7.0	10.0	40		50			ns
thold	min	DATA					0↑	0↑		0↑	0↑	1.0	0	13		0			ns
thold	min	LD. CLR					0↑	0↑		0↑	0↑	1.0	0			0			ns
tpd	max	ENB. T		CARRY			14	17		8.5	9	9.5	9.5	49		44			ns
tpd	max	CLK		CARRY			35	26		16.5	12.5	15.0	14.0	54		64			ns
tpd	max	CLK		Qa〜Qd			27	17		11	13	11.0	11.0	52		54			ns
tpd	max	CLEAR		Qa〜Qd			28			14		13.0	11.0	53					ns
Icc	max						32	21		50	53	0.08	0.08	0.08		0.08			mA
IIH	max	CLK	H				40	40		20	20								μA
IIL	max	CLK	L				0.8	0.2		0.6	0.5								mA
IIH	max	ENB. T	H				40	40		20	40								μA
IIL	max	ENB. T	L				0.8	0.2		1.2	1								mA
IIH	max	LOAD	H				40	40		20	60								μA
IIL	max	LOAD	L				0.8	0.2		1.2	1.5								mA
IIH	max	OTHERS	H				20	20		20	20								μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		DF			DF		D	D	DF				
日電									DF				
NS		DF	DF		DF								
PHIL									DF		DF		
RCA									DF		DF		
SIGNE													
TI		DF	DF		D	DF	DF	DF					
東芝		D			D				DF				
SGS									DF		DF		
CYPRES													
IDT													

参考品種
74160
74163

動 作 状 態

入力					出力		動作
Clear	Load	CK	Enable P	Enable T	$Q_A Q_B Q_C Q_D$	Ripple Carry	
H	H	↑	H	H	——	−	カウント
H	L	↑	X	X	$D_A D_B D_C D_D$	−	データセット
L	X	↑	X	X	L L L L	−	クリア
X	X	X	X	H	H L L H	H	——

74163 Synchronous Presettable Binary Counter with Clear

○ 4ビット同期式カウンタ
○同期プリセット
○同期クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25	30		90	75	95	105	21		21			MHz
tw	min	CLK					25	16.5		5	6.7	3.5	3.5	20		28			ns
tsu	min	CLEAR					20↑	15↑		5↑	8↑	11	11.5	38		25			ns
tsu	min	DATA					20↑	25↑		11.5↑	8↑	10.5	12			25			ns
tsu	min	ENABLE					20↑			11.5↑		5.0	10.5	34		38			ns
tsu	min	LOAD					20↑			11.5↑		8.5	0.5	10		25			ns
thold	min	DATA					0↑	0↑		2↑	0↑	0	0	13		0			ns
thold	min	LD, CLR					0↑	0↑		2↑	0↑	0	0			0			ns
tpd	max	ENB. T		CARRY			14	17		8.5	9	9.5	11	49		44			ns
tpd	max	CLK		CARRY			35	26		15	12.5	11.5	15	54		61			ns
tpd	max	CLK		Qa〜Qd			27	17		11	13	10	12	52		54			ns
tpd	max	CLEAR		Qa〜Qd			28			13									ns
Icc	max						32	21		55	53	0.08	0.08	0.08		0.08			mA
IIH	max	CLK	H				40	40		20	20								μA
IIL	max	CLK	L				0.8	0.2		0.6	0.5								mA
IIH	max	ENB. T	H				40	40		20	40								μA
IIL	max	ENB. T	L				0.8	0.2		1.2	1								mA
IIH	max	LOAD	H				40	40		20	60								μA
IIL	max	LOAD	L				0.8	0.2		1.2	1.5								mA
IIH	max	OTHERS	H				20	20		20	20								μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF						DF	DF					
MOT		DF			DF		DF	DF	DF					
日電									DF					
NS		DF	DF		DF	DF	DF	DF	DF					
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF			DF					
東芝		D			D		DFS	DF	DF					
SGS								DF	DF					
CYPRES					DF									
IDT								DF						

動作状態

入力					出力		動作
Clear	Load	CK	Enable P	Enable T	$Q_A Q_B Q_C Q_D$	Ripple Carry	
H	H	↑	H	H	——	–	カウント
H	L	↑	X	X	$D_A D_B D_C D_D$	–	データセット
L	X	↑	X	X	L L L L	–	クリア
X	X	X	X	H	H H H H	H	——

参考品種
74161
74162

74164 8-Bit Shift Register

入力		動作
Clear	CK	
H	↑	右シフト
L	X	クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK				78	25	60		80			80	21		22			MHz
tw	min	CK, CLR				20	20			7		5.0	8.0	20		23			ns
tsu	min	SERIAL				13↑	15↑			7		4.5	8.0	13		15			ns
thold	min	SERIAL				5↑	5↑	0↑		1		0	1.5	5		4			ns
tpd	max	CLEAR		Q		26	36	12		14		13.5	14.5	51		48			ns
tpd	max	CLK		Q		29	32	11		11		10.5	12.5	44		45			ns
Icc	max			OPEN		0.02	27	10		55		0.08	0.08	0.08		0.08			mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.4	0.1		0.6									mA
IOH	max			ALL	H	8	0.4	0.4		1		24	24	4		Z			mA
IOL	max			ALL	L	8	8	8		20		24	24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					DF	DF	DF				
MOT		DF			DF				DF				
日電									DF				
NS		DF			DF			F	DF		DF		
PHIL	DF								DF		DF		
RCA							DF	DF	DF		DF		
SIGNE			DF		DF								
TI		DF	D						DF				
東芝		D					DFS	DF	DF		DF		
SGS									DF		DF		
CYPRES													
IDT													

74165 8-Bit Shift Register

入力			動作
Shift/Load	CK	CK Inhibit	
H	↑	L	右シフト
L	X	X	データセット
H	X	H	ホールド*

* CK＝Lの期間にCK InhibitをHにするとデータが1bitシフトしてホールドされる。
CK＝Hの期間ならばそのままホールド

t_{su}③はShift/Load端子の立ち上がりに対する値

Shift/Load

Parallel-in (A～H)

t_{su}③

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25							21		21			MHz
tw	min	CLK					25							20		25			ns
tw	min	SFT/LD					15							20		25			ns
tsu	min	CK. INH					30↑							25		25			ns
tsu	min	SERIAL					20↑							25		25			ns
tsu	min	PARLEL					10							25		25			ns
tsu	min	SFT/LD					45↑							25		25			ns
thold	min						0							0		0			ns
tpd	max	CLK		Q			40							38		43			ns
tpd	max	SHT/LD		Q			35							44		50			ns
Icc	max			OPEN			36							0.08		0.08			mA
IIH	max	SFT/LD	H				60	20											μA
IIL	max	SFT/LD	L				1.2	0.1											mA
IIH	max	OTHERS	H				20	20											μA
IIL	max	OTHERS	L				0.4	0.1											mA
IOH	max			ALL	H		0.4	0.4						4		4			mA
IOL	max			ALL	L		8	8						4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF					
MOT		DF							DF					
日電									DF					
NS		DF	DF						DF					
PHIL									DF		DF			
RCA									DF		DF			
SIGNE														
TI		DF	D						DF					
東芝		D							DF					
SGS									DF		DF			
CYPRES														
IDT														

74166　8-Bit Shift Register

入力				動作
Clear	Shift/Load	CK	CK Inhibit	
H	H	↑	L	右シフト
H	L	↑	L	ロード
H	H	X	H	ホールド*
L	X	X	X	クリア

＊ＣＫ＝Ｌの期間にCK InhibitをＨにするとデータが1bitシフトしてホールドされる
ＣＫ＝Ｈの期間ならばそのままでホールド

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25	60		110		125	80	24		20			MHz
tw	min	CK, CLR					20			5.0		5.0	8.0	20		25			ns
tsu	min	DATA					20↑					4.5	8.0	20		20			ns
tsu	min	SFT/LD					30↑			4.0		4.5	8.0	25		38			ns
thold	min						0			2.0		0	1.5	2		0			ns
tpd	max	CLEAR		Qh			30	10		12.0		12.5	13.5	40		56			ns
tpd	max	CLK		Qh			25	13		9.5		10.0	12.0	38		50			ns
Icc	max			OPEN			32	16		70		0.08	0.08	0.08		0.08			mA
IIH	max	ALL	H				20	20		40									μA
IIL	max	ALL	L				0.4	0.1		0.04									mA
IOH	max			ALL	H		0.4	0.4		1		24	24	4		4			mA
IOL	max			ALL	L		8	8		20		24	24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					DF	DF	DF				
MOT		DF											
日電									DF				
NS		DF	DF						DF				
PHIL									DF		DF		
RCA									DF		DF		
SIGNE					DF								
TI		DF	D		DF				DF				
東芝		D					DF		DF				
SGS									DF				
CYPRES													
IDT													

74165のプリセットをＣＫ同期に変え，さらにクリア動作を加えたタイプ

74168 Synchronous Presettable Up/Down BCD Counter

VCC 16, RIPPLE CARRY OUTPUT 15, OUTPUTS QA 14, QB 13, QC 12, QD 11, ENABLE T̄ 10, LOAD 9

U/D̄ 1, CK 2, DATA INPUTS A 3, B 4, C 5, D 6, ENABLE P̄ 7, GND 8

RIPPLE CARRY OUTPUT, QA, QB, QC, QD, ENABLE T̄, UP/DOWN, LOAD, CK, A, B, C, D, ENABLE P̄

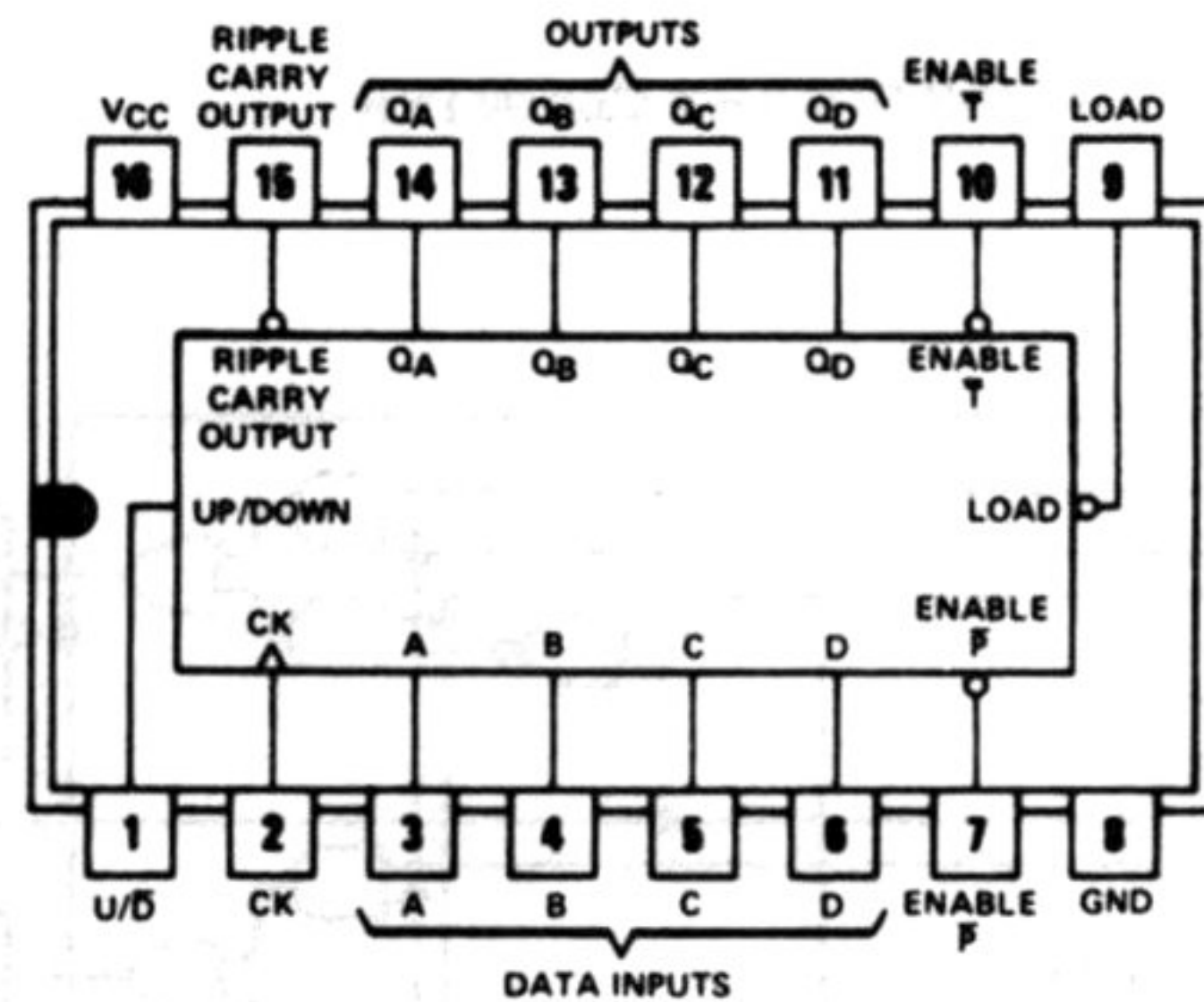
- ○ 4ビット同期式アップダウンカウンタ（U/D切換式）
- ○ 同期式プリセット
- ○ クリアー端子なし
- ○ LS168AのブロックズはLS668を参照

動 作 状 態

入力					出力		動作
Load	U/D̄	CK	Enable P̄	Enable T̄	$Q_AQ_BQ_CQ_D$	Ripple Carry	
H	H	(clock pulse)	L	L	—	—	カウントup
H	L		L	L	—	—	カウントdn
L	X		X	X	$D_AD_BD_CD_D$	—	データセット
X	H	X	X	L	H L L H	(pulse)	—
X	L	X	X	L	L L L L	L	—

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25	30		90	75			12					MHz
tw	min	CLK					25	16.5		6	6.7			29					ns
tsu	min	DATA					20↑	15↑		4↑	8↑			36					ns
tsu	min	ENABLE					20↑	20↑		5↑	8↑			49					ns
tsu	min	LOAD					25↑	15↑		11↑	8↑			36					ns
tsu	min	UP/DWN					30↑	15↑		16.5↑	8↑			49					ns
thold	min	DATA					0↑	0↑		3↑	0↑			5					ns
thold	min	OTHERS					0↑	0↑		0↑	0↑			5					ns
tpd	max	CLK		Qa～Qd			23	16		13	13			43					ns
tpd	max	CLK		CARRY			35	18		17	16.5			56					ns
tpd	max	ENB. T		CARRY			14	13		9	9			53					ns
tpd	max	UP/DWN		CARRY			29	18		17.5	13			54					ns
Icc	max						34	25		75	63			0.08					mA
IIH	max	CLK	H				20	20		20									μA
IIL	max	CLK	L				0.4	0.2		0.6									mA
IIH	max	LOAD	H				40	20		20									μA
IIL	max	LOAD	L				0.8	0.2		0.6									mA
IIH	max	OTHERS	H				20	20		20									μA
IIL	max	OTHERS	L				0.4	0.2		0.6									mA
IIH	max	ENB. T	H				20	20		20									μA

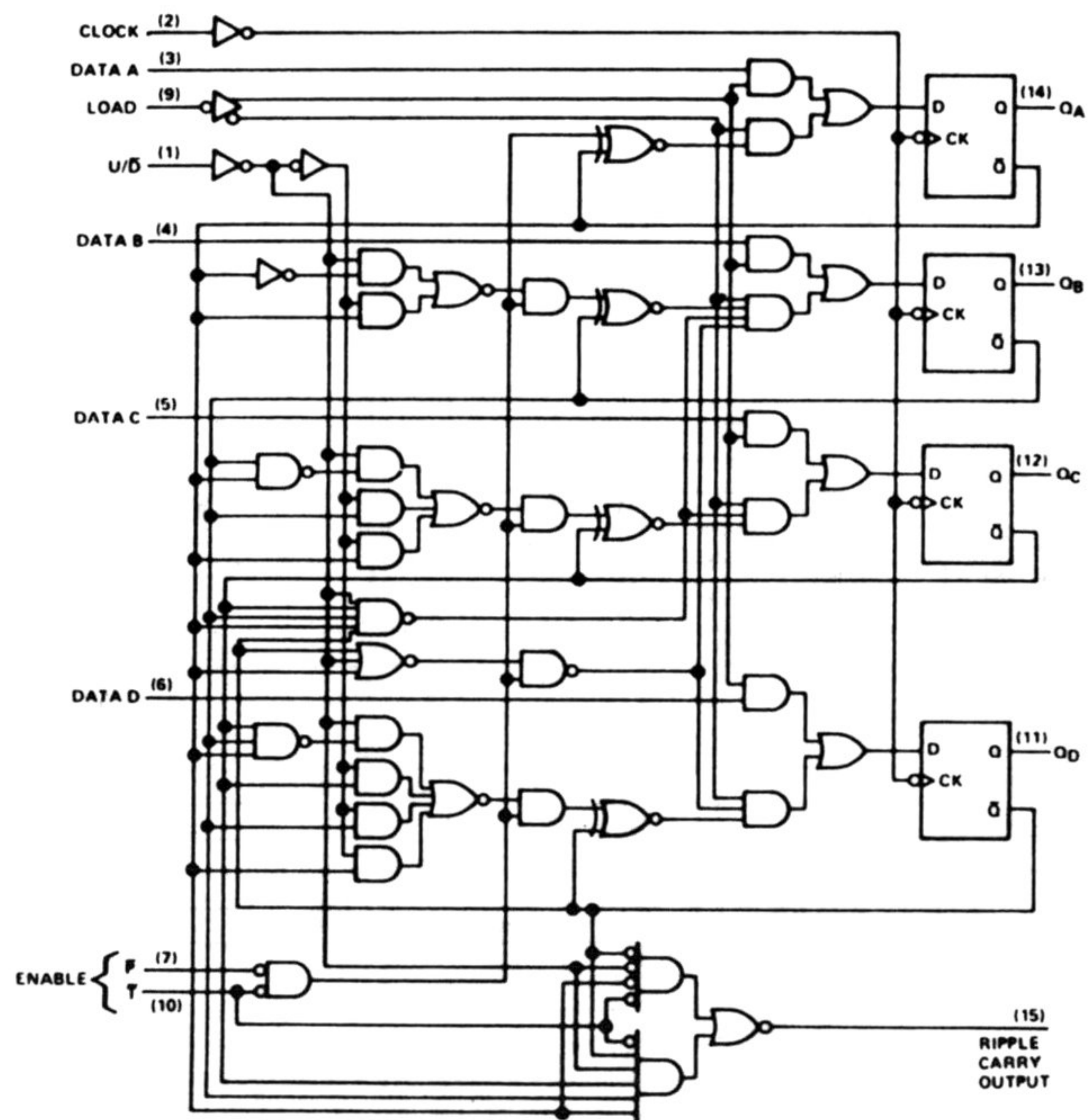
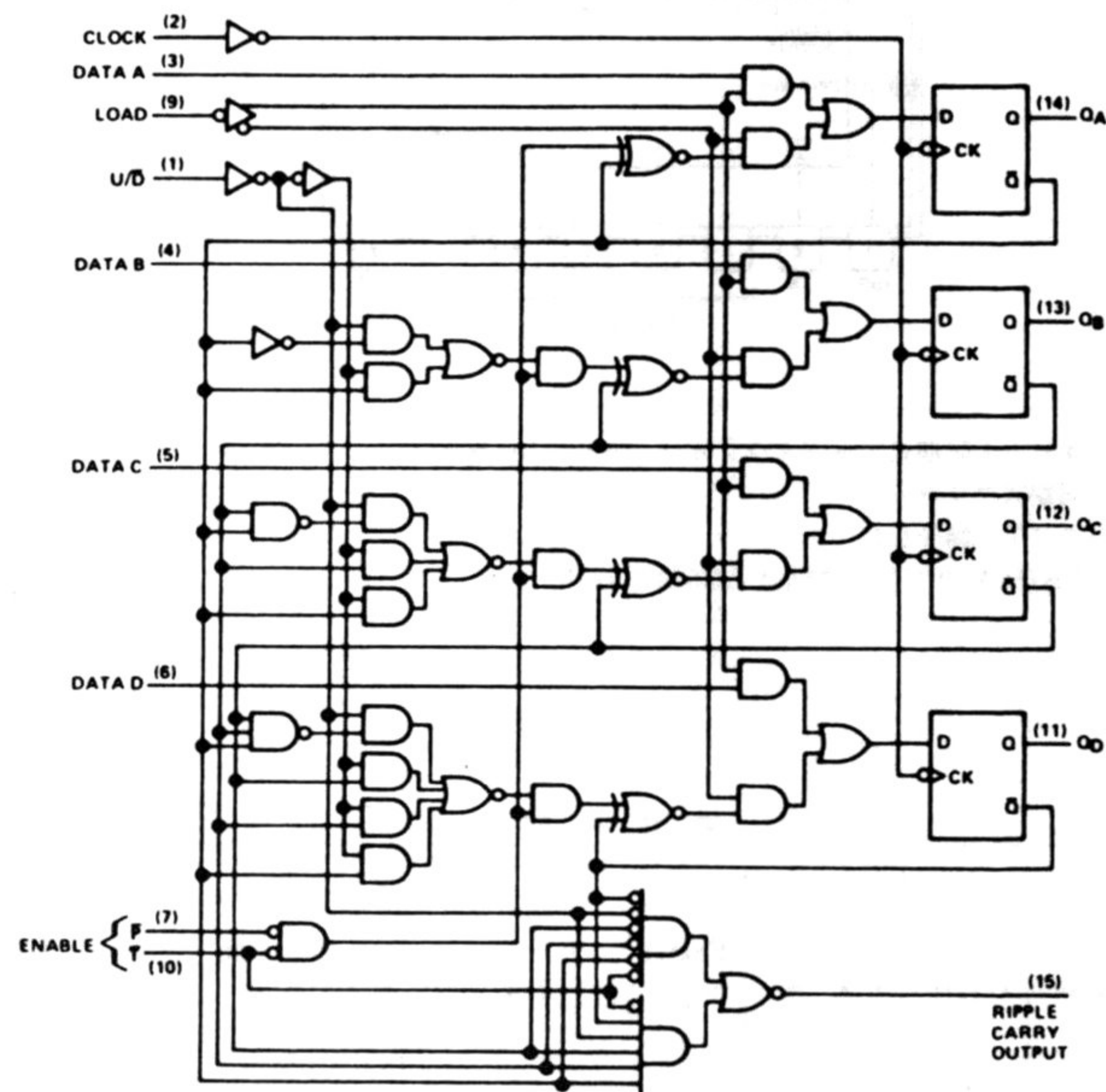
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT		D			DF									
日電														
NS			DF											
PHIL														
RCA														
SIGNE														
TI			DF		D									
東芝														
SGS														
CYPRES														
IDT														

74169　Synchronous Presettable Up/Down Binary Counter

○4ビット同期式アップダウンカウンタ（U/D切換式）
○同期式プリセット
○クリアー端子なし
○LS169AのブロックはLS669を参照

動　作　状　態

入		力			出	力	
Load	U／D̄	CK	Enable		$Q_AQ_BQ_CQ_D$	Ripple Carry	動　作
			P̄	T̄			
H	H		L	L	—	—	カウントup
H	L		L	L	—	—	カウントdn
L	X		X	X	$D_AD_BD_CD_D$	—	データセット
X	H	X	X	L	H H H H		—
X	L	X	X	L	L L L L	L	—

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25	30		90	75			12					MHz
tw	min	CLK					25	16.5		6	6.7			29					ns
tsu	min	DATA					20↑	15↑		4↑	8↑			36					ns
tsu	min	ENABLE					20↑	20↑		5↑	8↑			49					ns
tsu	min	LOAD					25↑	15↑		11↑	8↑			36					ns
tsu	min	UP/DWN					30↑	15↑		11↑	8↑			49					ns
thold	min	DATA					0↑	0↑		3↑	0↑			5					ns
thold	min	OTHERS					0↑	0↑		0↑	0↑			5					ns
tpd	max	CLK		Qa～Qd			23	16		13	13			48					ns
tpd	max	CLK		CARRY			35	18		17	16.5			30					ns
tpd	max	ENB.T		CARRY			14	13		9	9			63					ns
tpd	max	UP/DWN		CARRY			29	18		12.5	13			57					ns
Icc	max						34	25		75	63			0.08					mA
IIH	max	CK,E.P	H				20	20		20	20								μA
IIL	max	CLK	L				0.4	0.2		0.6	0.5								mA
IIH	max	LOAD	H				40	20		20	40								μA
IIL	max	LOAD	L				0.8	0.2		0.6	1								mA
IIH	max	OTHERS	H				20	20		20	40								μA
IIL	max	OTHERS	L				0.4	0.2		0.6	1								mA
IIH	max	ENB.T	H				20	20		20	40								μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT		D			DF									
日電														
NS		DF	DF		DF	DF	DF	DF						
PHIL														
RCA														
SIGNE					DF									
TI		DF	DF		DF	DF								
東芝		D					DF							
SGS														
CYPRES														
IDT														

Synchronous Counter

i)　同期式カウンタは２種に分類されます

(1)　完全同期式……190〜193以外すべて
一般的な接続を図１に示します。
このタイプはクロック一周期の間にキャリーが下から上まで直列にぬける必要があるため，段数をふやすごとにカウント可能な周波数が低くなります．

$$f_{count} < \frac{1}{t_{pd①} + (n-2)t_{pd②} + t_{su}}$$

ここで，$t_{pd①}$ ：Clock→Ripple carry(MAX)
$t_{pd②}$ ：EnableT→Ripple carry(MAX)
t_{su} ：Enable(MIN)
n ：接続段数(IC数)

ちなみに表中の周波数はIC単体のデータです

(2)　IC単位で同期なタイプ……190〜193
多段にした場合は完全な同期式とはいえません．
接続を図２および図３に示します
このタイプは段数を増加してもカウント可能周波数は変わりません

ii)　160〜163，168，169 のプリセットはクロック同期なのでシフトレジスタのように多段に接続した場合，ロードは１相で全段シフトします
他のＩＣはレーシングを起こします

iii)　用語について
t_{enable}とt_{rec}は同じ意味で，クリアまたはロード解除からカウンタ本来のカウント動作にenableまたはrecoverするまでの時間です
t_{su}，t_{hold}はＦＦと同じように扱っていますが，一部不統一で厳密にはt_{enable}またはt_{rec}に入るべき物がt_{su}に含まれています．

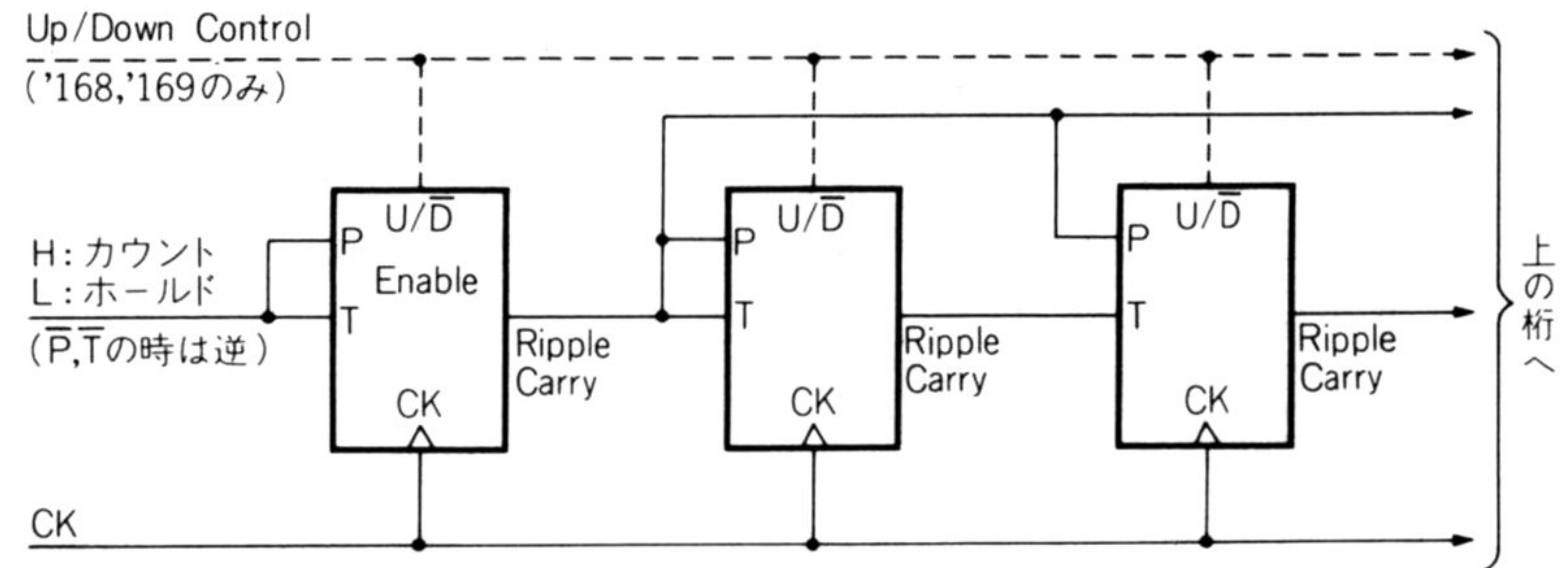



図1

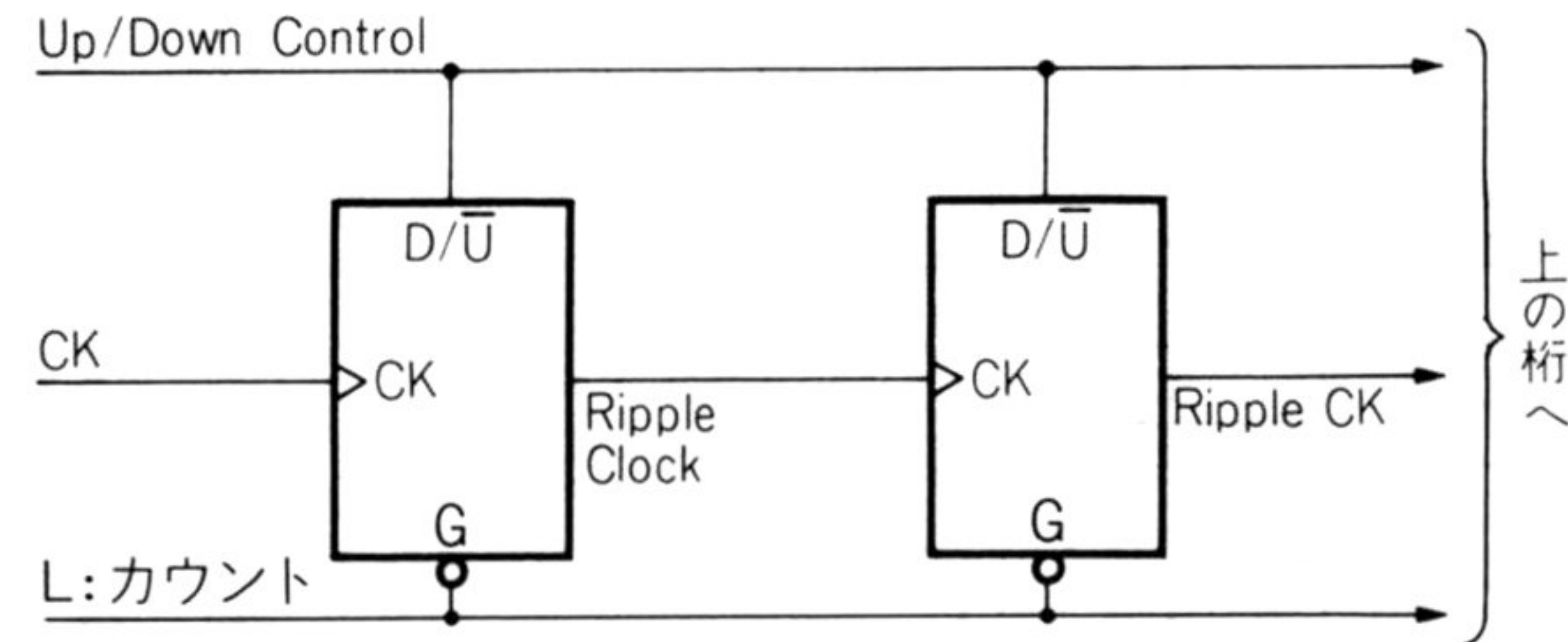



図2　190,191の接続

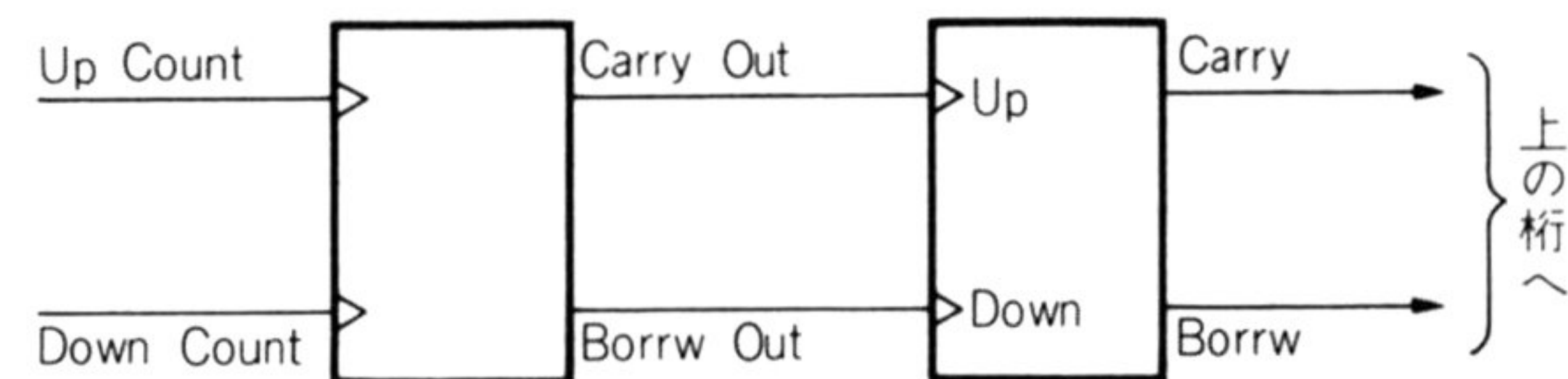
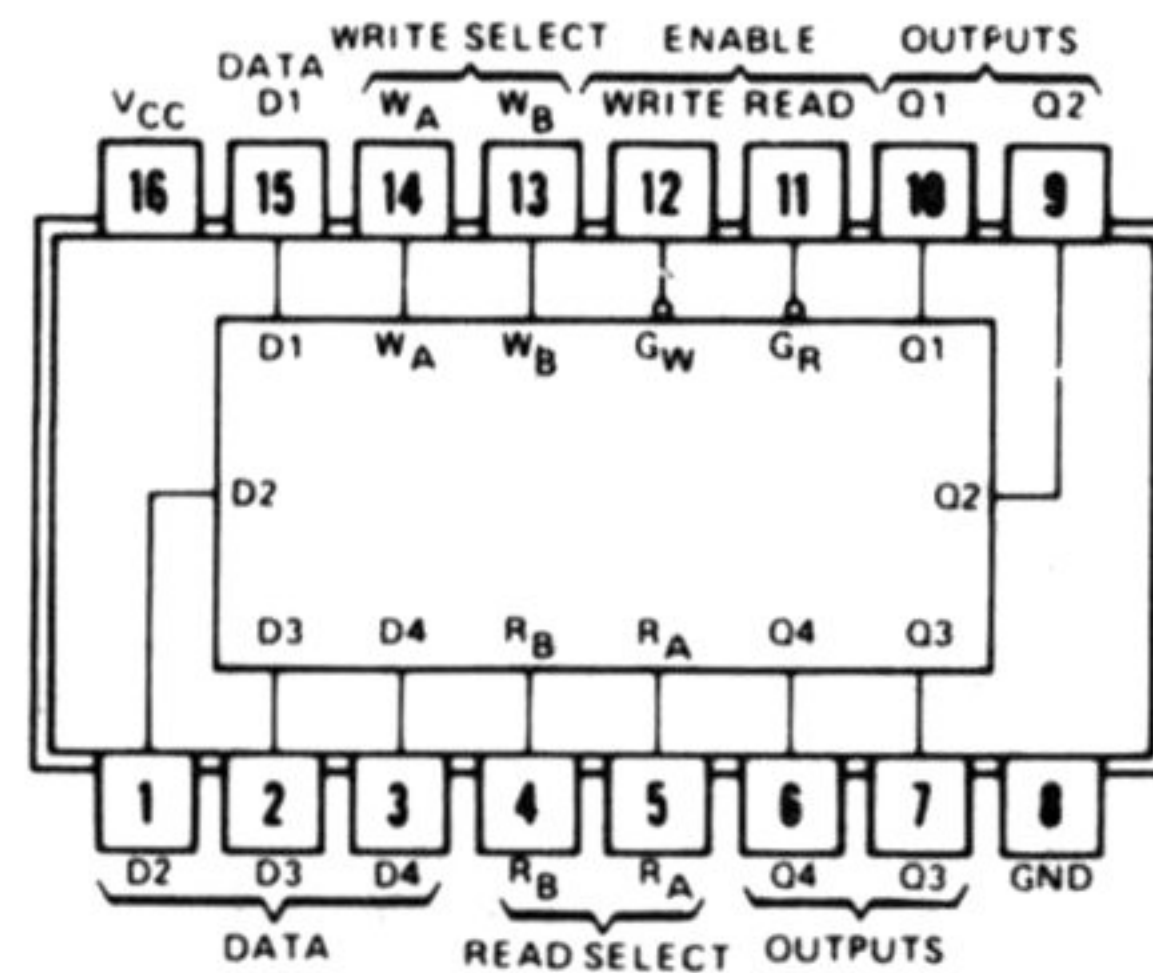



図3　192,193の接続

74170

4-4 Register Files (O. C.)

○オープンコレクタ出力，書き込みと読み出しのアドレスが独立に指定できる．

書き込みと読み出しが同時に行なえる．

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	WR/RD					25												ns
tsu	min	DATA					10												ns
tsu	min	WRITE					15												ns
thold	min	DATA					15												ns
thold	min	WRITE					5												ns
tlch	min	DATA					25												ns
tpd	max	RD. EN		Q			30												ns
tpd	max	RD. SEL		Q			40												ns
tpd	max	WR. EN		Q			45												ns
tpd	max	DATA		Q			45												ns
Icc	max			OPEN			40												mA
IIH	max	D, R, W	H				20												μA
IIL	max	D, R, W	L				0.4												mA
IIH	max	GR, GW	H				40												μA
IIL	max	GR, GW	L				0.8												mA
IOH	max			ALL	H		0.1												mA
IOL	max			ALL	L		8												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF												
MOT		D												
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI		DF												
東芝														
SGS														
CYPRES														
IDT														

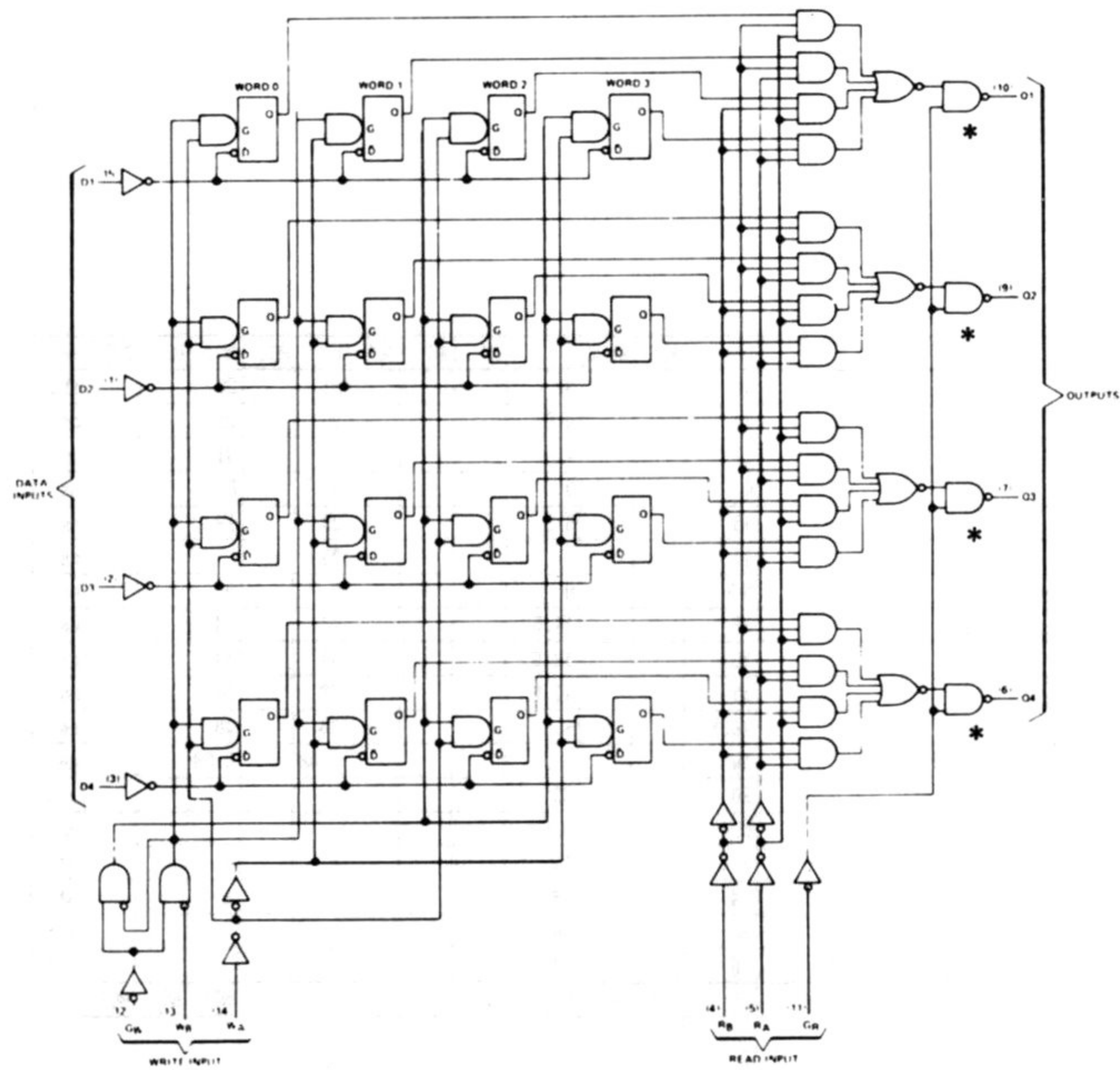
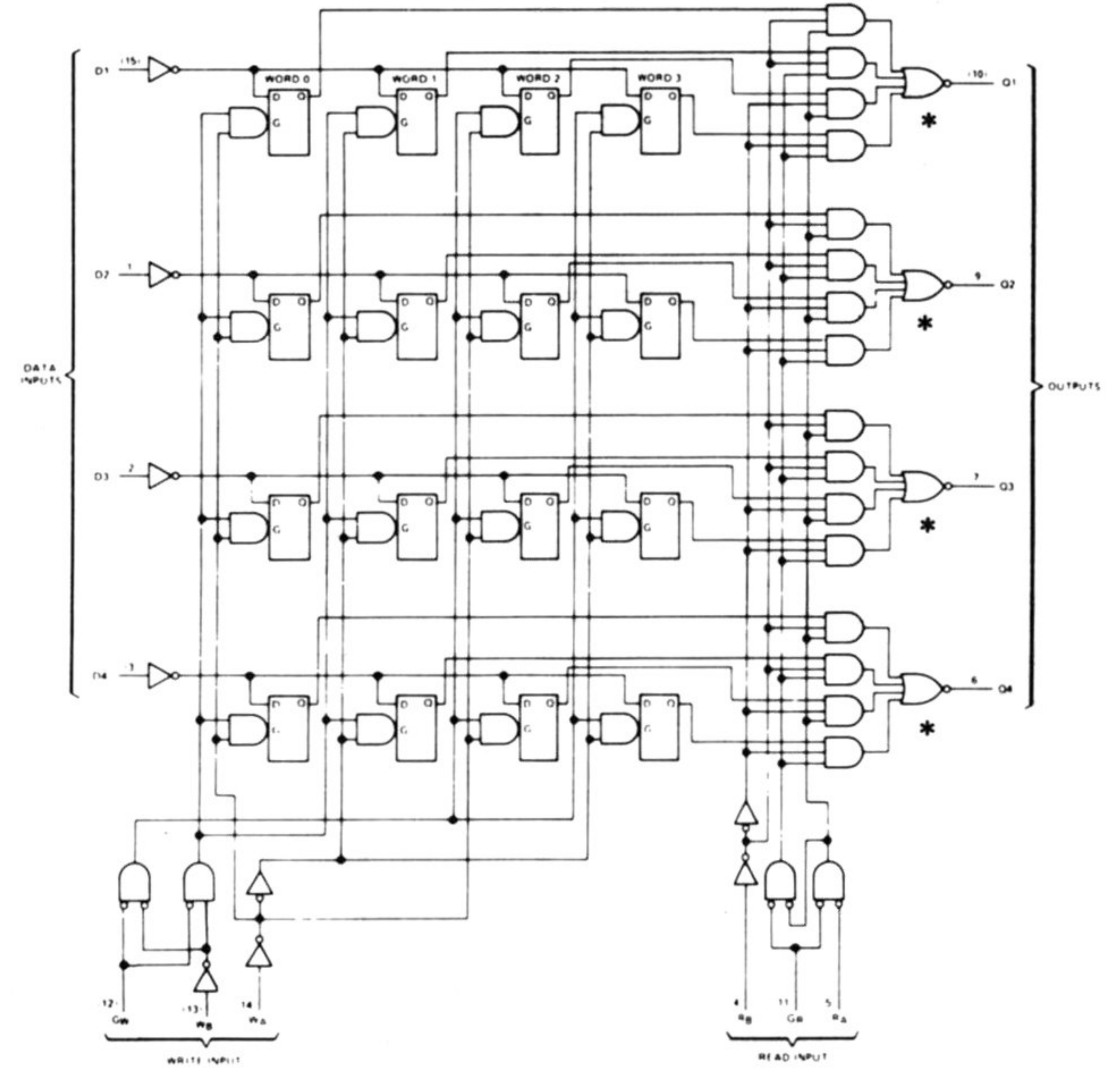
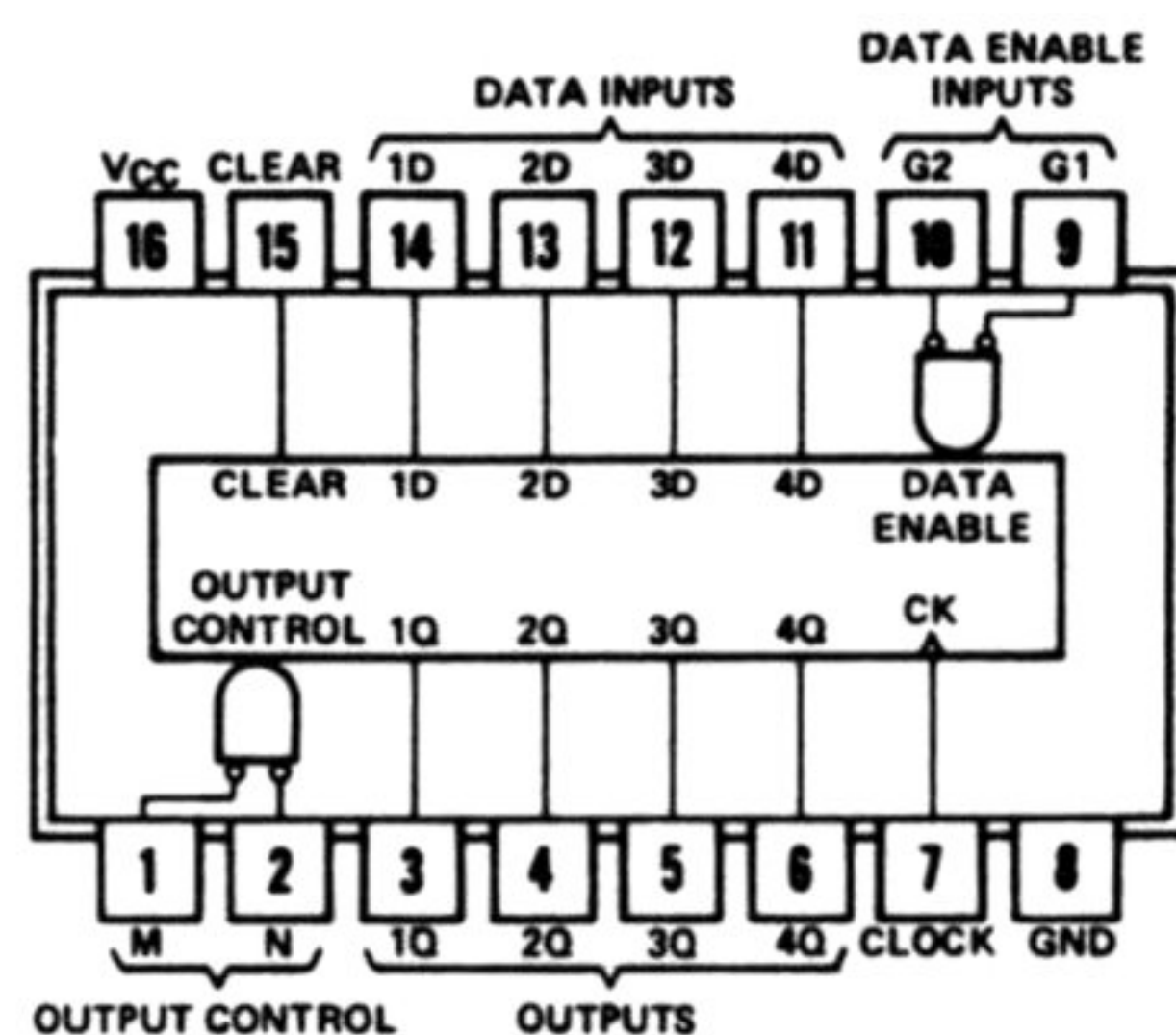
参考品種
74670

74170 4-4 Register Files (O. C.)

DATA INPUTS
D1 D2 D3 D4
WORD 0 WORD 1 WORD 2 WORD 3
Q1 Q2 Q3 Q4
OUTPUTS
WRITE INPUT
G_W W_B W_A
READ INPUT
R_B R_A G_R

74170

74LS170

74173

4-Bit Register 3-State

入力						出力	動作
Clear	CK	Enable		Output control		$Q_A \sim Q_D$	
		G1	G2	M	N		
L	↑	L	L	–		1D～4D	データセット
L	↑	H	X	–		–	ホールド
L	↑	X	H	–		–	ホールド
H	X	X	X	–		LLLL	クリア
–				H	X	Z	–
–				X	H	Z	–

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30			90				21		20			MHz
tw	min	CK, CLR					20			6.0				20		25			ns
tsu	min	DATA					17↑			4.0				25		31			ns
thold	min	DATA					0↑			0				0		0			ns
trec	min	CLEAR					10↑			5.5				23		19			ns
ten	min	DATA					17↑							25					ns
thold	min	D. ENB.					0↑			0				0		0			ns
tpd	max	CLK		Q			30			11.5				44		54			ns
tpd	max	CLEAR		Q			30			12.5				38		44			ns
tpd	max	OUT. C.		Q			36			11.0				38		44			ns
tpd	max	OUT. C.		Q			(23)			9.0				38		38			ns
Icc	max			OPEN			30			3.7				0.08		0.08			mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0.4			0.6									mA
IOH	max			ALL	H		2.6			15				4		4			mA
IOL	max			ALL	L		24			48				4		4			mA
IZL	max			ALL	L		20			50									μA
IZH	max			ALL	H		20			50									μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT		D							DF				
日電									DF				
NS		DF							DF				
PHIL									DF		DF		
RCA									DF		DF		
SIGNE					DF								
TI		DF							DF				
東芝		D							DF				
SGS									DF				
CYPRES													
IDT													

74174 HEX D-FFs

参考品種
74175
74273

○7474タイプ リーディングエッジトリガ（POS）

○コモンクロック，コモンクリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK				165	30	50		80	100	100	140	24		24			MHz
tw	min	CLK				7	20	10		6	6	11.0	3.5	20		20			ns
tw	min	CLEAR				7		10		5	5	14.5	3.5	20		25			ns
tsu	min	DATA				7↑	20↑	10↑		4↑	4↑	6.5↑	1.5	25		20			ns
thold	min	DATA				1↑	5↑	0↑		0↑	1↑	0.5↑	2.0	5		5			ns
trec	min	CLEAR				6↑	25↑			5↑		2	0.5	5		15			ns
tpd	max	CLK		Q		11.5	30	17		11	10	11	11.5	41		44			ns
tpd	max	CLEAR		Q		6	35	23		15	14	14.5	11	41		44			ns
Icc	max					0.004	26	19		45	45	0.08	0.08	0.08		0.08			mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.4	0.1		0.6									mA
IOH	max			ALL	H	12	0.4	0.4		1	2	24	24	4		4			mA
IOL	max			ALL	L	12	8	8		20	20	24	24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF		DF					
MOT		DF			DF		DF	DF	DF					
日電									DF					
NS	F	DF	DF		DF		DF	DF	DF					
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DF	DF	DF					
東芝	F	D			D		DFS	DF	DF		DF			
SGS									DF		DF			
CYPRES														
IDT														

○7473の項参照

74175 Quad D-FFs

参考品種
74273
74174

○7474タイプ リーディングエッジトリガ(POS)

○コモンクロック，コモンクリア

○7473の項参照

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30	50		100	100	80		24		20			MHz
tw	min	CLK					20	10		5	3	5.0		20		25			ns
tw	min	CLEAR						10		5	5	5.0		20		25			ns
tsu	min	DATA					20↑	10↑		3↑	3↑	6.5		25		20			ns
thold	min	DATA					5↑	0↑		1↑	1↑	0.0		0		5			ns
trec	min	CLEAR					25↑			5↑		5.0		25		5			ns
tpd	max	CLK		Q			30	17		8.5	10	10.0		38		41			ns
tpd	max	CLEAR		Q			35	23		11.5	13	10.0		32		48			ns
Icc	max						18	14		34	34	0.08		0.08		0.08			mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.4	0.1		0.6									mA
IOH	max			ALL	H		0.4	0.4		1	2	24		4		4			mA
IOL	max			ALL	L		8	8		20	20	24		4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF		DF					
MOT		DF			DF				DF					
日電									DF					
NS		DF	DF		DF	DF	DF	DF	DF					
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DF	DF	DF					
東芝		D			D		DFS	DF	DF					
SGS									DF					
CYPRES														
IDT														

74180 9-Bit Parity Generators/Checkers

INPUTS			OUTPUTS	
Σ OF H's AT A THRU H	EVEN	ODD	Σ EVEN	Σ ODD
EVEN	H	L	H	L
ODD	H	L	L	H
EVEN	L	H	L	H
ODD	L	H	H	L
X	H	H	L	L
X	L	L	H	H

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		ΣE/D										65					ns
tpd	max	EI, OI		ΣE/D										28					ns
Icc	max	EI, OI	H											0.04					mA
IIH	max	DATA	H																μA
IIL	max	DATA	L																mA
IIH	max	EI/DI	H																μA
IIL	max	EI/DI	L																mA
IOH	max			ALL	H									4					mA
IOL	max			ALL	L									4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF					
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

参考品種
74280

74181 Arithmetic Logic Units

INPUTS: VCC 24, $\bar{A}1$ 23, $\bar{B}1$ 22, $\bar{A}2$ 21, $\bar{B}2$ 20, $\bar{A}3$ 19, $\bar{B}3$ 18
OUTPUTS: $\bar{G}$ 17, C_{n+4} 16, $\bar{P}$ 15, A = B 14, $\bar{F}3$ 13

INPUTS: $\bar{B}0$ 1, $\bar{A}0$ 2, S3 3, S2 4, S1 5, S0 6, C_n 7, M 8
OUTPUTS: $\bar{F}0$ 9, $\bar{F}1$ 10, $\bar{F}2$ 11, GND 12

○A＝B出力はオープンコレクタ

○コンピュータのALUの論理操作用

キャリーは内部ルックアヘッド

参考品種
74281
74381

SELECTION				ACTIVE LOW DATA		
				M = H	M = L, ARITHMETIC OPERATIONS	
S3	S2	S1	S0	LOGIC FUNCTIONS	C_n = L (no carry)	C_n = H (with carry)
L	L	L	L	F = $\bar{A}$	F = A MINUS 1	F = A
L	L	L	H	F = $\overline{AB}$	F = AB MINUS 1	F = AB
L	L	H	L	F = $\bar{A}$ + B	F = A$\bar{B}$ MINUS 1	F = A$\bar{B}$
L	L	H	H	F = 1	F = MINUS 1 (2's COMP)	F = ZERO
L	H	L	L	F = $\overline{A + B}$	F = A PLUS (A + $\bar{B}$)	F = A PLUS (A + $\bar{B}$) PLUS 1
L	H	L	H	F = $\bar{B}$	F = AB PLUS (A + $\bar{B}$)	F = AB PLUS (A + $\bar{B}$) PLUS 1
L	H	H	L	F = $\overline{A \odot B}$	F = A MINUS B MINUS 1	F = A MINUS B
L	H	H	H	F = A + $\bar{B}$	F = A + $\bar{B}$	F = (A + $\bar{B}$) PLUS 1
H	L	L	L	F = $\bar{A}$B	F = A PLUS (A + B)	F = A PLUS (A + B) PLUS 1
H	L	L	H	F = A $\odot$ B	F = A PLUS B	F = A PLUS B PLUS 1
H	L	H	L	F = B	F = A$\bar{B}$ PLUS (A + B)	F = A$\bar{B}$ PLUS (A + B) PLUS 1
H	L	H	H	F = A + B	F = (A + B)	F = (A + B) PLUS 1
H	H	L	L	F = 0	F = A PLUS A*	F = A PLUS A PLUS 1
H	H	L	H	F = A$\bar{B}$	F = AB PLUS A	F = AB PLUS A PLUS 1
H	H	H •	L	F = AB	F = A$\bar{B}$ PLUS A	F = A$\bar{B}$ PLUS A PLUS 1
H	H	H	H	F = A	F = A	F = A PLUS 1

SELECTION				ACTIVE HIGH DATA		
				M = H	M = L, ARITHMETIC OPERATIONS	
S3	S2	S1	S0	LOGIC FUNCTIONS	$\bar{C}_n$ = H (no carry)	$\bar{C}_n$ = L (with carry)
L	L	L	L	F = $\bar{A}$	F = A	F = A PLUS 1
L	L	L	H	F = $\overline{A + B}$	F = A + B	F = (A + B) PLUS 1
L	L	H	L	F = $\bar{A}$B	F = A + $\bar{B}$	F = (A + $\bar{B}$) PLUS 1
L	L	H	H	F = 0	F = MINUS 1 (2's COMPL)	F = ZERO
L	H	L	L	F = $\overline{AB}$	F = A PLUS A$\bar{B}$	F = A PLUS A$\bar{B}$ PLUS 1
L	H	L	H	F = $\bar{B}$	F = (A + B) PLUS A$\bar{B}$	F = (A + B) PLUS A$\bar{B}$ PLUS 1
L	H	H	L	F = A $\odot$ B	F = A MINUS B MINUS 1	F = A MINUS B
L	H	H	H	F = A$\bar{B}$	F = A$\bar{B}$ MINUS 1	F = A$\bar{B}$
H	L	L	L	F = $\bar{A}$ + B	F = A PLUS AB	F = A PLUS AB PLUS 1
H	L	L	H	F = $\overline{A \odot B}$	F = A PLUS B	F = A PLUS B PLUS 1
H	L	H	L	F = B	F = (A + $\bar{B}$) PLUS AB	F = (A + $\bar{B}$) PLUS AB PLUS 1
H	L	H	H	F = AB	F = AB MINUS 1	F = AB
H	H	L	L	F = 1	F = A PLUS A*	F = A PLUS A PLUS 1
H	H	L	H	F = A + $\bar{B}$	F = (A + B) PLUS A	F = (A + B) PLUS A PLUS 1
H	H	H	L	F = A + B	F = (A + $\bar{B}$) PLUS A	F = (A + $\bar{B}$) PLUS A PLUS 1
H	H	H	H	F = A	F = A MINUS 1	F = A

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	Cn		Cn+4			27			9.5	9	12.0	13.5	41		53			ns
tpd	max	A, B		Cn+4			41			15	16	17.5	20.0	59		69			ns
tpd	max	Cn		F			26			9.5	9	13.5	15.5	50		56			ns
tpd	max	A, B		F			38			13	11	20.0	21.5	58		58			ns
Icc	max						37			65	200	0.08	0.08	0.08		0.08			mA
IIH	max	MODE					20			20	20								μA
IIL	max	MODE					0.4			0.6	2								mA
IIH	max	A, B					60			20	60								μA
IIL	max	A, B					1.2			1.8	6								mA
IIH	max	S					80			20	80								μA
IIL	max	S					1.6			2.4	8								mA
IIH	max	CARRY	H				100			20	120								μA
IIL	max	CARRY	L				2			3	12								mA
IOH	max			OTHERS	H		0.4			1	2	24	24	4		4			mA
IOL	max			OTHERS	L		8			20	20	24	24	4		4			mA
IOH	max			A=B	H		0.1				0.1	24	24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		D											
MOT		D			D								
日電													
NS		D			D	D							
PHIL									DF		DF		
RCA									DF		DF		
SIGNE					DF								
TI		D				D	D	D					
東芝													
SGS									DF				
CYPRES													
IDT													

74182　Look Ahead Carry Generator

○74181などとともに4ビットごとのキャリルックアヘッドをする.

INPUTS							OUTPUT
$\overline{G}3$	$\overline{G}2$	$\overline{G}1$	$\overline{G}0$	$\overline{P}3$	$\overline{P}2$	$\overline{P}1$	$\overline{G}$
L	X	X	X	X	X	X	L
X	L	X	X	L	X	X	L
X	X	L	X	L	L	X	L
X	X	X	L	L	L	L	L
All other combinations							H

Cn⁺y出力

INPUTS					OUTPUT
$\overline{G}1$	$\overline{G}0$	$\overline{P}1$	$\overline{P}0$	C_n	C_{n+y}
L	X	X	X	X	H
X	L	L	X	X	H
X	X	L	L	H	H
All other combinations					L

Cn⁺x出力

INPUTS			OUTPUT
$\overline{G}0$	$\overline{P}0$	C_n	C_{n+x}
L	X	X	H
X	L	H	H
All other combinations			L

$\overline{P}$出力

INPUTS				OUTPUT
$\overline{P}3$	$\overline{P}2$	$\overline{P}1$	$\overline{P}0$	$\overline{P}$
L	L	L	L	L
All other combinations				H

Cn⁺z出力

INPUTS							OUTPUT
$\overline{G}2$	$\overline{G}1$	$\overline{G}0$	$\overline{P}2$	$\overline{P}1$	$\overline{P}0$	C_n	C_{n+z}
L	X	X	X	X	X	X	H
X	L	X	L	X	X	X	H
X	X	L	L	L	X	X	H
X	X	X	L	L	L	H	H
All other combinations							L

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	G, P		Cn			22			11	5	9.0	10.0	36		43			ns
tpd	max	G, P		G			20			11.5	6	9.0	11.0	39		48			ns
tpd	max	G, P		P			20			8.5	5	12.5	13.5	33		39			ns
tpd	max	Cn		Cn			30			10	5	16.0	12.0	43		56			ns
Icc	max				H		12			28	17	0.08	0.08	0.08		0.08			mA
Icc	max				L		16			36	23	0.08	0.08	0.08		0.08			mA
IIH	max	Cn	H				20			20	20								μA
IIL	max	Cn	L				0.4			1.2	0.5								mA
IIH	max	-P3	H				40			20	40								μA
IIL	max	-P3	L				0.8			2.4	1								mA
IIH	max	-P2	H				60			20	60								μA
IIL	max	-P2	L				1.2			3.6	1.5								mA
IOH	max			OTHERS	H		800			20	80								μA
IOL	max			OTHERS	L		1.6			4.8	2								mA
IOH	max			-G0, G2	H		140			20	140								μA
IOL	max			-G0, G2	L		2.8			8.4	3.5								mA
IOH	max			-G1	H		160			20	160								μA
IOL	max			-G1	L		3.2			9.6	4								mA
IOH	max			ALL	H		0.4			1	2	24	24	4		4			mA
IOL	max			ALL	L		8			20	20	24	24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立							DF	DF	DF					
MOT														
日電														
NS					DF									
PHIL									DF		DF			
RCA									DF		DF			
SIGNE					DF									
TI														
東芝					D									
SGS									DF					
CYPRES														
IDT														

74190 Presettable synchronous Up/Down BCD Counter

INPUTS: DATA A (15), CLOCK (14); OUTPUTS: RIPPLE CLOCK (13), MAX/MIN (12); INPUTS: LOAD (11), DATA C (10), DATA D (9); V_{CC} (16)

A, CK, RIPPLE CLOCK, MAX/MIN, LOAD, C, B, D, Q_B, Q_A, G, DN/UP, Q_C, Q_D

DATA B (1) INPUT; Q_B (2), Q_A (3) OUTPUTS; ENABLE G (4), DOWN/UP (5) INPUTS; Q_C (6), Q_D (7) OUTPUTS; GND (8)

○ 4 bit 同期式アップダウンカウンタ（U/D切り替式）
○非同期プリセット
○クリア端子なし
○使用法については160の項参照

動作状態

入力				出力			動作
Load	D／$\overline{U}$	CK	G	$Q_AQ_BQ_CQ_D$	Ripple CK	Max Count	
H	L	⊔	L	–	–	–	カウントup
H	H	⊔	L	–	–	–	カウントdn
⊔ L	X	X	X	$D_AD_BD_CD_D$	–	–	データセット
X	L	⊔ L	L	H H H H	⊔ L	H ⊓	–
X	L	X	X	(H L L H)	H		
X	H	⊔ L	L	L L L L	⊔ L	H ⊓	–
X	H	X	X		H		

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					20	25		80				12		13			MHz
tw	min	CLK					25	20		6		4.0		39		39			ns
tw	min	LOAD					35	20		6		4.0		25		28			ns
tsu	min	DATA					20↑	20↑		8		6.0		25		25			ns
thold	min	DATA					0↑	5↑		3↑		0		0		0			ns
trec	min	LOAD					40↑			7↑		0		9		9			ns
tpd	max	LOAD	Qa～Qd				50	30		16		12.5		55		61			ns
tpd	max	DATA	Qa～Qd				40	21		18		11.5		55		55			ns
tpd	max	CLK	RP. CLK				24	20		10.5		9.5		38		44			ns
tpd	max	CLK	Qa～Qd				36	18		11		11.5		55		60			ns
tpd	max	CLK	MX/MIN				52	31		17		13.0		64		73			ns
tpd	max	DWN/UP	RP. CLK				45	37		19		10.0		53		56			ns
tpd	max	DWN/UP	MX/MIN				33	25		12		9.0		48		56			ns
tpd	max	ENABLE	RP. CLK					18		8		9.0		33		41			ns
Icc	max	ALL		OPEN			35	22		55		0.08		0.08		0.08			mA
IIH	max	ENABLE	H				60	20		20									μA
IIL	max	ENABLE	L				1.2	0.2		1.8									mA
IIH	max	CLK	H				20	20		20									μA
IIL	max	CLK	L				0.4	0.2		0.6									mA
IIH	max	OTHERS	H				20	20		20									μA

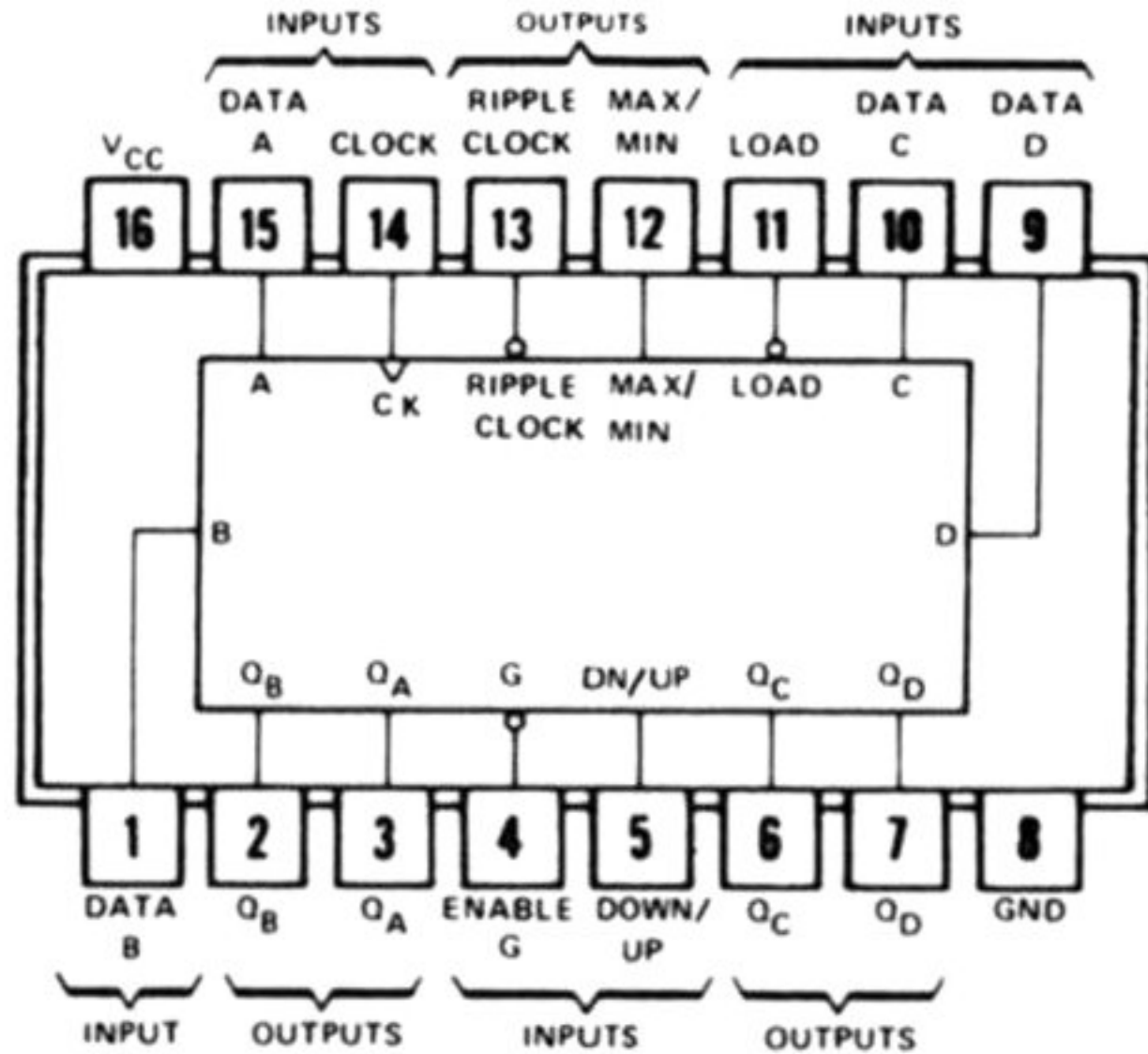
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		D					D						
日電									DF				
NS		DF			DF								
PHIL									DF		DF		
RCA									DF		DF		
SIGNE													
TI		DF	DF		DF								
東芝									DF				
SGS									DF				
CYPRES													
IDT													

74191 Presetable Synchronous Up/Down Binary Counter

INPUTS / OUTPUTS / INPUTS

VCC 16 | DATA A 15 | CLOCK 14 | RIPPLE CLOCK 13 | MAX/MIN 12 | LOAD 11 | DATA C 10 | DATA D 9

DATA B 1 | Q_B 2 | Q_A 3 | ENABLE G 4 | DOWN/UP 5 | Q_C 6 | Q_D 7 | GND 8

INPUT / OUTPUTS / INPUTS / OUTPUTS

○ 4 bit 同期式アップダウンカウンタ(U/D切り替式)

○非同期プリセット

○クリア端子なし

○使用法についてはp.119参照

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					20	30		80		85		16		16			MHz
tw	min	CLK					25	16.5		6		4.0		33		33			ns
tw	min	LOAD					35	20		6		1.0		25		28			ns
tsu	min	DATA					20↑	20↑		8↑		2.5		25		25			ns
thold	min	DATA					0↑	5↑		3↑		1.0		0		0			ns
trec	min	LOAD					40↑			7↑		0		9		9			ns
tpd	max	LOAD		Qa~Qd			50	30		16		11		55		58			ns
tpd	max	DATA		Qa~Qd			40	21		18		10.5		55		55			ns
tpd	max	CLK		RP.CLK			24	20		10.5		10.5		38		44			ns
tpd	max	CLK		Qa~Qd			36	18		11		12		55		60			ns
tpd	max	CLK		MX/MIN			52	31		17		14		64		64			ns
tpd	max	DWN/UP		RP.CLK			45	37		19		10		53		56			ns
tpd	max	DWN/UP		MX/MIN			33	25		12		9.5		48		56			ns
tpd	max	ENABLE		RP.CLK				18		8		9.5		33		41			ns
Icc	max	ALL	L	OPEN			35	22		55		0.08		0.08		0.08			mA
IIH	max	ENABLE	H				60	20		20									μA
IIL	max	ENABLE	L				1.2	0.2		1.8									mA
IIH	max	CLOCK	H				20	20		20									μA
IIL	max	CLOCK	L				0.4	0.2		0.6									mA
IIH	max	OTHERS	H				20	20		20									μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		D												
日電									DF					
NS		DF			DF		DF							
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF		DF	DF	DF					
東芝		D							DF					
SGS									DF					
CYPRES					DF									
IDT								DF						

動作状態

入力				出力			動作
Load	D/$\overline{U}$	CK	G	$Q_AQ_BQ_CQ_D$	Ripple CK	Max Count	
H	L	↑	L	–	–	–	カウントup
H	H	↑	L	–	–	–	カウントdn
⊔ L	X	X	X	$D_AD_BD_CD_D$	–	–	データセット
X	L	⊔ L	L	HHHH	⊔ L	H ⊓	–
X	L	X	X	HHHH	H	H ⊓	–
X	H	⊔ L	L	LLLL	⊔ L	H ⊓	–
X	H	X	X	LLLL	H	H ⊓	–

74190, 74191

74190, 74LS190

74191, 74LS191

74192　Presettable Synchronous Up/Down BCD Counter (dual clock, with clear)

○ 4ビット同期式アップダウンカウンタ（並列入力）
○ 非同期プリセット
○ 非同期クリア
○ 使用法についてはp.119参照

動　作　状　態

入力				出力			動作
Clear	Load	Count up	Count down	$Q_AQ_BQ_CQ_D$	Carry out	Borrow out	
L	H	↑	H	—	—	—	カウントup
L	H	H	↑	—	—	—	カウントdn
L	⊔ L	X	X	$D_AD_BD_CD_D$	—	—	データセット
⊓ H	X	X	X	L L L L	—	—	クリア
X	X	⊔ L	X	H L L H	⊔ L	H	—
X	X	X	⊔ L	L L L L	H	⊔ L	—

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	COUNT					25	25		80				25		25			MHz
tw	min	LOAD					20	20		12				25		25			ns
tw	min	OTHERS					20	20		8				31		31			ns
tsu	min	DATA					20↑	20↑		8				25		25			ns
thold	min	DATA					0↑	5↑		3				0		0			ns
trec	min	CLEAR					40↑			6				13		13			ns
tpd	max	CNT/U		CARRY			26	18		9				31		38			ns
tpd	max	CNT/D		BORROW			24	18						31		38			ns
tpd	max	COUNT		Qa～Qd			47	19		13				54		54			ns
tpd	max	LOAD		Qa～Qd			40	30		10.5				54		55			ns
tpd	max	CLEAR		Qa～Qd			35	17		13.5				50		50			ns
Icc	max						34	22		45				0.08		0.08			mA
IIH	max	COUNT	H				20	20		20									μA
IIL	max	COUNT	L				0.4	0.2		1.2									mA
IIH	max	OTHERS	H				20	20		20									μA
IIL	max	OTHERS	L				0.4	0.1		0.6									mA
IOH	max			ALL	H		0.4	0.4		1				4		4			mA
IOL	max			ALL	L		8	8		20				4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		D											
日電									DF				
NS		DF			DF								
PHIL									DF		DF		
RCA									DF		DF		
SIGNE													
TI			DF		DF								
東芝		D							DF				
SGS									DF				
CYPRES													
IDT													

74193 Presettable Synchronous Up/Down Binary Counter (dual clock, with clear)

○ 4ビット同期式アップダウンカウンタ（並列入力）
○ 非同期プリセット
○ 非同期クリア
○ 使用法についてはp.119参照

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	COUNT					25	30		80				16		16			MHz
tw	min	LOAD					20	20		12				25		25			ns
tw	min	OTHERS					20	16.5		8				31		31			ns
tsu	min	DATA					20↑	20↑		8				25		25			ns
thold	min	DATA					0↑	5↑		3				0		0			ns
trec	min	CLEAR					40↑			6				13		13			ns
tpd	max	CNT/U		CARRY			26	18		12.5				31		38			ns
tpd	max	CNT/D		BORROW			24	18		15.5				31		38			ns
tpd	max	COUNT		Qa～Qd			47	19		10.5				54		54			ns
tpd	max	LOAD		Qa～Qd			40	30		11				55		58			ns
tpd	max	CLEAR		Qa～Qd			35	17		13				50		50			ns
Icc	max						34	22		45				0.08		0.08			mA
IIH	max	COUNT	H				20	20		20									μA
IIL	max	COUNT	L				0.4	0.2		1.2									mA
IIH	max	OTHERS	H				20	20		20									μA
IIL	max	OTHERS	L				0.4	0.1		0.6									mA
IOH	max			ALL	H		0.4	0.4		1				4		4			mA
IOL	max			ALL	L		8	8		20				4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		DF											
日電									DF				
NS		DF			DF				DF				
PHIL									DF		DF		
RCA							DF	DF	DF		DF		
SIGNE			DF		DF								
TI		DF	DF		DF				DF				
東芝		D							DF				
SGS									DF				
CYPRES													
IDT								DF					

動作状態

入力				出力			動作
Clear	Load	Count up	Count down	$Q_AQ_BQ_CQ_D$	Carry out	Borrow out	
L	H	↑	H	−	−	−	カウントup
L	H	H	↑	−	−	−	カウントdn
L	⊔ (L)	X	X	$D_AD_BD_CD_D$	−	−	データセット
⊓ (H)	X	X	X	L L L L	−	−	クリア
X	X	⊔ (L)	X	H H H H	⊔ (L)	H	−
X	X	X	⊔ (L)	L L L L	H	⊔ (L)	−

74192, 74193

74192, 74LS192

74193, 74LS193

74194 4-Bit Shift Register

Vcc QA QB QC QD CLOCK S1 S0
16 15 14 13 12 11 10 9

QA QB QC QD CLOCK S1
CLEAR S0
R A B C D L

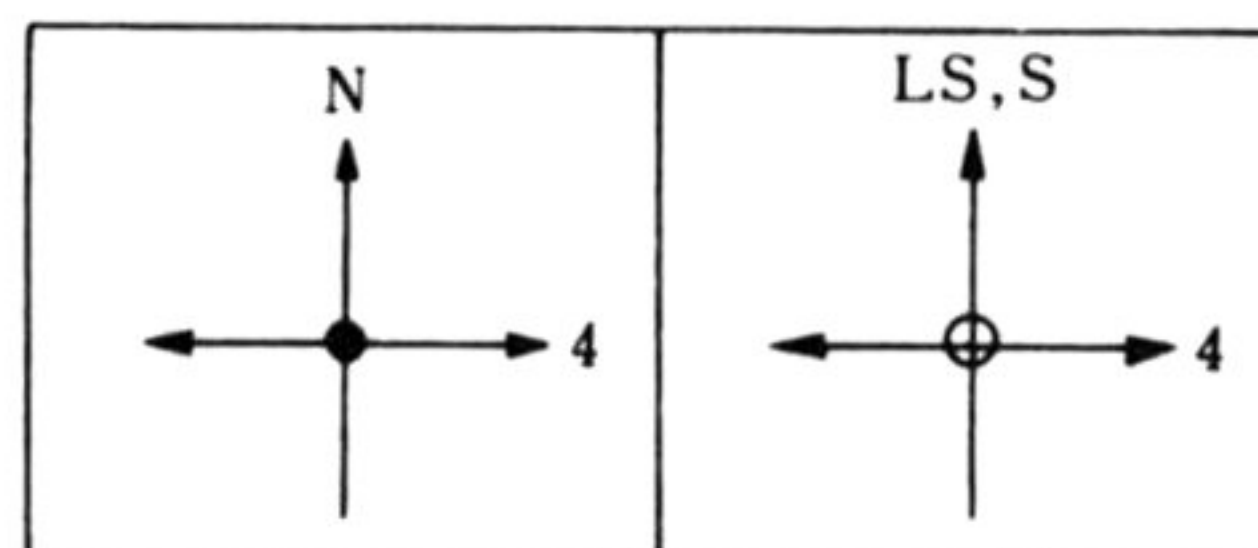
1 2 3 4 5 6 7 8
CLEAR SHIFT RIGHT SERIAL INPUT A B C D PARALLEL INPUTS SHIFT LEFT SERIAL INPUT GND

入力					動作
Clear	Mode control		CK		
	S 1	S 0	N	LS,S	
H	L	H	pulse	rising edge	右シフト
H	H	L	pulse	rising edge	左シフト
H	H	H	pulse	rising edge	ロード
H	L	L	X		ホールド*
L (pulse)	X	X	X	X	クリア

*Nタイプはクロック Lの期間中S 1＝S 0＝L にすると1bitシフトしてホールドする クロックHの期間中ならそのままホールド

N: 4
LS,S: 4

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25			90				24		24			MHz
tw	min	CLK					20			5.5				20		20			ns
tw	min	CLEAR					20			5				20		20			ns
tsu	min	DATA					20↑			4↑				25		18			ns
ten	min	MODE					30↑							25		25			ns
trec	min	CLEAR					25↑			8↑				5		15			ns
thold	min	ALL					0↑			0↑				0		0			ns
tpd	max	CLK		Q			20			8	5.5			37		40			ns
tpd	max	CLEAR		Q			30			14	7.5			38		40			ns
Icc	max						23			46	27			0.08		0.08			mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0.4			0.6									mA
IOH	max			ALL	H		0.4			1	2			4		4			mA
IOL	max			ALL	L		8			20	20			4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					DF		D				
MOT		D			DF		D	D	DF				
日電									DF				
NS		DF			DF								
PHIL									DF		DF		
RCA									DF		DF		
SIGNE					DF								
TI		DF				DF	DF	DF	DF				
東芝		D							DF				
SGS									DF				
CYPRES													
IDT													

74194

74194

74LS194, 74S194

74195 4-Bit Shift Register

入力			動作
Clear	Shift/Load	CK	
H	H	↑	右シフト
H	L	↑	ロード
L	X	X	クリア

モード切り替えはクロックの立ち上がりの t_{enable} 以上前に決定しなくてはならないが $t_{release}$ 前に切っても動作OK

Clock

t_{enable}

Shift/Load

$t_{release}$

JK̄ → 4

Serial-inputがJK̄になっているので1bit目だけはJK̄-FFの動作に従って入力される
一般的シフトレジスタにするためにはJとK̄をパラに接続

† This connection is made on '195 only

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30				70			24		18			MHz
tw	min	CLK					16				4			20		25			ns
tw	min	CLEAR					12				4			20		20			ns
tsu	min	DATA					15↑				3.5			25		25			ns
thold	min	DATA					0↑				0.5			0		3			ns
trec	min	CLEAR					25↑							5		20			ns
ten	min	SFT/LD					25↑							25					ns
trel	max	SFT/LD					10↑												ns
tpd	max	CLK		Q			26				10.5			37		40			ns
tpd	max	CLEAR		Q			30				11.5			38		44			ns
Icc	max						21				57			0.08		0.08			mA
IIH	max	ALL	H				20				40								μA
IIL	max	ALL	L				0.4				1								mA
IOH	max			ALL	H		0.4				2			4		4			mA
IOL	max			ALL	L		8				20			4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					DF		D				
MOT		D			DF				DF				
日電									DF				
NS		DF											
PHIL									DF		DF		
RCA									DF		DF		
SIGNE					DF								
TI		DF				DF			DF				
東芝		D							DF				
SGS									DF				
CYPRES													
IDT													

74196 Presettable Decade Counter

○ＢＣＤ非同期カウンタ
○非同期プリセット
○非同期クリア
○90のプリセットを任意のデータに広げなタイプ
○カウントの動作については90と同じ
（90の項参照）

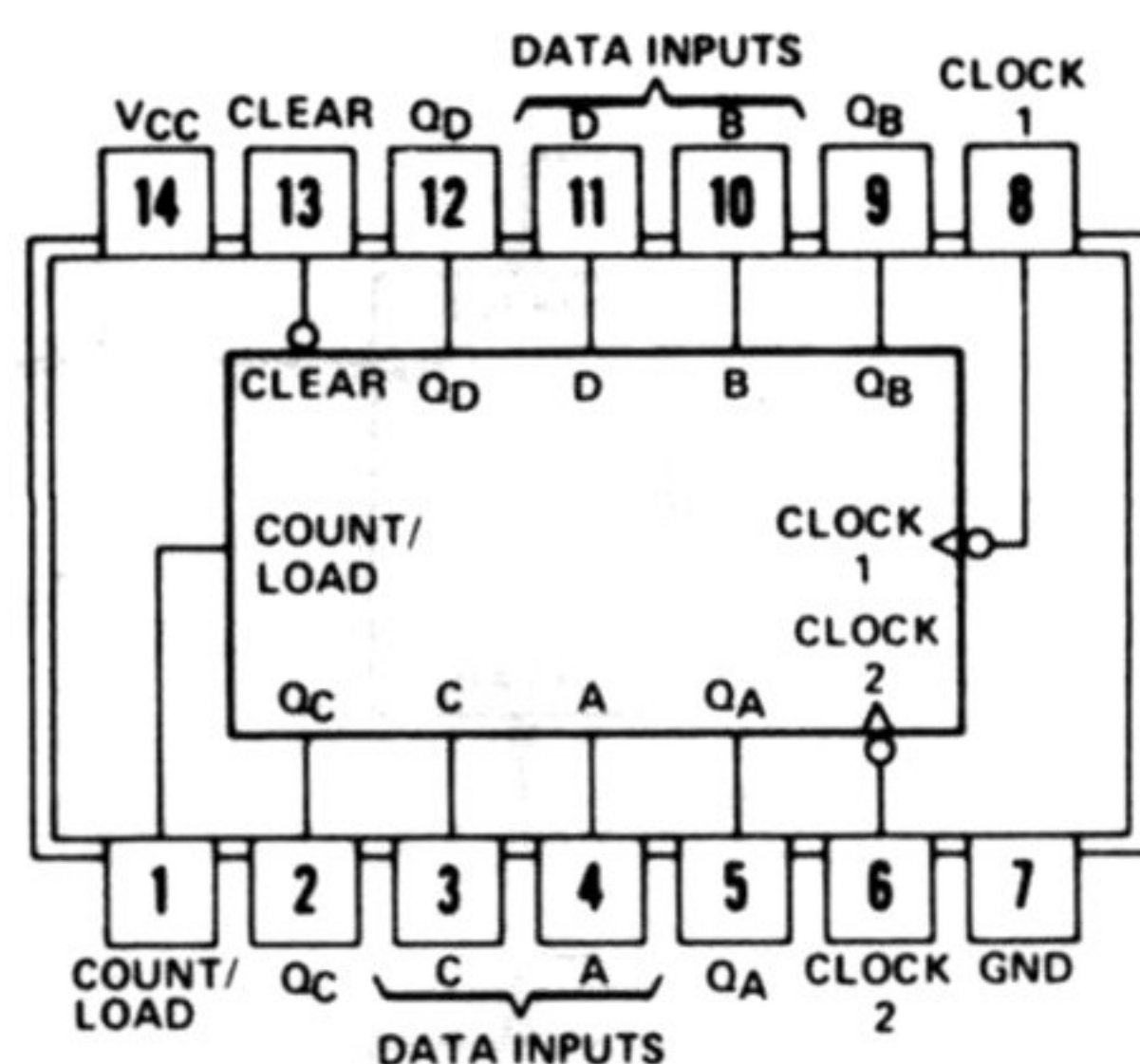
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK1					30												MHz
fmax	min	CLK2					15												MHz
tw	min	CLK1					20												ns
tw	min	CLK2					30												ns
tw	min	CLEAR					15												ns
tw	min	LOAD					20												ns
tsu	min	DATA					15↓												ns
thold	min	DATA					tw												ns
trec	min	CLR/LD					30↓												ns
tpd	max	CLK1		Qa			20												ns
tpd	max	CLK2		Qc, Qd			26												ns
tpd	max	CLK2		Qc, Qd			45												ns
tpd	max	CLEAR		Qa～Qd			51												ns
tpd	max	LOAD		Qa～Qd			45												ns
tpd	max	DATA		Qa～Qd			44												ns
Icc	max						27												mA
IIH	max	CLK1	H				40												μA
IIL	max	CLK1	L				2.4												mA
IIH	max	CLK2	H				80												μA
IIL	max	CLK2	L				2.8												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT		D												
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI		DF												
東芝														
SGS														
CYPRES														
IDT														

動　作　状　態

入　力			出　力	動　作
Clear	Load	CK	Q_A Q_B Q_C Q_D	
H	H	⊓	—	カウント
H	⊔ L	X	D_A D_B D_C D_D	データセット
⊔ L	X	X	L L L L	クリア

参考品種
74176

74197 Presettable 4-Bit binary Counter

○16進非同期カウンタ
○非同期プリセット
○非同期クリア
○93にプリセット機能を加えたタイプ
○使用法については90の項参照

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK1					30												MHz
fmax	min	CLK2					15												MHz
tw	min	CLK1					20												ns
tw	min	CLK2					30												ns
tw	min	CLEAR					15												ns
tw	min	LOAD					20												ns
tsu	min	DATA					15↓												ns
thold	min	DATA					tw												ns
trec	min	CLR/LD					20												ns
tpd	max	CLK1		Qa			21												ns
tpd	max	CLK2		Qd			95												ns
tpd	max	CLEAR		Qa～Qd			51												ns
tpd	max	LOAD		Qa～Qd			45												ns
tpd	max	DATA		Qa～Qd			44												ns
Icc	max						27												mA
IIH	max	CLK1	H				40												μA
IIL	max	CLK1	L				2.4												mA
IIH	max	CLK2	H				40												μA
IIL	max	CLK2	L				1.3												mA
IIH	max	CUT/LD	H				20												μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT		D												
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI		DF												
東芝														
SGS														
CYPRES														
IDT														

動 作 状 態

入力			出力	動作
Clear	Load	CK	Q_A Q_B Q_C Q_D	
H	H	⌐⌐	—	カウント
H	L	X	D_A D_B D_C D_D	データセット
L	X	X	L L L L	クリア

参考品種
74177

74198 8-Bit Shift Register

74194を8bitにしたタイプ
他は同一

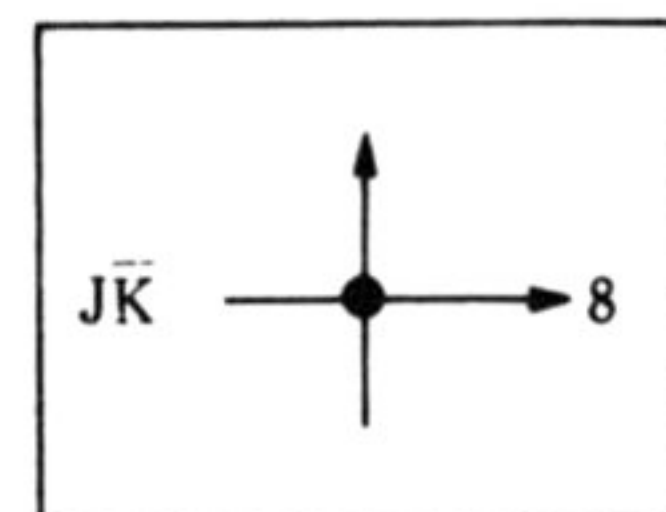
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK								70									MHz
tw	min	CK, CLR								6.0									ns
tsu	min	DATA								4									ns
ten	min	MODE-C								6.0									ns
thold	min	ALL								4.0									ns
tpd	max	CLK		Q						12.0									ns
tpd	max	CLEAR		Q						11.0									ns
Icc	max									110									mA
IIH	max	ALL	H							20									μA
IIL	max	ALL	L							0.6									mA
IOH	max			ALL	H					1									mA
IOL	max			ALL	L					20									mA

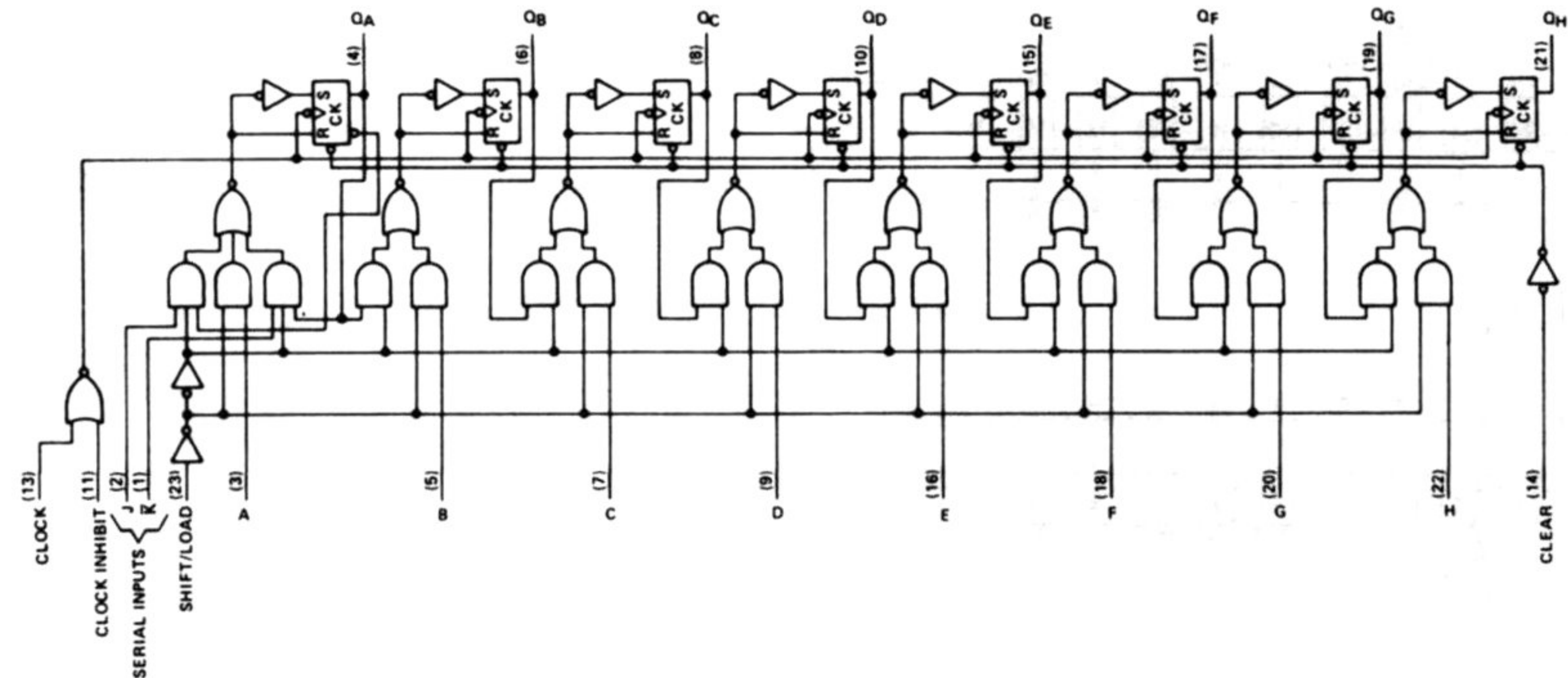
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE					DF									
TI														
東芝														
SGS														
CYPRES														
IDT														

入力				動作
Clear	Mode control		CK	
	S 1	S 0		
H	L	H	↑	右シフト
H	H	L	↑	左シフト
H	H	H	↑	ロード
H	L	L	X	ホールド*
L	X	X	X	クリア

*クロックLの期間中S 1 = S 0 = Lにすると1bitシフトしてホールドする
クロックHの期間中ならばそのままホールド

74199 8-Bit Shift Register

JK → 8

74195を8bitにして，クロックインヒビット端子を設けたタイプ

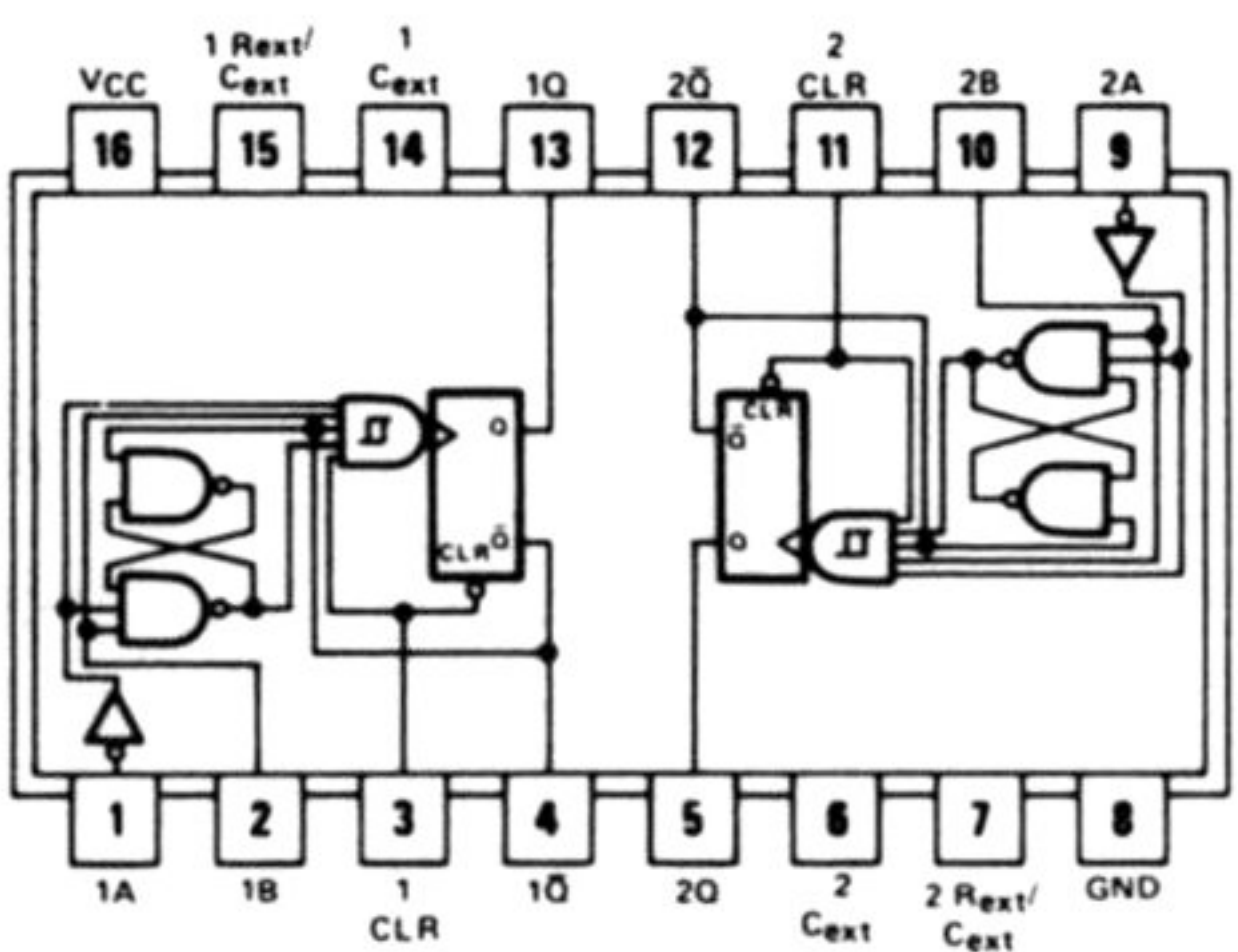
入力				動作
Clear	Shift/Load	CK	CK Inhibit	
H	H	↑	L	右シフト
H	L	↑	L	ロード
H	X	X	H	ホールド*
L	X	X	X	クリア

*CKがLの期間中にCK InhibitをHに上げると1bitシフトしてホールドされる
CKがHの期間中ならばそのままホールド

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK								70									MHz
tw	min	CK, CLR								5.5									ns
tsu	min	DATA								5.5									ns
ten	min	MODE-C								6.5									ns
thold	min	ALL								5.5									ns
tpd	max	CLK		Q						13.5									ns
tpd	max	CLEAR		Q						12.0									ns
Icc	max									105									mA
IIH	max	ALL	H							20									μA
IIL	max	ALL	L							0.6									mA
IOH	max			ALL	H					1									mA
IOL	max			ALL	L					20									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE					DF								
TI													
東芝													
SGS													
CYPRES													
IDT													

74221 Dual Single Shot

VCC 16, 1 Rext/Cext 15, 1 Cext 14, 1Q 13, 2$\overline{Q}$ 12, 2 CLR 11, 2B 10, 2A 9

1A 1, 1B 2, 1 CLR 3, 1$\overline{Q}$ 4, 2Q 5, 2 Cext 6, 2 Rext/Cext 7, GND 8

○ A入力，B入力ともシュミット入力である

○ トリガは$\overline{A}$・B＝Hになったときにかかる

+5V

C_1 R_1

100 kΩ（LS）

$1.4\,k\Omega \leq R_T \leq 40\,k\Omega$（N）

$0 \leq C_T \leq 1000\,\mu F$

$T_W = 0.7\,C_T R_T$

Cx Cx/Rx

A

B

CLR

20ns

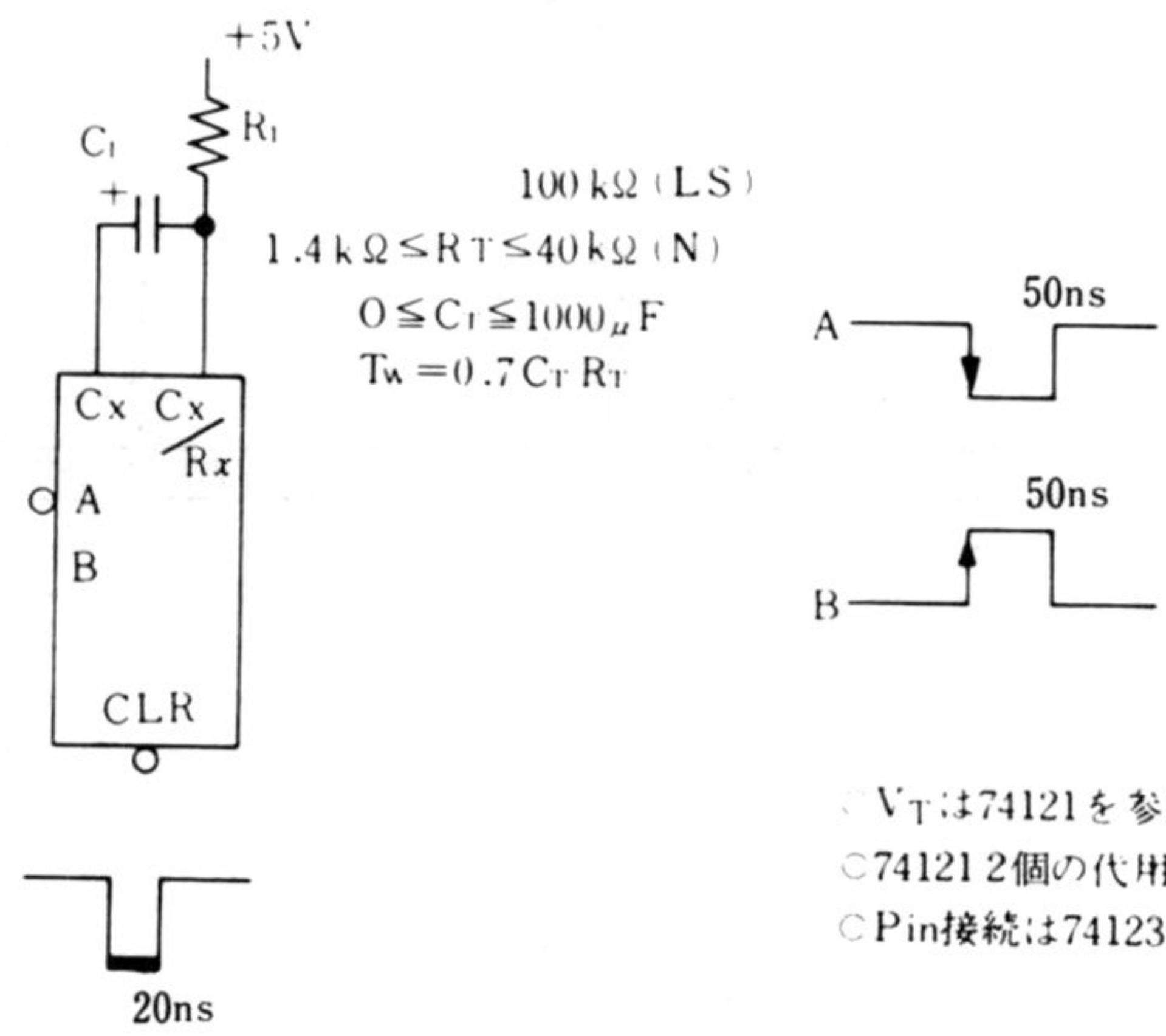
A 50ns

B 50ns

○V_Tは74121を参照

○74121 2個の代用となる

○Pin接続は74123と同じ

参考品種
74121
74123

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A		Q	↑		70							43		53			ns
tpd	max	B		Q	↑		55							43		53			ns
tpd	max	A		-Q	↓		80							45		43			ns
tpd	max	B		-Q	↓		65							45		43			ns
tpd	max	CLR		Q	↓		27							43		48			ns
tpd	max	CLR		-Q	↑		40							45		46			ns
tw	max	CT=0		RT=2K			30							20		26			ns
D. Cyc.	max	RT=2K					50												%
D. Cyc.	max	RT=MAX					90												%
Icc	max			Q	L		11							0.08		0.08			mA
Icc	max			Q	H		27							0.08		0.08			mA
IIH	max	A	H				20												μA
IIL	max	B	L				0.36												mA
IIH	max	A	H				20												μA
IIL	max	B	L				0.8												mA
IIH	max	CLR	H				20												μA
IIL	max	CLR	L				0.8												mA
IOH	max			Q, -Q	H		0.4							4		4			mA
IOL	max			Q, -Q	L		8							4		4			mA

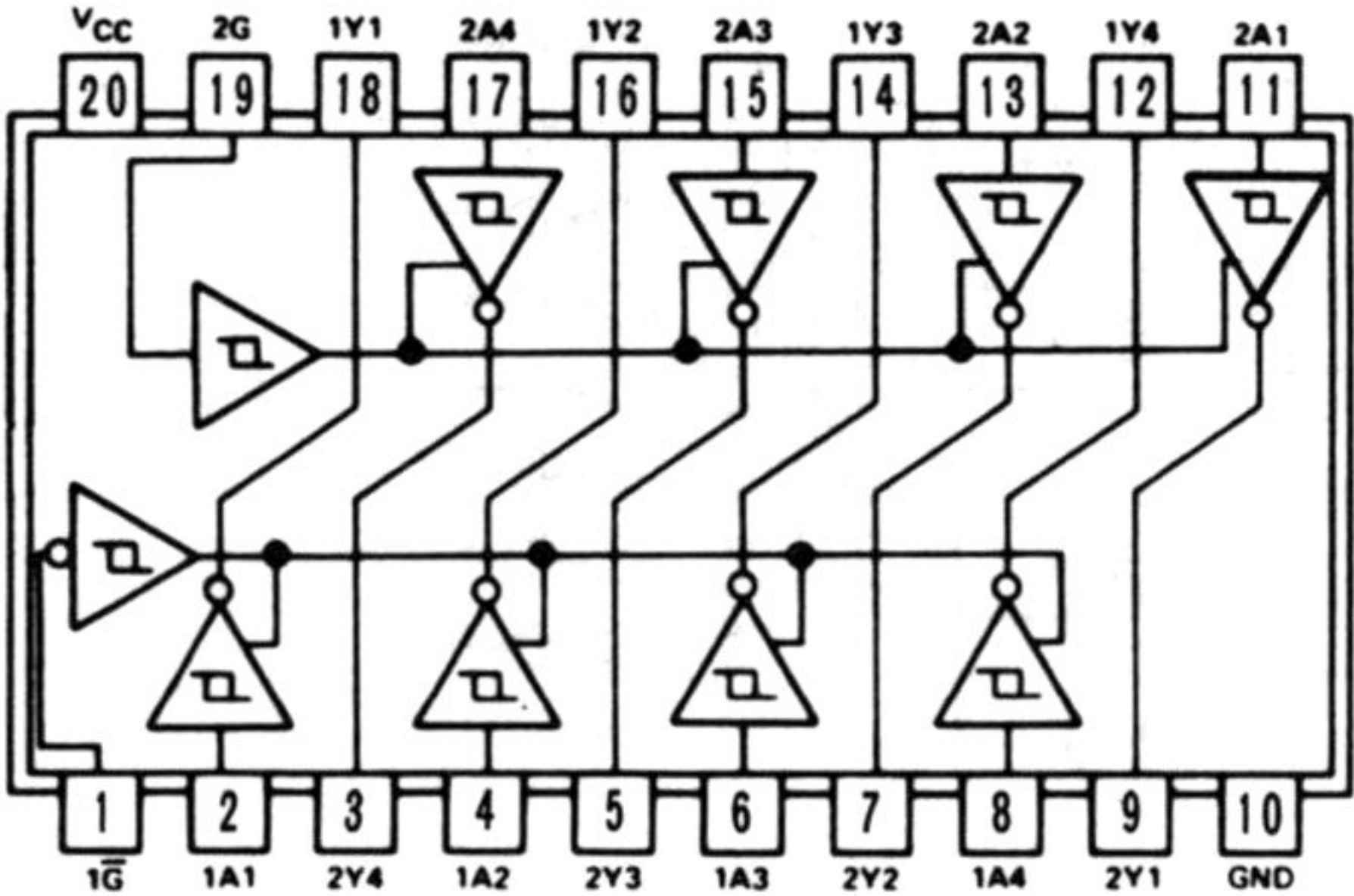
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					D		DF				
MOT		D											
日電									DF				
NS		DF							DF				
PHIL									DF		DF		
RCA									DF		DF		
SIGNE													
TI		DF											
東芝		D							DF				
SGS									DF				
CYPRES													
IDT													

74230 Octal 3-State Bus Inverters

○データ正論理/負論理 半分ずつ

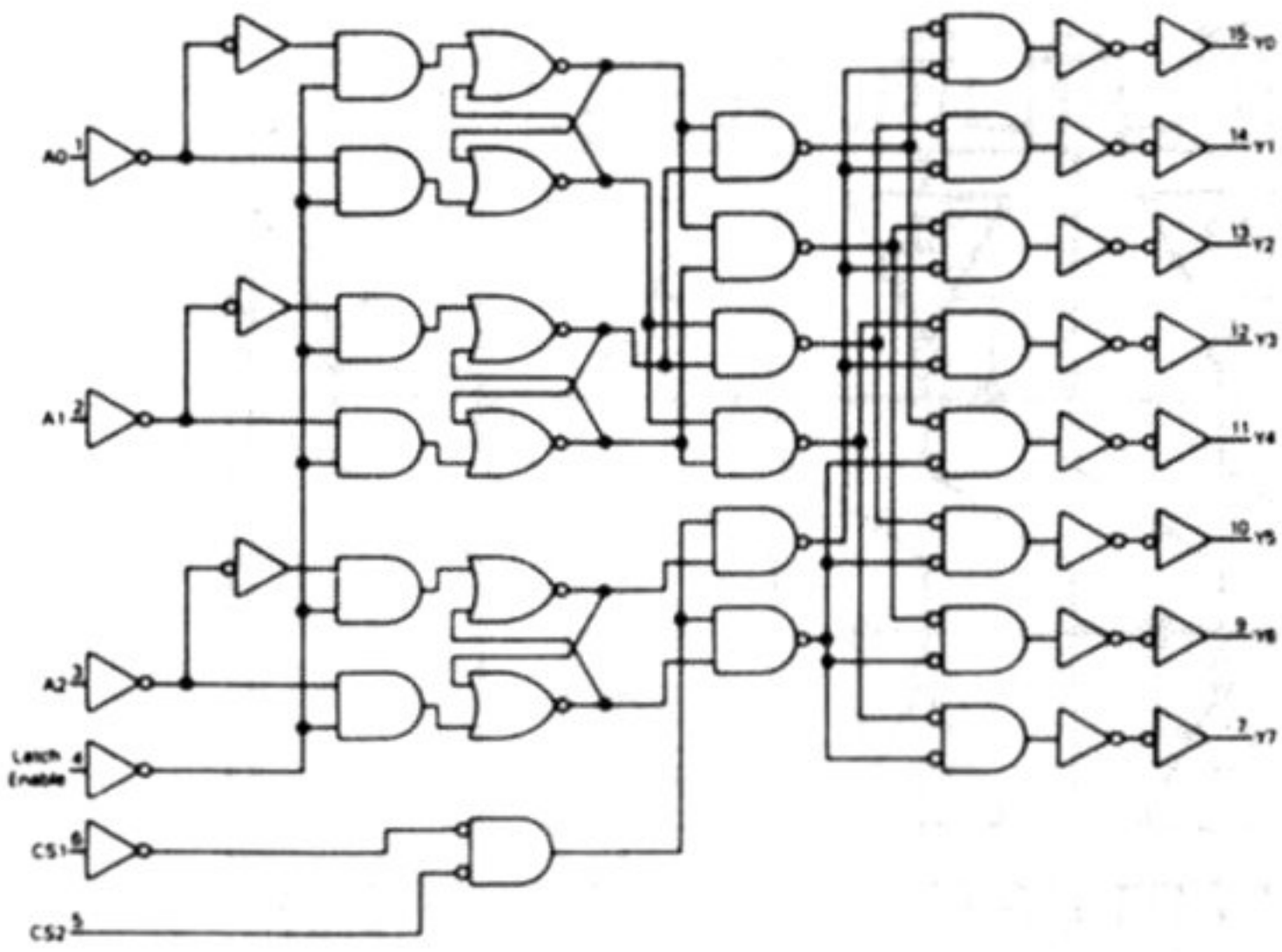
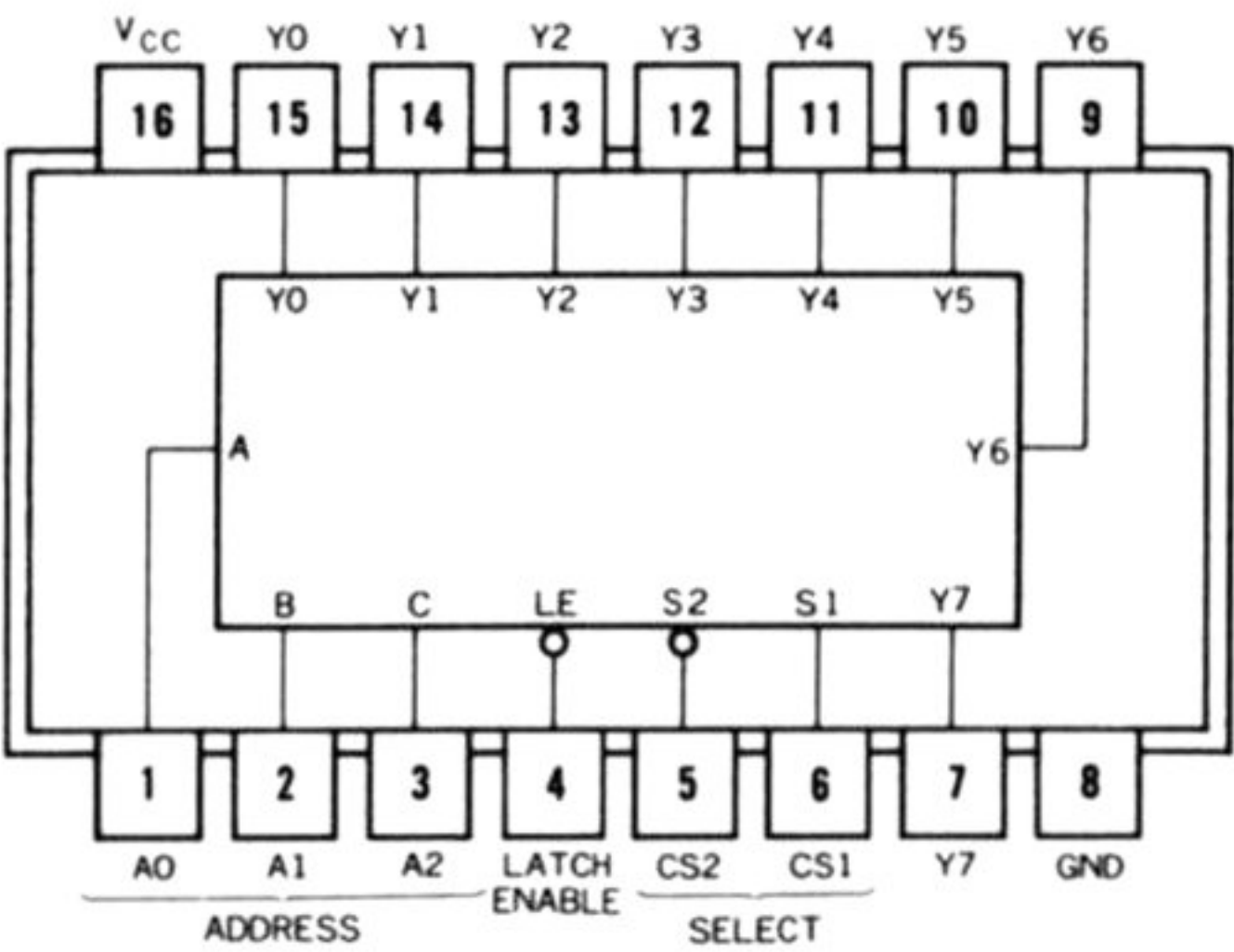
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	1A		1Y							6.5						7.5		ns
tpd	max	2A		2Y							6.2						7.5		ns
tpd	max	-1G	Z→X	1Y							8.5						11.5		ns
tpd	max	-1G	X→Z	1Y							9.5						10		ns
tpd	max	-2G		2Y							9						10		ns
Icc	max				L						87						27		mA
IIH	max	2A									20								μA
IIL	max	2A									1								mA
IIH	max	OTHERS									20								μA
IIL	max	OTHERS									0.5								mA
IOH	max			ALL	H						15						3		mA
IOL	max			ALL	L						64						24		mA
IZL	max			ALL	L						50						50		μA
IZH	max			ALL	H						50						50		μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS						DF								
PHIL														
RCA														
SIGNE														
TI						DF								
東芝												DF		
SGS														
CYPRES														
IDT														

74231 (67306)　　Octal 3-State Bus Inverters

○74241のデータ反転版

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A		Y							6.5						7.5		ns
tpd	max	-G		Z→X							8.5						11.5		ns
tpd	max	-G		X→Z							9.5						10		ns
tpd	max	G		Z→X							9						11.5		ns
tpd	max	G		X→Z							7						10		ns
Icc	max				L						82						27		mA
IIH	max	ALL	H								20								μA
IIL	max	ALL	L								0.5								mA
IOH	max			ALL	H						15						3		mA
IOL	max			ALL	L						64						24		mA
IZL	max			ALL	H						50						50		μA
IZH	max			ALL	L						50						50		μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI						D								
東芝												DF		
SGS														
CYPRES														
IDT														

74237　3 to 8 Line Decoder (with Address Latch)

Inputs						Outputs							
LE	CS1	CS2	A2	A1	A0	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	X	H	X	X	X	L	L	L	L	L	L	L	L
X	L	X	X	X	X	L	L	L	L	L	L	L	L
L	H	L	L	L	L	H	L	L	L	L	L	L	L
L	H	L	L	L	H	L	H	L	L	L	L	L	L
L	H	L	L	H	L	L	L	H	L	L	L	L	L
L	H	L	L	H	H	L	L	L	H	L	L	L	L
L	H	L	H	L	L	L	L	L	L	H	L	L	L
L	H	L	H	L	H	L	L	L	L	L	H	L	L
L	H	L	H	H	L	L	L	L	L	L	L	H	L
L	H	L	H	H	H	L	L	L	L	L	L	L	H
H	H	L	X	X	X	*							

＊＝LEがL時のアドレス状態による

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tsu	min	A		LE										25		19			ns
thold	min	LE		A										13		5			ns
tw	min	LE												20		20			ns
tpd	max	A		L→H	↑									59		46			ns
tpd	max	A		H→L	↓									46		46			ns
tpd	max	CG2		L→H	↑									50		36			ns
tpd	max	CG2		H→L	↓									36		36			ns
tpd	max	CG1		L→H	↑									50		36			ns
tpd	max	CG1		H→L	↓									40		36			ns
tpd	max	LE		L→H	↑									63		48			ns
tpd	max	LE		H→L	↓									48		48			ns
Icc	max													0.08		0.08			mA
IOH	max			ALL	H									4		4			mA
IOL	max			ALL	L									4		4			mA
					社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
					日立									DF		DF			
					MOT									DF					
					日電									DF					
					NS														
					PHIL									DF		DF			
					RCA									DF		DF			
					SIGNE														
					TI									DF					
					東芝									DF					
					SGS									DF					
					CYPRES														
					IDT														

74238　　3 to 8 Line Decoder/Demultiplexer (HIGH on Select)

VCC Y0 Y1 Y2 Y3 Y4 Y5 Y6
16 15 14 13 12 11 10 9
1 2 3 4 5 6 7 8
A B C $\overline{G_{2A}}$ $\overline{G_{2B}}$ G_1 Y_7 GND
SELECT　ENABLE

入力					出力							
ENABLE		SELECT										
G_1	$\overline{G_2}$*	C	B	A	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
X	H	X	X	X	L	L	L	L	L	L	L	L
L	X	X	X	X	L	L	L	L	L	L	L	L
H	L	L	L	L	H	L	L	L	L	L	L	L
H	L	L	L	H	L	H	L	L	L	L	L	L
H	L	L	H	L	L	L	H	L	L	L	L	L
H	L	L	H	H	L	L	L	H	L	L	L	L
H	L	H	L	L	L	L	L	L	H	L	L	L
H	L	H	L	H	L	L	L	L	L	H	L	L
H	L	H	H	L	L	L	L	L	L	L	H	L
H	L	H	H	H	L	L	L	L	L	L	L	H

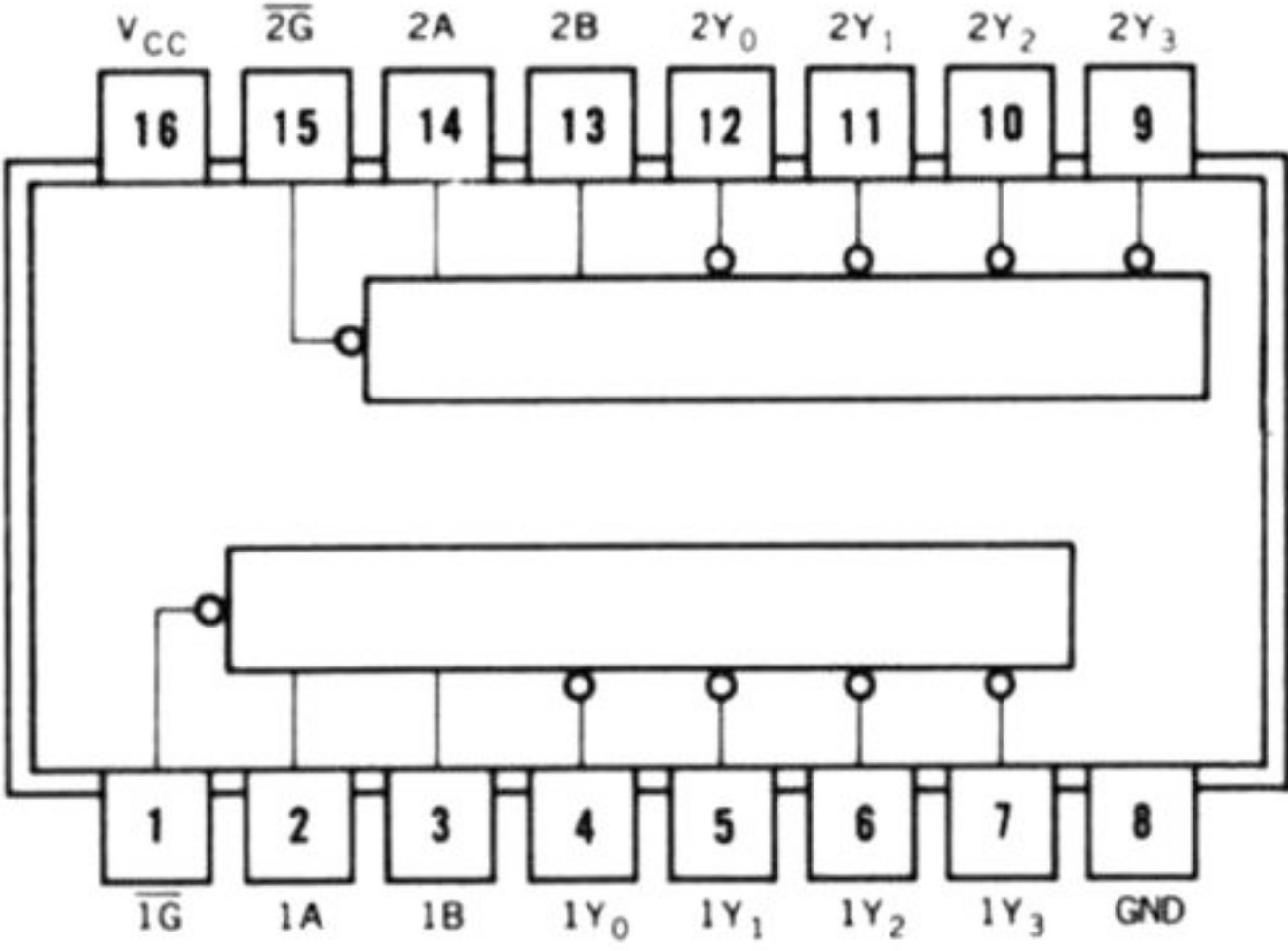
$\overline{G_2}$* = $\overline{G_{2A}}$ + $\overline{G_{2B}}$
H：ハイレベル　L：ロウレベル　X：H or L

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B, C		L→H	↑									38		48			ns
tpd	max	A, B, C		H→L	↓									50		53			ns
tpd	max	G1		L→H	↑									38		43			ns
tpd	max	G1		H→L	↓									38		60			ns
tpd	max	-G2A/B		L→H	↑									38		65			ns
tpd	max	-G2A/B		H→L	↓									44		55			ns
Icc	max													0.08		0.08			mA
IOH	max			ALL	H									4		4			mA
IOL	max			ALL	L									4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF		DF		
MOT													
日電									DF				
NS													
PHIL									DF		DF		
RCA							DF	DF	DF		DF		
SIGNE													
TI							DF	DF	DF		DF		
東芝									DF				
SGS									DF				
CYPRES													
IDT													

74239

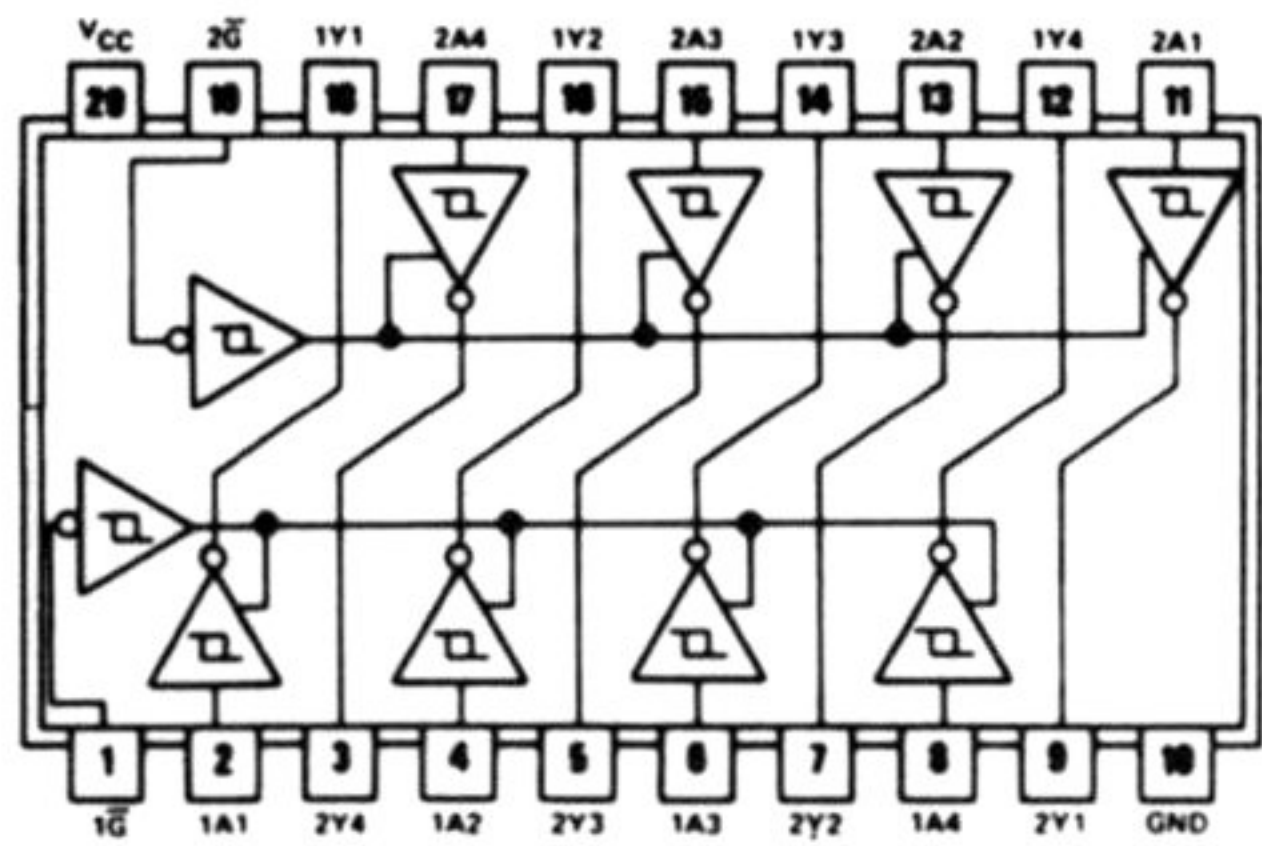
Dual 2 to 4 Line Decoder/Demultiplexer (HIGH on Select)

VCC	$\overline{2G}$	2A	2B	$2Y_0$	$2Y_1$	$2Y_2$	$2Y_3$
16	15	14	13	12	11	10	9
1	2	3	4	5	6	7	8
$\overline{1G}$	1A	1B	$1Y_0$	$1Y_1$	$1Y_2$	$1Y_3$	GND

入　　力			出　　力			
ENABLE	SELECT					
$\overline{G}$	B	A	Y_0	Y_1	Y_2	Y_3
H	X	X	L	L	L	L
L	L	L	H	L	L	L
L	L	H	L	H	L	L
L	H	L	L	L	H	L
L	H	H	L	L	L	H

H：ハイレベル　L：ロウレベル　X：H or L

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	-G		Y										44					ns
tpd	max	A-3DLY		Y										44					ns
tpd	max	A-4DLY		Y										55					ns
Icc	max													0.08					mA
IOH	max			ALL	H									4					mA
IOL	max			ALL	L									4					mA

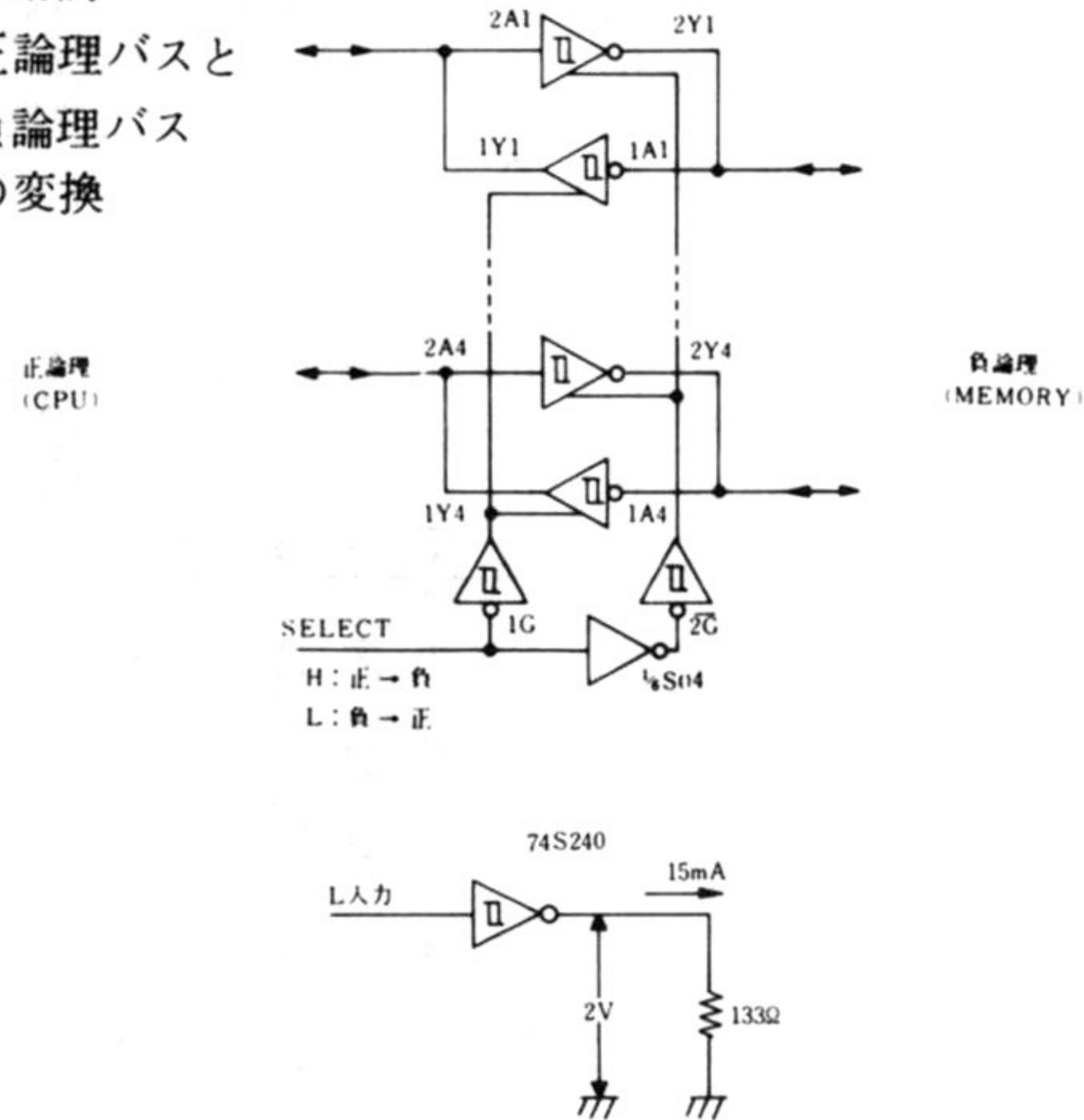
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電									DF					
NS														
PHIL														
RCA														
SIGNE														
TI							DF		DF					
東芝														
SGS														
CYPRES														
IDT														

74240　Octal 3-State Bus Inverters

○$\overline{1G}$がH，$\overline{2G}$がHのときはY はハイインピーダンス

○$\overline{1G}$がL，$\overline{2G}$がLのときはY ＝$\overline{A}$

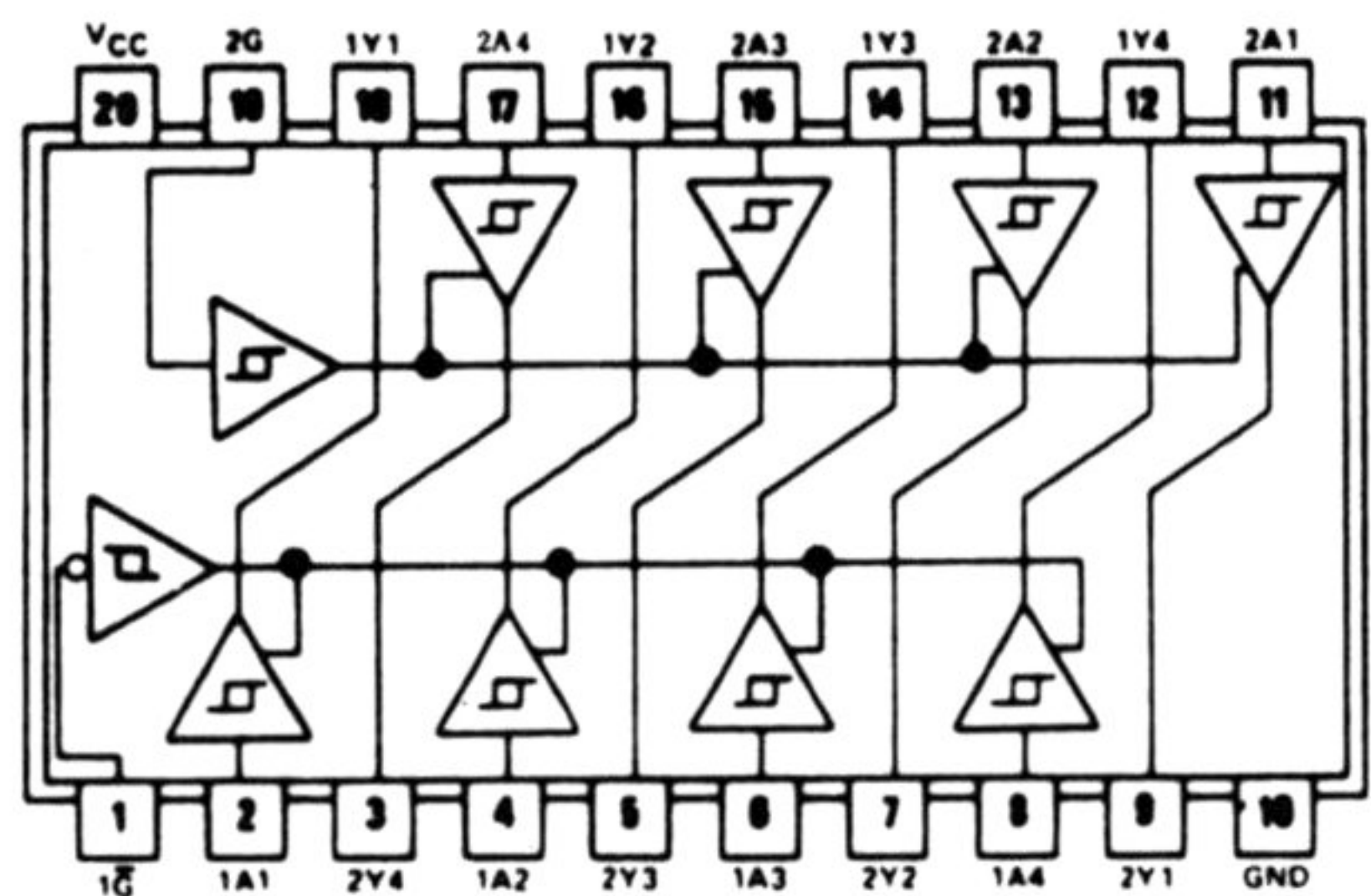
○入力はPNPトランジスタ

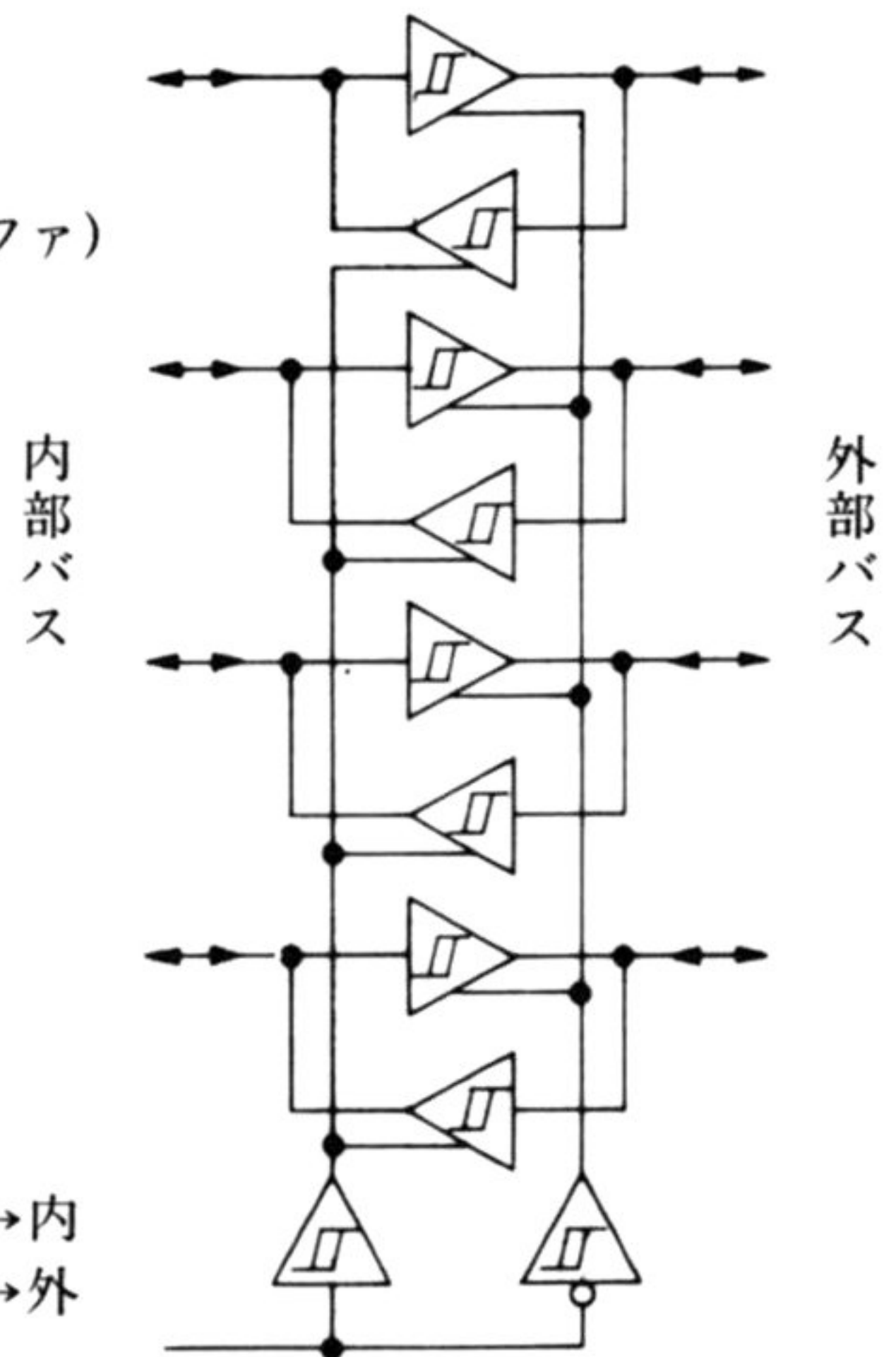
○入力のヒステリシス幅は400mV

応用例
正論理バスと
負論理バス
の変換

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑	10	14	9	9	8	6.5	10.5	9.5	25		25	7.5	5.6	ns
tpd	max			H→L	↓	10	18	9	9	5.7	5.7	9.5	8.5	25		25	7.5	4	ns
tpd	max			Z→L	▽	13	30	18	19	10	9	12.0	10.5	38		38	11.5	10.5	ns
tpd	max			Z→H	△	13	23	13	17	5.7	6.4	12.0	9.5	38		38	10	8.8	ns
tpd	max			L→Z	▼	13.5	(25)	12	6	9.5	9.5	11.0	10.5	38		38	10	9.5	ns
tpd	max			H→Z	▲	13.5	(18)	10	7	6.3	5	13.5	10.5	38		38	9.5	8.1	ns
Icc	max				H	0.004	23	10	6.5	29	17	0.08	0.08	0.08		0.08	0.05	31	mA
Icc	max				L		44	23	10	75	75	0.08	0.08	0.08		0.08	27	171	mA
Icc	max				Z		50	25	12	63	38						0.05	9	mA
IIH	max	A	H				20	20	20	20	20							20	μA
IIL	max	A	L				0.2	0.1	0.1	1	0.5							1	mA
IIH	max	-G	H				20	20	20	20	20							20	μA
IIL	max	-G	L				0.2	0.1	0.1	1	0.5							1	mA
IOH	max			Y	H	12	15	15	15	3	15	24	24	6		6	3	15	mA
IOL	max			Y	L	12	24	24	16	64	64	24	24	6		6	24	64	mA
IZL	max			Y	L		20	20	20		50	5	5	5		5	3	50	μA
IZH	max			Y	H		20	20	20		50	5	5	5		5	24	50	μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF		DF	DF		
MOT		DF			DF		DF	DF	DF		DF			
日電							DF		DF		DF			
NS	F	DF	DF	DF	DF	DF	DF	DF	DF		DF		DF	
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF	DF	DF	DF	DF	DF	DF		DF		DF	
東芝	F	D			D		DFS	DFS	DF		DF	DF		
SGS					DF				DF		DF			
CYPRES														
IDT								DF						

参考品種
74244
74241
81LS98

74241 Octal 3-State Bus Buffers

○入力はPNPトランジスタ
○入力ヒステリシス400mV
○$\overline{1G}$がH，2GがLのときYはハイインピーダンス
○$\overline{1G}$がL，2GがHのときY＝A

応用例
(バスバッファ)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑	9.5	18	11	9	6.2	6.5	10.5	10	29		29	7.5	4.6	ns
tpd	max			H→L	↓	9.5	18	10	9	6.5	5.7	9.5	10	29		29	6.8	5.4	ns
tpd	max			Z→L	▽	13	30	21	19	8	9	12.0	11	38		38	11.5	9.8	ns
tpd	max			Z→H	△	13	23	21	17	6.7	6.4	12.0	10	38		38	11.5	10.3	ns
tpd	max			L→Z	▼	13.5	(25)	15	6	7	9.5	11.0	11.5	38		38	10	11.7	ns
tpd	max			H→Z	▲	13.5	(18)	21	7	7	5	13.5	11.5	38		38	10	9.7	ns
Icc	max				H	0.004	23	15	6.5	60	35	0.08	0.08	0.08		0.08	0.05	40	mA
Icc	max				L		46	26	10	90	90	0.08	0.08	0.08		0.08	27	75	mA
Icc	max				Z		54	30	12	90	56						0.05	10	mA
IIH	max	A	H				20	20	20	20	20							20	μA
IIL	max	A	L				0.2	0.1	0.1	1.6	1							1	mA
IIH	max	-G	H				20	20	20	20	20							20	μA
IIL	max	-G	L				0.2	0.1	0.1	1.6	0.5							1	mA
IOH	max			Y	H	12	15	15	15	3	15	24	24	6		6	3	15	mA
IOL	max			Y	L	12	24	24	16	64	64	24	24	6		6	24	64	mA
IZL	max			Y	L		20	20	20		50	5	5	5		5	3	50	μA
IZH	max			Y	H		20	20	20		50	5	5	5		5	24	50	uA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF		DF			
MOT		DF			DF		D	DF	DF		DF			
日電									DF		DF			
NS	F	DF	DF		DF	DF	DF	DF			D		DF	
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DF	DF	DF				DF	
東芝	F	D			D		DF		DF		DF	DF		
SGS									DF		DF			
CYPRES														
IDT								DF						

参考品種
74244
74241
74245

74242　Quad 3-State Bus Transceivers

8 bit 版として
74LS620, 74LS622 がある

GAB	GBA	動作
H	H	A ← $\overline{B}$
L	H	許されない
H	L	A OFF B
L	L	B ← $\overline{A}$

○入力は PNP トランジスタ

○ヒステリシスは400mV

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		14	11	9	8	6.5			25		35	7.5		ns
tpd	max			H→L	↓		18	10	9	5.7	5.7			25		35	7.5		ns
tpd	max			Z→L	▽		30	21	19	10	7.5			38		50	10.0		ns
tpd	max			Z→H	△		23	18	17	5.7	5.5			38		50	11.5		ns
tpd	max			L→Z	▼		(25)	22	6	8	9.5			38		50	9.5		ns
tpd	max			H→Z	▲		(18)	14	7	6.3	6.5			38		50	10.0		ns
Icc	max				H		38	16	65	46	28			0.08		0.08	15		mA
Icc	max				L		50	21	10	69	60			0.08		0.08	50		mA
Icc	max				Z		50	22	12	63	39						50		mA
IIH	max	A	H				20	20	20	20	20						50		μA
IIL	max	A	L				0.2	0.1	0.1	1	0.1						50		mA
IIH	max	-G	H				20	20	20	20	20						1.0		μA
IIL	max	-G	L				0.2	0.1	0.1	1	0.1						1.0		mA
IOH	max			A, B	H		15	15	15	3	15			6		6	15		mA
IOL	max			A, B	L		24	24	16	64	64			6		6	48		mA
IZL	max			A, B	L		200							5		5	50		μA
IZH	max			A, B	H		20							5		5	50		μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF		DF			
MOT		DF			DF				DF					
日電									D					
NS						DF								
PHIL									DF		DF			
RCA									DF		DF			
SIGNE					DF									
TI			DF		D	DF								
東芝									DF			D		
SGS									DF					
CYPRES														
IDT														

参考品種
74243
74241
74244

74243　Quad 3-State Bus Transceivers

8 bit版として
74LS621, 74LS623がある

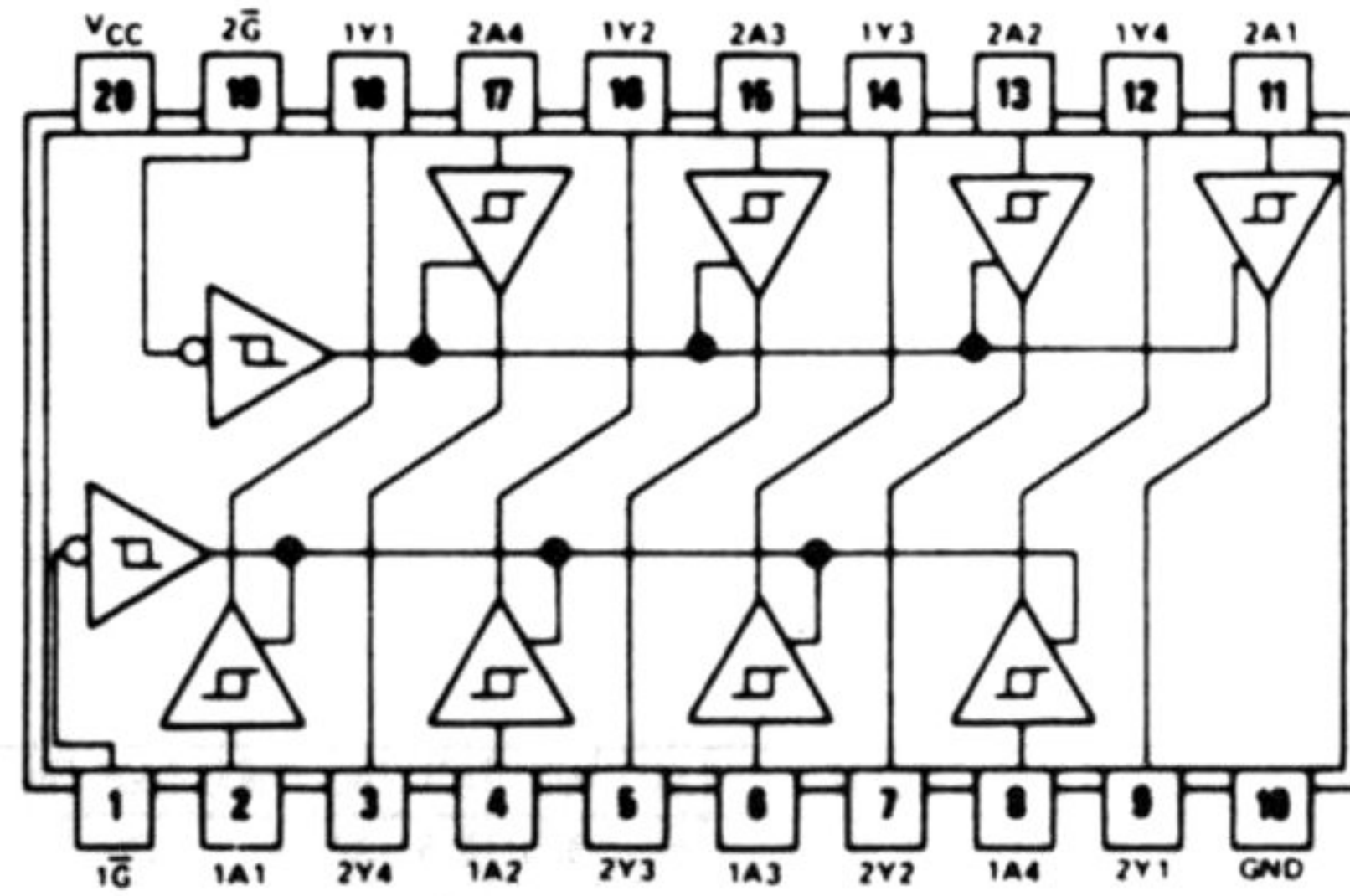
GAB	GBA	動　作
H	H	A ← B
L	H	許されない
H	L	A OFF B
L	L	B ← A

○入力はPNPトランジスタ

○ヒステリシスは400mV

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		18	11	11	6.2	7.5			25		34	7.5		ns
tpd	max			H→L	↓		18	11	11	6.5	6.5			25		34	6.8		ns
tpd	max			Z→L	▽		30	20	21	8.5	7.5			38		50	10.0		ns
tpd	max			Z→H	△		23	20	19	6.7	9			38		50	11.5		ns
tpd	max			L→Z	▼		(25)	22	8	7	9			38		50	9.5		ns
tpd	max			H→Z	▲		(18)	14	9	7	7			38		50	10.0		ns
Icc	max				H		38	25	8	80	44			0.08		0.08	50		mA
Icc	max				L		50	30	12	90	74			0.08		0.08	15		mA
Icc	max				Z		54	32	14	90	56						50		mA
IIH	max	A	H				20	20	20	20	20						50		μA
IIL	max	A	L				0.2	0.1	0.1	1	0.1						.001		mA
IIH	max	-G	H				20	20	20	20	20						50		μA
IIL	max	-G	L				0.2	0.1	0.1	1	0.1						.001		mA
IOH	max			A, B	H		15	15	15	3	15			6		6	15		mA
IOL	max			A, B	L		24	24	16	64	64			6		6	48		mA
IZL	max			A, B	L		200							5		5	50		μA
IZH	max			A, B	H		20							5		5	50		μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF		DF		
MOT		D			DF								
日電									D				
NS		DF	DF		F	DF							
PHIL									DF		DF		
RCA									DF		DF		
SIGNE					DF								
TI		DF	DF		D	DF							
東芝		D							DF			D	
SGS									DF		DF		
CYPRES													
IDT													

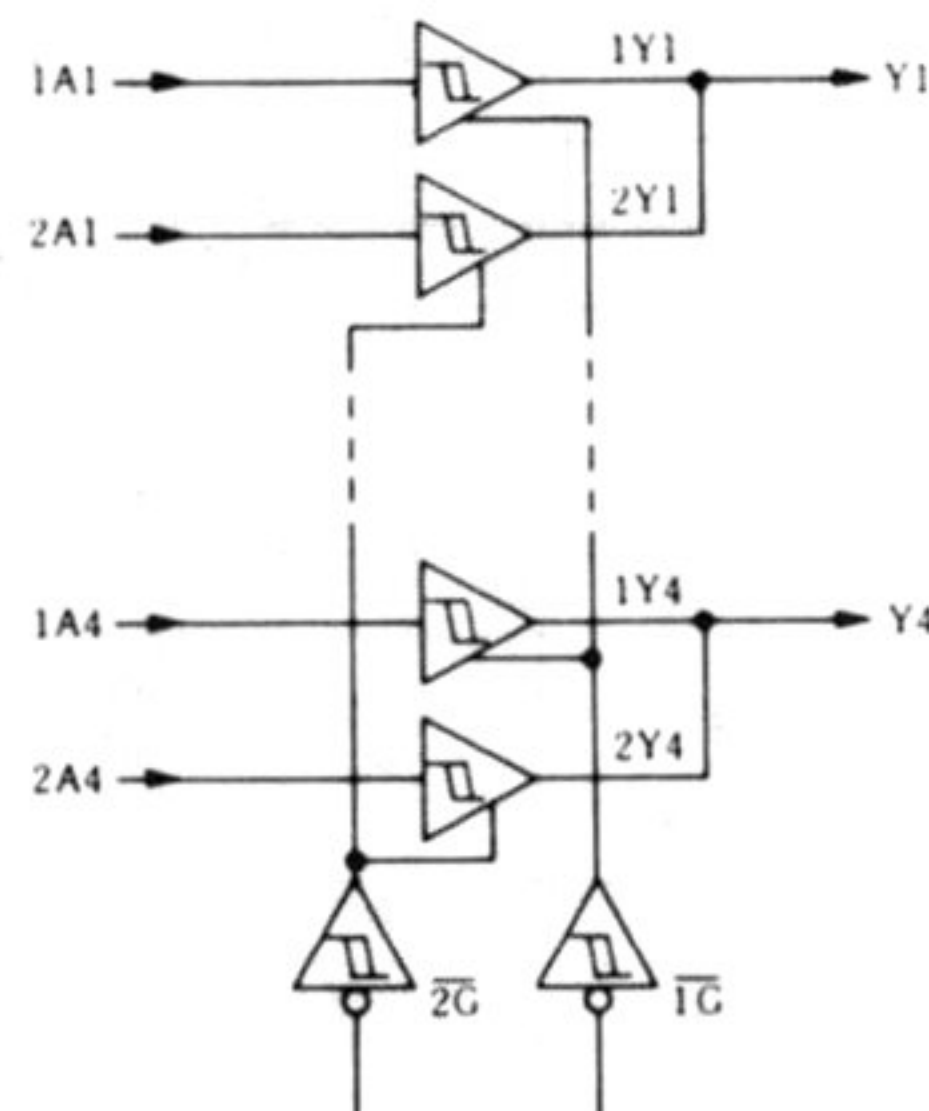
74244 Octal 3-State Bus Buffers

○$\overline{1G}$, $\overline{2G}$がHのとき，Yはハイインピーダンス

○$\overline{1G}$, $\overline{2G}$がLのとき，Y＝A

○入力はPNPトランジスタ

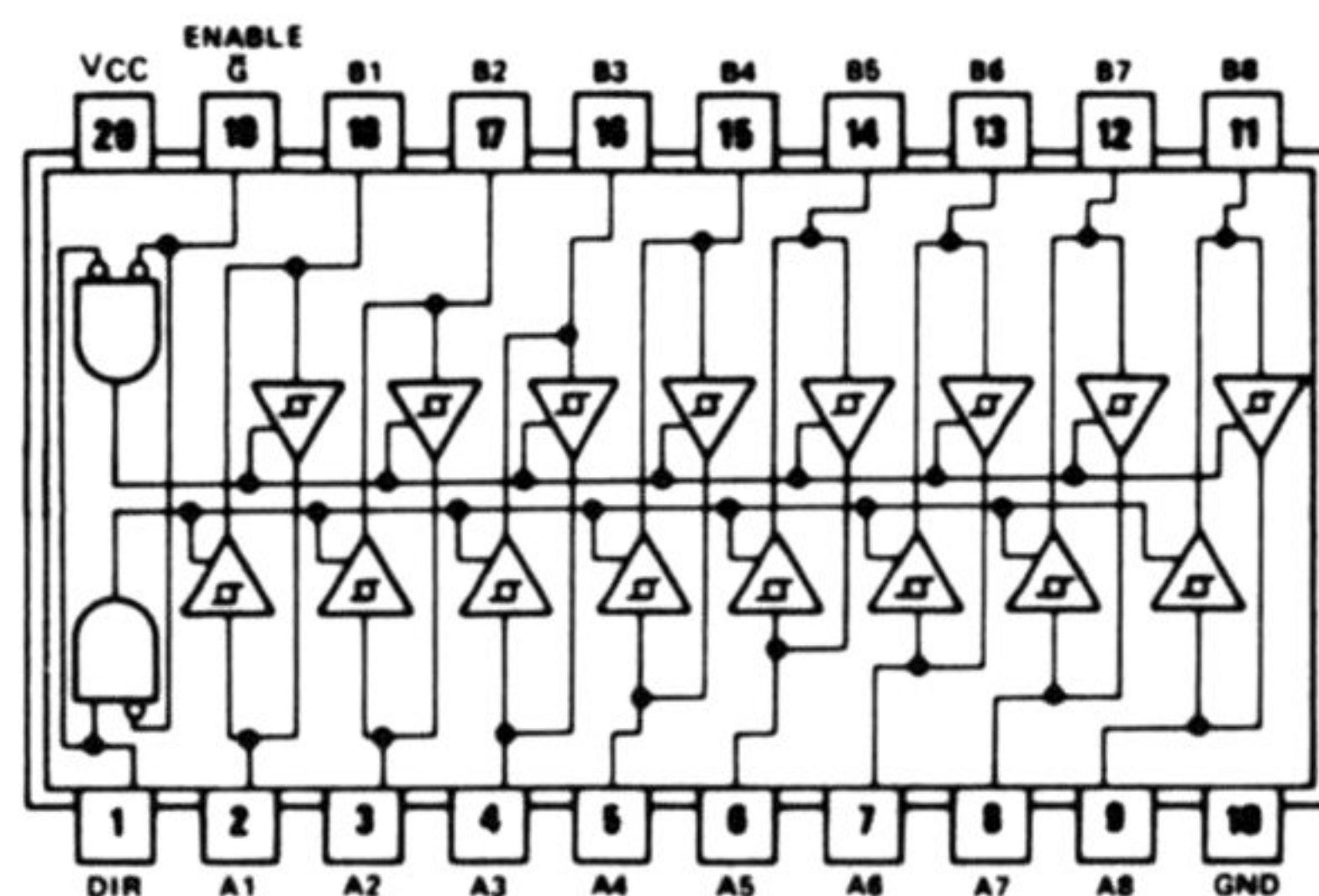
○入力ヒステリシス400mV

応用例

(データセレクタ)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑	9.5	18	10	14	6.2	6.2	10.5	10	29		29	7.5	5.3	ns
tpd	max			H→L	↓	9.5	18	10	14	6.5	6.2	9.5	10	29		29	6.8	6	ns
tpd	max			Z→L	▽	13	30	20	22	8	7.5	12.0	10.5	38		38	11.5	9.4	ns
tpd	max			Z→H	△	13	23	20	22	6.7	9	12.0	9.5	38		38	11.5	9	ns
tpd	max			L→Z	▼	13.5	(25)	13	13	7	9	11.0	10.5	38		38	10	9.8	ns
tpd	max			H→Z	▲	13.5	(18)	10	10	7	6	13.5	10.5	38		38	10	8	ns
Icc	max				H	0.004	23	15	11	60	34	0.08	0.08	0.08		0.08	0.05	40	mA
Icc	max				L		46	24	17	90	90	0.08	0.08	0.08		0.08	27	80	mA
Icc	max				Z		54	27	20	90	54						0.05	10	mA
IIH	max	A	H				20	20	20	20	20							20	μA
IIL	max	A	L				0.2	0.1	0.1	1	0.3							1	mA
IIH	max	-G	H				20	20	20	20	20							20	μA
IIL	max	-G	L				0.2	0.1	0.1	1	0.3							1	mA
IOH	max			Y	H	12	15	15	15	3	15	24	24	6		6	3	15	mA
IOL	max			Y	L	12	24	24	16	64	64	24	24	6		6	24	64	mA
IZL	max			Y	L		20	20			50	5	5	5		5	3	50	μA
IZH	max			Y	H		20	20			50	5	5	5		5	24	50	μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF		DF	DF		
MOT		DF			DF		DF	DF	DF		DF			
日電							DF		DF		DF			
NS	F	DF	DF	DF	DF	DF	DF	DF	DF		DF		DF	
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF	DF	DF	DF	DF	DF	DF		DF		DF	
東芝	F	D			D		DFS	DFS	DF		DF	DF		
SGS														
CYPRES					DF									
IDT								DF						

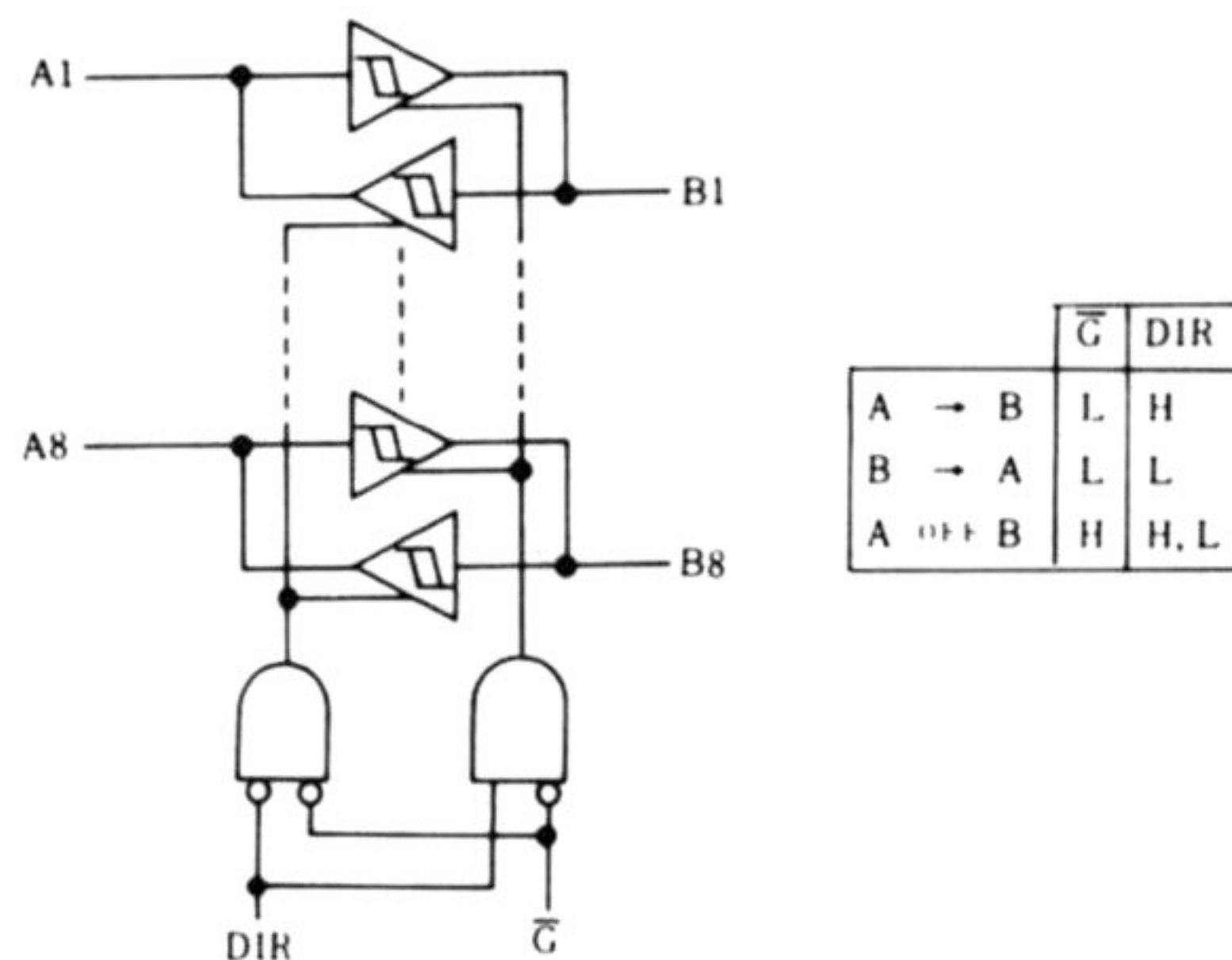
参考品種
74240
74241
81LS97

74245 Octal 3-State Bus Transceivers

○マイクロコンピュータのバスライン増強用

○入力はPNPトランジスタ

応用例

	$\overline{G}$	DIR
A → B	L	H
B → A	L	L
A OFF B	H	H, L

参考品種
74645
76460～2
8286

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑	10	12	10	13	6.5	6	9.5	9.5	22		29		7	ns
tpd	max			Z→L	▽	13	40	20	29	11	8	11.0	12	56		38		11.6	ns
tpd	max			Z→H	△	13	40	20	25	8	8	11.0	11	56		38		10.9	ns
tpd	max			L→Z	▼	14.5	(25)	15	21	6	5	10.0	11	52		38		9.7	ns
tpd	max			H→Z	▲	14.5	(25)	10	18	7.5	4.5	12.5	11	52		38		9.3	ns
Icc	max				H	0.004	70	45	32	195	62	0.08	0.08	0.08		0.08		57	mA
Icc	max				L		90	55	37	195	95	0.08	0.08	0.08		0.08		90	mA
Icc	max				Z		95	58	39	195	79							15	mA
IIH	max	-G	H				20	20	20	20	20							20	μA
IIL	max	-G	L				0.2	0.1	0.1	1.6	0.1							1.2	mA
IIH	max	DIR	H				20	20	20	20	20							20	μA
IIL	max	DIR	L				0.2	0.1	0.1	1.2	0.1							1.2	mA
IIH	max	A, B	H				20	20	20	70	50							70	μA
IIL	max	A, B	L				0.2	0.1	0.1	1	0.75							0.65	mA
IOH	max			A	H	12	15	15	15	1	15	24	24	6		6		3	mA
IOL	max			A	L	12	24	24	16	20	48	24	24	6		6		24	mA
IOH	max			B	H		15	15	15	1	15	24	24	6		6		15	mA
IOL	max			B	L		24	24	16	64	48	24	24	6		6		64	mA
IZL	max			A, B	L		10					5	5	5		5			μA
IZH	max			A, B	H		100					5	5	5		5			μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					DF	DF	DF		DF	DF	
MOT		DF			DF		DF	DF	DF		DF		
日電							DF	DF	DF		DF		
NS	F	DF	DF		DF	DF	DF	DF	DF		DF		DF
PHIL	DF								DF		DF		
RCA							DF	DF	DF		DF		
SIGNE			DF		DF								
TI		DF	DF	DF	DF	DF	DF	DF	DF		DF	DF	DF
東芝	F	D			D		DFS	DFS	DF		DF		
SGS									DF		DF		
CYPRES					DF								
IDT								DF					

74247 BCD to 7 Segment Decoder/Driver

○オープンコレクタ出力.

○74246と74247は出力耐圧が異なるのみ.
　他は同一.

○74246と7446, 74247と7447はそれぞれ6及び9の字形が異なるのみ. 他は同一. したがって交換可能.

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max						100												ns
VOH	max			a～g			15												V
Icc	max	ALL	H	OPEN			13												mA
IIH	max	BI/RBO	H																μA
IIL	max	BI/RBO	L				1												mA
IIH	max	OTHERS	H				20												μA
IIL	max	OTHERS	L				0.36												mA
IOH	max			BI/RBO	H		0.05												mA
IOL	max			BI/RBO	L		3.2												mA
IOL	max			a～g	L		24												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF												
MOT		D												
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI		DF												
東芝														
SGS														
CYPRES					DF									
IDT														

参考品種
7446
7447

74248 BCD to 7 Segment Decoder/Driver

○74246, 74247とはa～gの論理が逆になっているのでTrを接続してニキシまたは電球等の日の字形表示器をドライブできる.

○字形およびRBI, BI/RBO, LTの使用法は74246, 74247と同一（7446参照）

○ a ～ g 出力が抵抗(2 kΩ)でプルアップされているので直接Trを接続できる.

○7448とは6と9の字形が異なるが, 他は同一

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max						100												ns
tpd	max			a～g			(100)												ns
Icc	max	ALL	H	OPEN			38												mA
IIH	max	BI/RBO	H																μA
IIL	max	BI/RBO	L				1												mA
IIH	max	OTHERS	H				20												μA
IIL	max	OTHERS	L				0.36												mA
IOH	max			BI/RBO	H		0.05												mA
IOL	max			BI/RBO	L		3.2												mA
IOH	max			a～g	H		0.1												mA
IOL	max			a～g	L		6												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF											
MOT		D											
日電													
NS													
PHIL													
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT													

74249　BCD to 7 Segment Decoder/Driver

○74248 のプルアップ抵抗を省いたタイプ（オープンコレクタ）で他は同一

○RBI, BI/RBO, LT 等の使用法は7446を参照のこと。

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A～D		a～g			100												ns
tpd	max	RBI		a～g			(100)												ns
VOH	max						5.5												V
Icc	max	ALL	H	OPEN			15												mA
IIH	max	BI/RBO	H																μA
IIL	max	BI/RBO	L				1												mA
IIH	max	OTHERS	H				20												μA
IIL	max	OTHERS	L				0.36												mA
IOH	max			BI/RBO	H		0.05												mA
IOL	max			BI/RBO	L		3.2												mA
IOH	max			a～g	H		0.25												mA
IOL	max			a～g	L		8												mA

FUNCTION TABLE

INPUTS				OUTPUTS	
SELECT			STROBE		
C	B	A	S	Y	W
X	X	X	H	Z	Z
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

参考品種
74248

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF											
MOT		D											
日電													
NS													
PHIL													
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT													

74251

3-State 8 to 1 Data Selector

○74151の３ステートタイプ．

○D0～D7に加えた８つのデータ中の１つを，セレクト入力に加えた２進コードにより選びＹに出力し，Ｗには反転出力する．

○ストローブをＨにすることにより，他の入力に無関係に両出力をハイ・インピーダンス状態にする．

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		Y			28	15		11	4	12.5	11.0	49		44			ns
tpd	max	DATA		W			15	15		7	3	12.5	11.0	46		44			ns
tpd	max	SELECT		Y			45	24		15	5	15.0	13.5	51		60			ns
tpd	max	SELECT		W			33	24		9	4.5	15.0	13.5	51		60			ns
tpd	max	STROBE		Y	Z→X		45	15		10	6	12.0	9.0	36		38			ns
tpd	max	STROBE		W	Z→X		40	15		10.5	6	12.0	9.0	38		38			ns
tpd	max	STROBE		Y	X→Z		45	10		7	4	12.0	10.0	49		335			ns
tpd	max	STROBE		W	X→Z		55	10		8.5	4	12.0	10.0	55		35			ns
Icc	max	ALL	H				12	10		22	28	0.08	0.08	0.08		0.08			mA
IIH	max	A, B, C	H				20	20		20	40								μA
IIL	max	A, B, C	L				0.4	0.1		0.6	0.6								mA
IIH	max	OTHERS	H				20	20		20	20								μA
IIL	max	OTHERS	L				0.4	0.1		0.6	0.3								mA
IOH	max			Y, W	H		2.6	2.6		3	15	24	24	4		4			mA
IOL	max			Y, W	L		8	24		20	48	24	24	4		4			mA
IZL	max			Y, W	L		20	20			50	5	5	6		6			μA
IZH	max			Y, W	H		20	20			50	5	5	6		6			μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		DF			DF		D	D	DF					
日電									DF					
NS		DF	DF		DF		DF	DF	DF					
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		D	DF	DF	DF	DF					
東芝		D							DF					
SGS									DF					
CYPRES														
IDT														

参考品種
74151
74152
74351

74253　　Dual 3-State 4 to 1 Data Selectors

○74153の３ステートタイプ．

○C0～C4に加えた４つのデータ中の１つを，セレクト入力に加えた２進コードにより選び出力する．

○アウトプットコントロールをHにすることにより他の入力に無関係に出力をハイ・インピーダンス状態にする．

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		Y			25	14		8	8	19.5	12.5	35		48			ns
tpd	max	SELECT		Y			45	21		13.5	13.5	25.5	14.5	44		50			ns
tpd	max	OUT.C.		Y			28	16		10.5	12.5	11.0	9.0	25		38			ns
tpd	max	OUT.C.		Y			(41)	14		7	7	11.0	10	38		38			ns
Icc	max	OUT.C.	H				14	12		16	29	0.08	0.08	0.08		0.08			mA
IIH	max	A,B					20	20		20	40								μA
IIL	max	A,B					0.4	0.1		0.6	1								mA
IIH	max	OTHERS					20	20		20	20								μA
IIL	max	OTHERS					0.4	0.1		0.6	0.5								mA
IOH	max			Y	H		2.6	2.6		1	15	24	24	4		4			mA
IOL	max			Y	L		8	24		20	48	24	24	4		4			mA
IZL	max			Y	L		20	20			50	5	5	6		6			μA
IZH	max			Y	H		20	20			50	5	5	6		6			μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							D					
MOT		DF			DF		D	D	DF					
日電									DF					
NS		DF	DF		DF		DF	DF	DF					
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DF	DF	DF					
東芝		D			D				DF					
SGS									DF					
CYPRES														
IDT														

FUNCTION TABLE

INPUTS			OUTPUT
SELECT		OUTPUT CONTROL	Y
B	A	G	
X	X	H	Z
L	L	L	C0
L	H	L	C1
H	L	L	C2
H	H	L	C3

参考品種
74153
74353
74352

74256　Dual 4-Bit Addressable Latch

Vcc　$\overline{CL}$　$\overline{E}$　D_b　Q_{3b}　Q_{2b}　Q_{1b}　Q_{0b}
16　15　14　13　12　11　10　9

1　2　3　4　5　6　7　8
A_0　A_1　D_a　Q_{0a}　Q_{1a}　Q_{2a}　Q_{3a}　GND

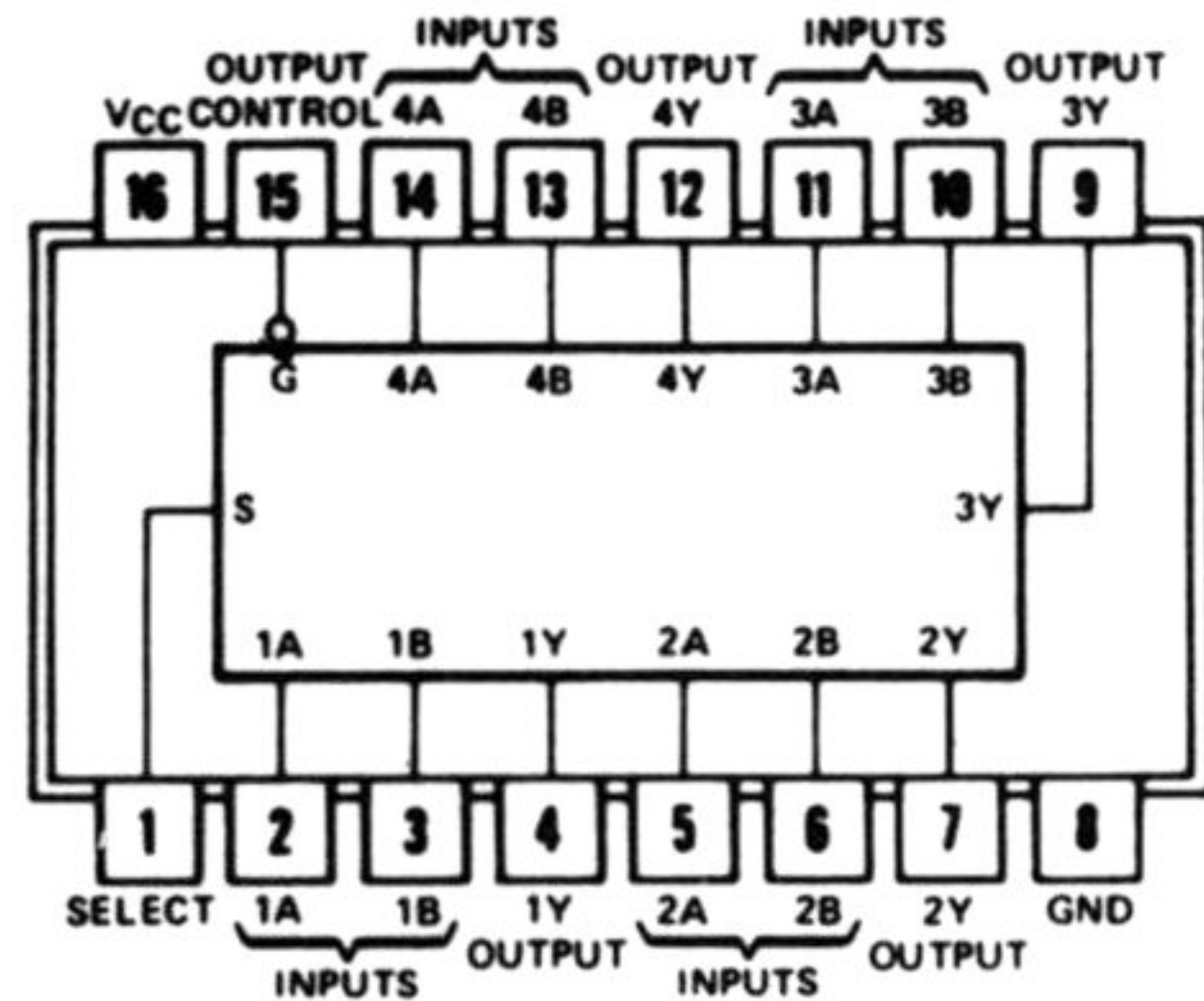
○74LS259と使用法，論理は同じ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		Q			30			10.0		11.5	13.0						ns
tpd	max	ADDRS.		Q			30			14.5		15.5	17.0						ns
tpd	max	ENABLE		Q			27			12.0		12.5	14.0						ns
tpd	max	CLEAR		Q			18			10.0		10.0	11.5						ns
tw	min	ENABLE					17			8.0									ns
tsu	min	ADDRS.					0			2.0		6.0	6.5						ns
tsu	min	DATA					20			7.0		3.5	4.5						ns
thold	min	DATA					0			0		2.0	2.5						ns
Icc	max						25			60		0.08	0.08						mA
IIH	max	ENABLE	H				40			20									μA
IIL	max	ENABLE	L				0.8			0.6									mA
IIH	max	OTHERS	H				20			20									μA
IIL	max	OTHERS	L				0.4			0.6									mA
IOH	max			Q	H		0.4			1		24	24						mA
IOL	max			Q	L		8			20		24	24						mA

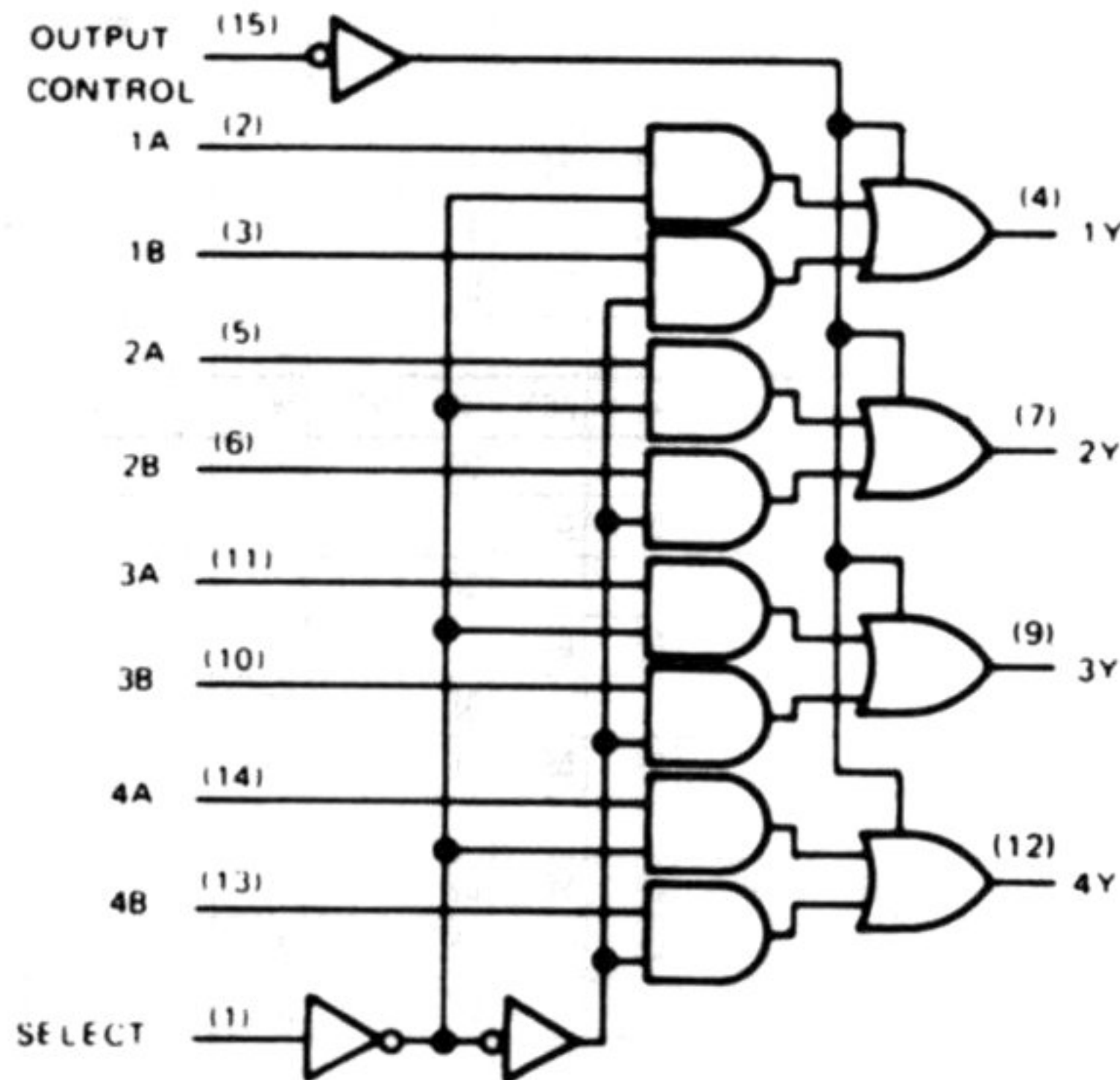
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT		D			D		D	D						
日電														
NS		D												
PHIL														
RCA														
SIGNE					DF									
TI														
東芝		D												
SGS														
CYPRES														
IDT														

参考品種
74259

$\overline{Clear}$	$\overline{Enable}$	動　作
H	L	ラッチ(1ビット書込み)
H	H	ホールド
L	L	正論理デコード
L	H	クリア

74257 Quad 3-State 2 to 1 Data Selectors

○74157の3ステートタイプ

○セレクト入力をLまたはHにすることによりそれぞれデータA，データBを選び出力する．

○アウトプットコントロールをHにすることにより，他の入力に無関係に出力をハイインピーダンス状態にする．

FUNCTION TABLE

INPUT		OUTPUT
Select.	Output Control	Y
X	H	Z
L	L	A
H	L	B

参考品種
74258

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		Y			18	12		7	6	13.0	8.5	25		38			ns
tpd	max	SELECT		Y			21	22		15	11	16.0	11.5	25		44			ns
tpd	max	OUT. C.		Y			30	18		8.5	9.5	10.0	9.0	38		30			ns
tpd	max	OUT. C.		Y			(30)	15		7	7	10.0	10	38		30			ns
Icc	max	OUT. C.	H				19	6		15	19.7	0.08	0.08	0.08		0.08			mA
IIH	max	A, B					40	20		20	40								μA
IIL	max	A, B					0.8	0.1		0.6	1								mA
IIH	max	OTHERS					20	20		20	20								μA
IIL	max	OTHERS					0.4	0.1		0.6	0.5								mA
IOH	max			Y	H		2.6	2.6		1	15	24	24	4		4			mA
IOL	max			Y	L		24	24		20	48	24	24	4		4			mA
IZL	max			Y	L		20	20			50	5	5	5		5			μA
IZH	max			Y	H		20	20			50	5	5	5		5			μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		DF			DF		D		DF				
日電									DF				
NS		DF	DF		DF	DF	DF	DF	DF				
PHIL									DF		DF		
RCA							DF	DF	DF		DF		
SIGNE			DF		DF								
TI		DF	DF		DF	DF	DF	DF	DF				
東芝		D			D		DF	DF	DF		DF		
SGS									DF		DF		
CYPRES													
IDT								DF					

74258 Quad 3-State 2 to 1 Data Selectors

○74158の3ステートタイプ

○セレクト入力をLまたはHにすることによりそれぞれデータA，データBを選び，論理反転して出力する．

○アウトプットコントロールをHにすることにより，他の入力に無関係に出力をハイインピーダンス状態にする．

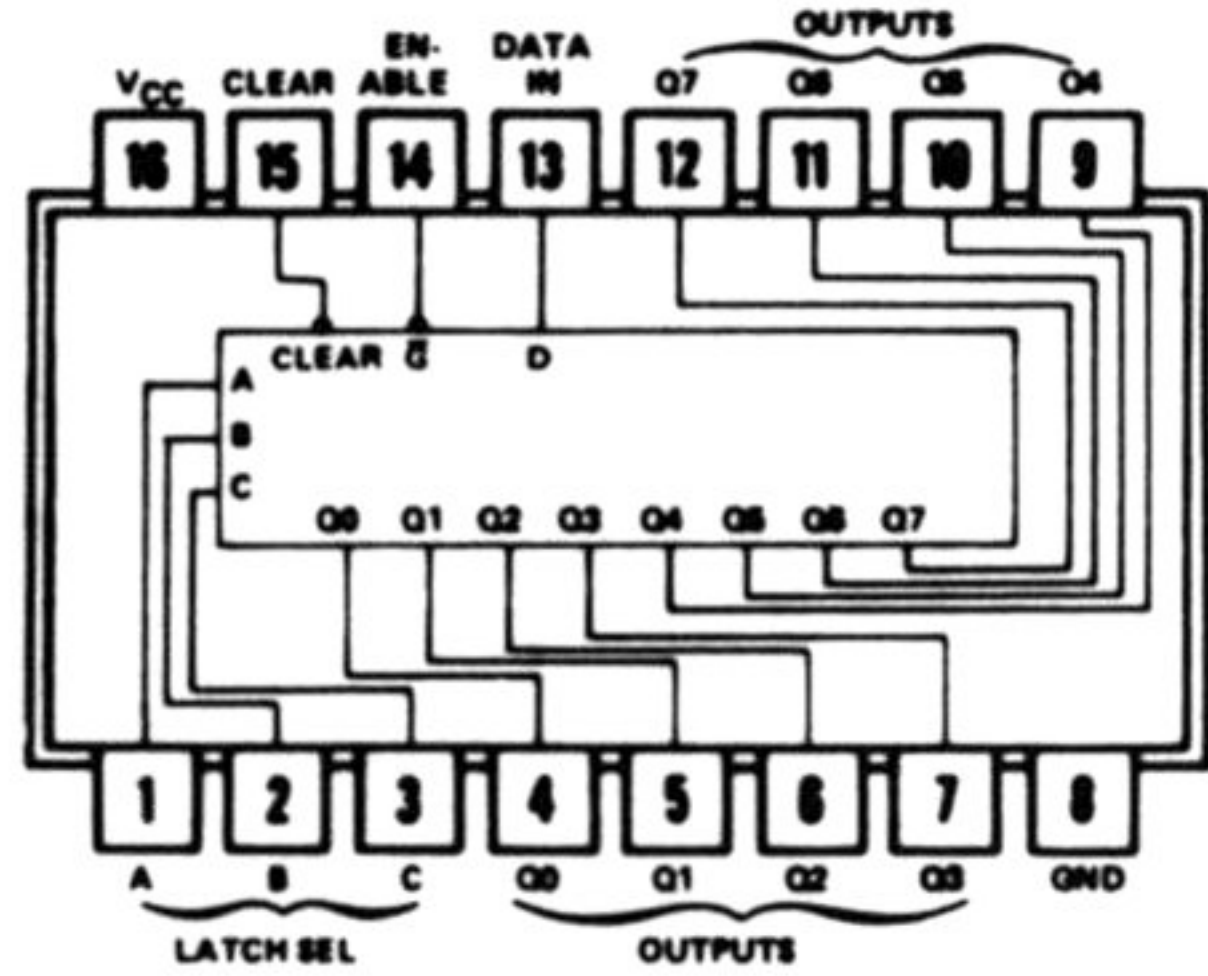
FUNCTION TABLE

INPUT		OUTPUT
Select	Output Control	Y
X	H	Z
L	L	$\overline{A}$
H	L	$\overline{B}$

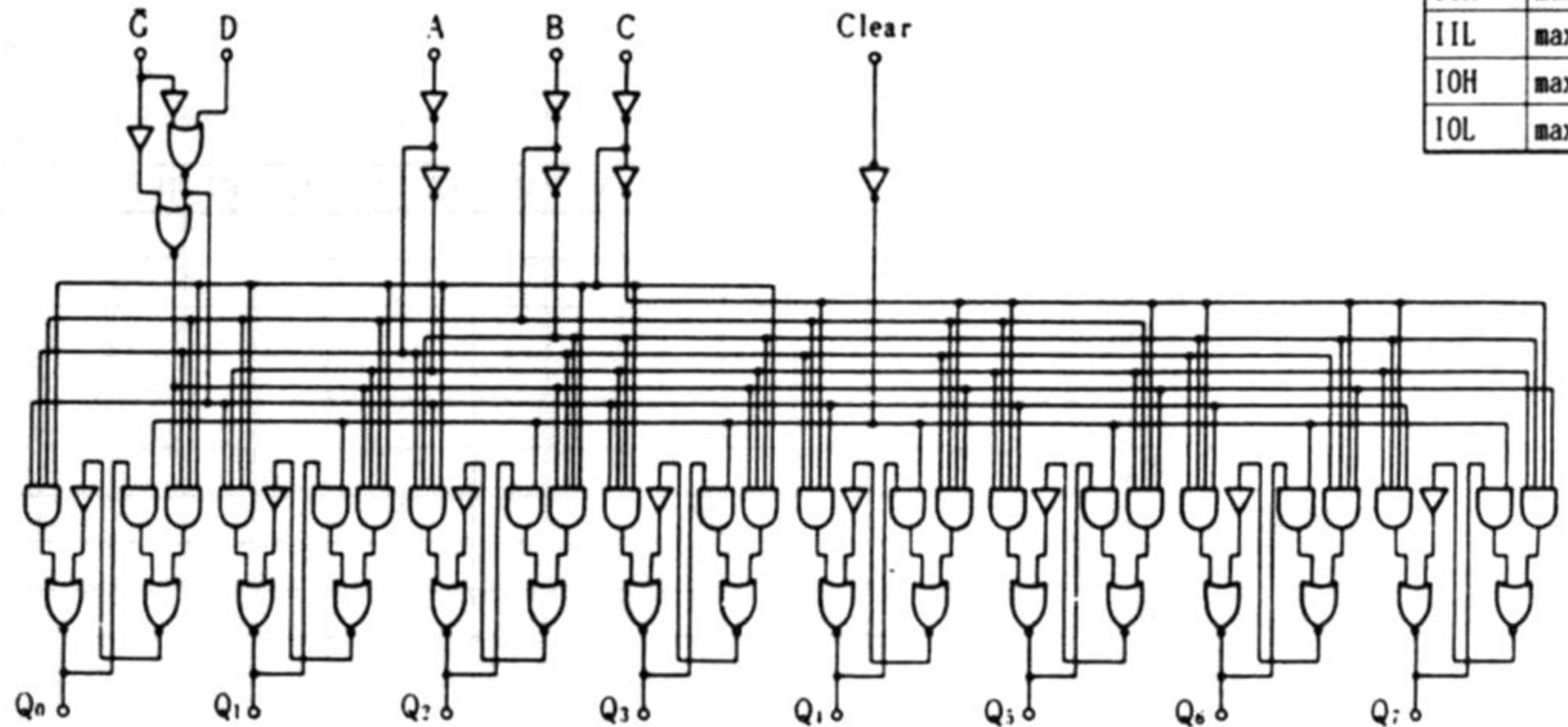
参考品種
74158
74257
74157

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		Y			18	8		6	5	10.5	9.5	24		34			ns
tpd	max	SELECT		Y			21	25		11	10	14.0	11.5	35		43			ns
tpd	max	OUT.C.		Y	Z→X		30	18		8.5	10	10.0	9.5	35		35			ns
tpd	max	OUT.C.		Y	X→Z		(30)	18		7	6.5	11.0	10	38		38			ns
Icc	max	OUT.C.	H				19	4		9.5	13.5	0.08	0.08	0.08		0.08			mA
IIH	max	A,B					40	20		20	40								μA
IIL	max	A,B					0.8	0.1		0.6	1								mA
IIH	max	OTHERS					20	20		20	20								μA
IIL	max	OTHERS					0.4	0.1		0.6	0.5								mA
IOH	max			Y	H		2.6	2.6		1	15	24	24	4		4			mA
IOL	max			Y	L		24	24		20	48	24	24	4		4			mA
IZL	max			Y	L		20	20			50	5	5	5		5			μA
IZH	max			Y	H		20	20			50	5	5	5		5			μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		DF			DF		D	D						
日電									DF					
NS		DF	DF		DF	DF	DF	DF						
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DF	DF	DF					
東芝		D			D		DF		DF		DF			
SGS									DF		DF			
CYPRES														
IDT														

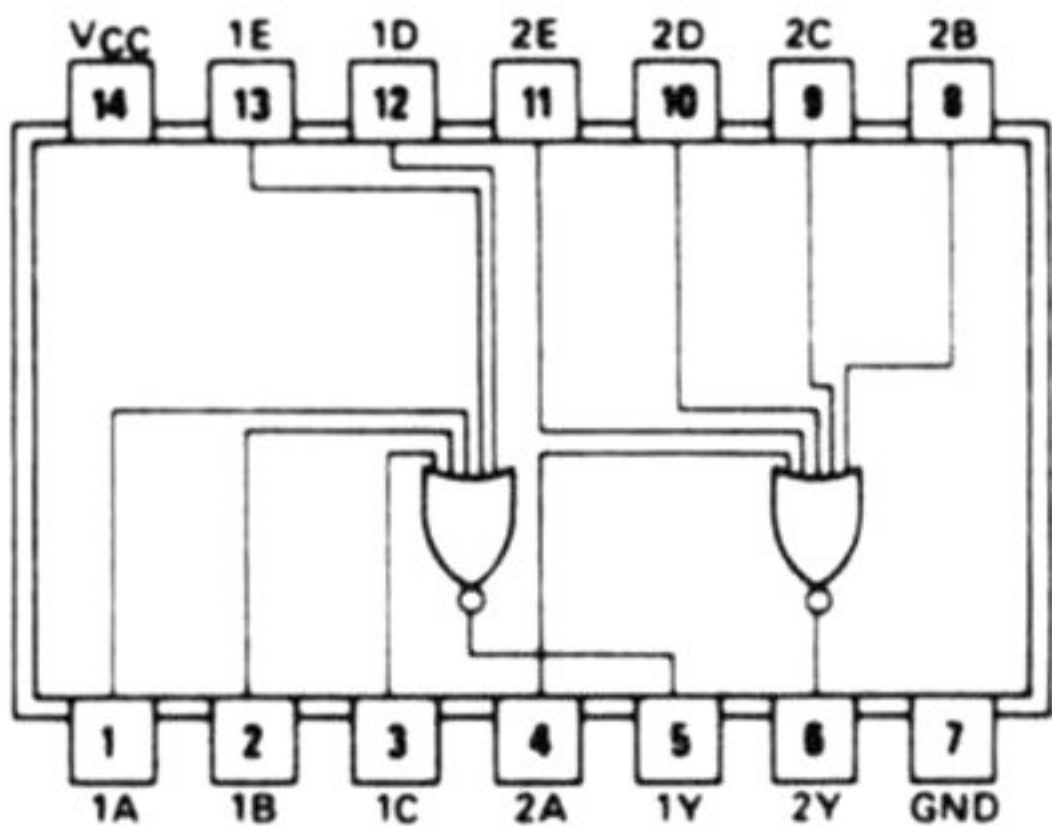
74259　8-Bit Addressable Latches

○入力ラインは1本で，8ビットのラッチのどれか（アドレスによる）にデータをラッチできる．

○カウンタなどによるアドレス付の直列データと並列データの交換を行なうのに便利．

INPUTS CLEAR	INPUTS $\overline{G}$	OUTPUT OF ADDRESSED LATCH	EACH OTHER OUTPUT	FUNCTION
H	L	D	Q_{i0}	Addressable Latch
H	H	Q_{i0}	Q_{i0}	Memory
L	L	D	L	8-Line Demultiplexer
L	H	L	L	Clear

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			DATA			32			10.0				46		49			ns
tpd	max			ADDRS.			38			14.5				54		53			ns
tpd	max			ENABLE			35			12.0				50		48			ns
tpd	max			CLEAR			27			10				39		49			ns
tsu	min	DATA					15↑			7.0				25		21			ns
tsu	min	ADDRS.					15↑			2.0				25		21			ns
thold	min	DATA					0↑			0				0↑		0			ns
thold	min	ADDRS.					0↑			0				0↑		0			ns
Icc	max		L	OPEN			36			75				0.08		0.08			mA
IIH	max	ENABLE	H				20			20									μA
IIL	max	ENABLE	L				0.4			0.6									mA
IIH	max	OTHERS	H				20			20									μA
IIL	max	OTHERS	L				0.4			0.6									mA
IOH	max			ALL	H		0.4			1				4		4			mA
IOL	max			ALL	L		8			20				4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF						DF	DF				
MOT		D			DF		D	D	DF				
日電									DF				
NS		DF							DF				
PHIL									DF		DF		
RCA									DF		DF		
SIGNE					DF								
TI		DF	D						DF				
東芝		D							DF				
SGS									DF				
CYPRES													
IDT													

参考品種
74256

74260　Dual 5 Input NOR

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15			6.5									ns
tpd	max			H→L	↓		15			4.5									ns
Icc	max				H		4			6.5									mA
Icc	max				L		5.5			9.5									mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0.4			0.6									mA
IOH	max			ALL	H		0.4			1									mA
IOL	max			ALL	L		8			20									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT		D												
日電														
NS		DF												
PHIL														
RCA														
SIGNE					DF									
TI					D									
東芝		D												
SGS														
CYPRES														
IDT														

参考品種
7402

74266 Quad 2 Input O.C. Ex-NOR

VCC 4B 4A 4Y 3Y 3B 3A
14 13 12 11 10 9 8
1 2 3 4 5 6 7
1A 1B 1Y 2Y 2A 2B GND

○ $Y=\overline{A \oplus B}=A \cdot B+\overline{A} \cdot \overline{B}$

○オープンコレクタ出力

A	B	Y
L	L	H
L	H	L
H	L	L
H	H	H

+5V
2.7k
A_0 A_1 A_2 A_3
B_0 B_1 B_2 B_3
一致(H)
不一致(L)
一致(L)
不一致(H)

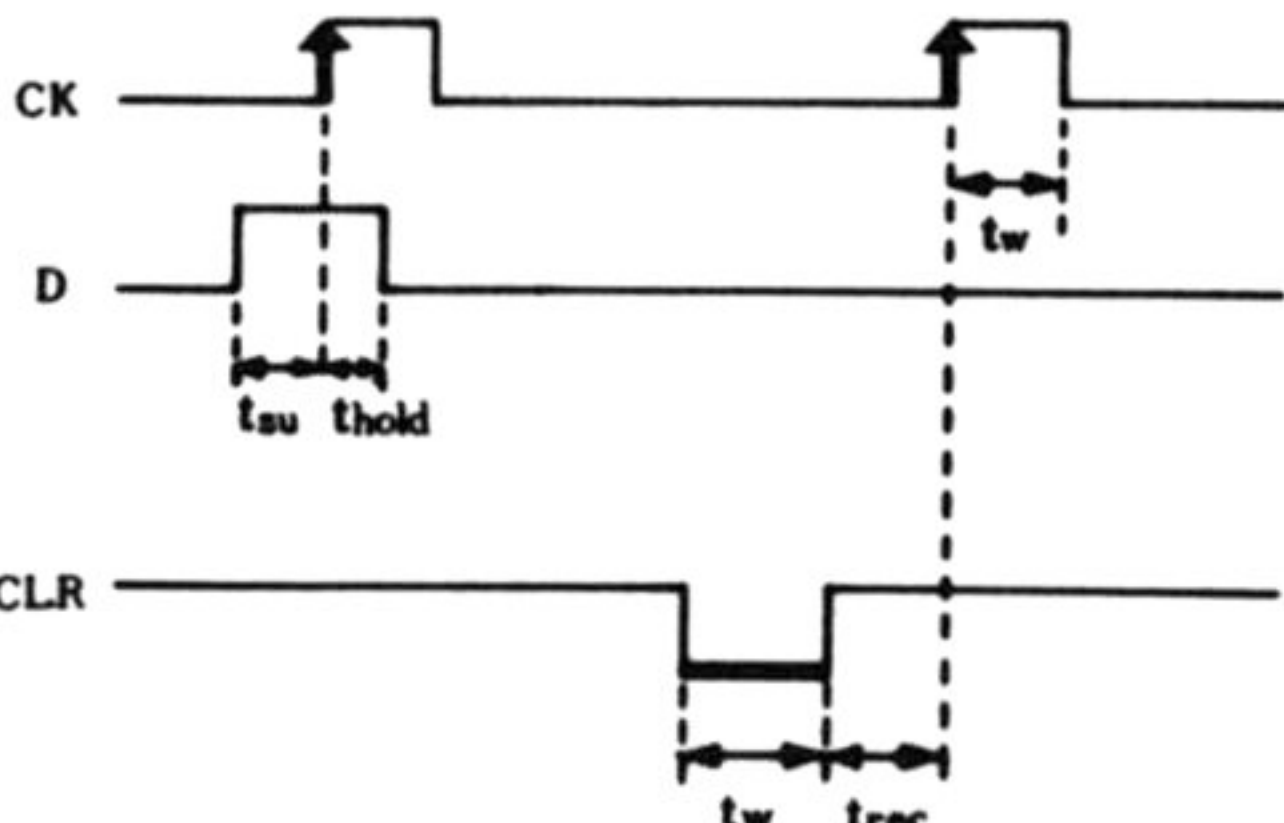
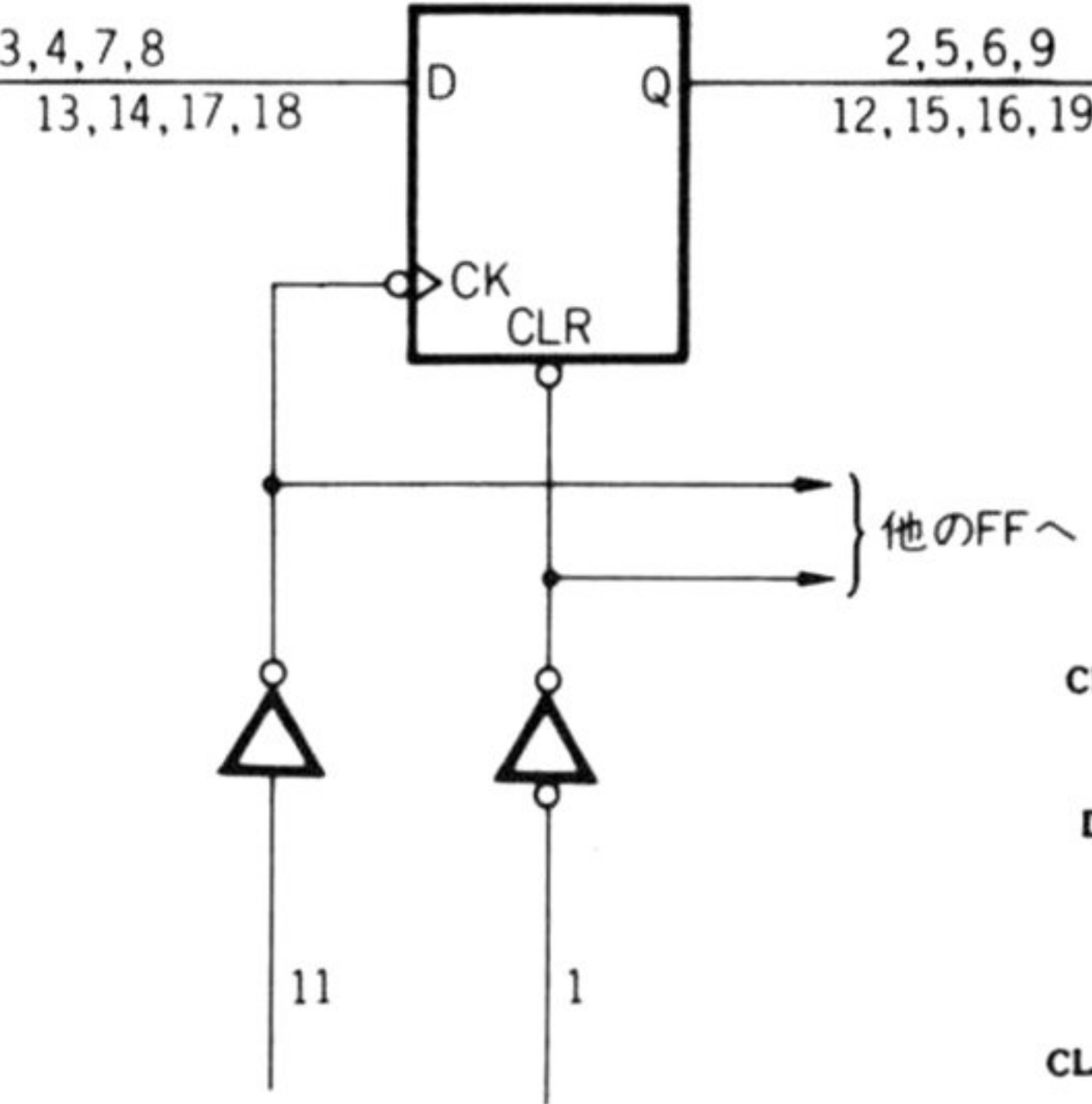
Rの値は適当でよいが，目安として
図よりワイアード数が増加するごとに8%減じ
図よりドライブ数が増加するごとに4%減ずる
N，Sの場合はLSの抵抗値の約1/3

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H			30							30					ns
tpd	max			H→L			30							30					ns
Icc	max				L		13							0.02					mA
IIH	max	ALL	H				40												μA
IIL	max	ALL	L				0.8												mA
IOH	max			Y	H		0.1							4					mA
IOL	max			Y	L		8							4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					D							
MOT		D							DF					
日電														
NS		DF												
PHIL									DF					
RCA														
SIGNE														
TI		DF							DF					
東芝		D							DF					
SGS									DF					
CYPRES														
IDT														

参考品種
74136

74273　Octal D-FFs

○7474タイプ，リーディング・エッジトリガ(POS)
○コモンクロック・コモンクリア
○7473の項参照

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK				140	30	35		100		125	125	21		15			MHz
tw	min	CLK				8	20	14		5.5		4.5		20		33			ns
tsu	min	DATA				8.5	20↑	10		3.0		4.5		25		20			ns
thold	min	DATA				0	5↑	0↑		0		1.0		0		3			ns
trec	min	CLEAR				7↑	25↑			9.0		0		25		19			ns
tpd	max	CLEAR		Q		13	27	18		9.0		12.0		40		49			ns
tpd	max	CLK		Q		13	27	15		10.5		12.0		40		44			ns
Icc	max					0.004	27	29		88		0.08		0.08		0.08			mA
IIH	max	CLK, D	H				20	20		20									μA
IIL	max	CLK, D	L				0.4	0.1		20									mA
IIH	max	CLEAR	H				20	20		20									μA
IIL	max	CLEAR	L				0.4	0.1		20									mA
IOH	max			Q	H	12	0.4	2.6		1		24		4		4			mA
IOL	max			Q	L	12	8	24		20		24		4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF		DF					
MOT		DF					DF	DF	DF					
日電									DF					
NS	F	DF	DF		DF		DF		DF		D			
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF		DF	DF	DF					
東芝	F	D					DFS	DF	DF		DF			
SGS									DF		DF			
CYPRES					DF									
IDT								DF						

参考品種
74174
74175

74279　Quad RS FF

○ $\overline{S}$をLにするとQはH
○ $\overline{R}$をLにするとQはL
○ $\overline{S}$と$\overline{R}$を同時にLにすると出力はH となるが，$\overline{S}$，$\overline{R}$のうちあとからHとなった方によって上記のどちらかの出力となる．
○ $\overline{S}$，$\overline{R}$をHにすると前のデータを保持する

応用例（押ボタンスイッチ入力回路）

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	-S		Q	↑		22							33					ns
tpd	max	-S		Q	↓		21							33					ns
tpd	max	-R		Q	↓		27							37					ns
Icc	max						7							0.04					mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.4												mA
IOH	max			Q, -Q	H		0.4							4					mA
IOL	max			Q, -Q	L		8							4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		D												
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI		DF												
東芝		D							DF					
SGS									DF					
CYPRES														
IDT														

74280　　9-Bit Parity Generators/Checkers

INPUTS
VCC 14, F 13, E 12, D 11, C 10, B 9, A 8
G 1, H 2, NC 3, I 4, Σ EVEN 5, Σ ODD 6, GND 7
INPUTS　INPUT　OUTPUTS

'S280　Σ EVEN
'S280　Σ EVEN　H = EVEN　L = ODD
Σ ODD　H = ODD　L = EVEN
'S280　Σ EVEN

A (8)　B (9)　C (10)　D (11)　E (12)　F (13)　G (1)　H (2)　I (4)
(5) Σ EVEN
(6) Σ ODD

○ 応用例

25 bit パリティチェック

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			ΣE	↑		50			14	7	14.5		52		53			ns
tpd	max			ΣE	↓		45			15.5	7.5	14.5		52		53			ns
tpd	max			Σ0	↑		35			14	7	14.5		52		56			ns
tpd	max			Σ0	↓		50			15.5	7.5	14.5		52		56			ns
Icc	max	ALL	L	OPEN			27			40	27	0.08		0.08		0.08			mA
IIH	max	ALL	H				20			20	20								μA
IIL	max	ALL	L				0.4			0.6	0.5								mA
IOH	max			ALL	H		0.4			1	2	4		4		4			mA
IOL	max			ALL	L		8			20	20	4		4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF					
MOT		DF			DF				DF					
日電									DF					
NS					DF	DF	DF							
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE					DF									
TI		DF	D		DF	DF	DF	DF	DF					
東芝		D			D		DF	DF	DF					
SGS									DF					
CYPRES														
IDT														

参考品種
74180

74283

4-Bit Binary Full Adder

FUNCTION TABLE

INPUT				OUTPUT: WHEN C0 = L / WHEN C2 = L			OUTPUT: WHEN C0 = H / WHEN C2 = H		
A1 / A3	B1 / B3	A2 / A4	B2 / B4	Σ1 / Σ3	Σ2 / Σ4	C2 / C4	Σ1 / Σ3	Σ2 / Σ4	C2 / C4
L	L	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	H	L
L	H	L	L	H	L	L	L	H	L
H	H	L	L	L	H	L	H	H	L
L	L	H	L	L	H	L	H	H	L
H	L	H	L	H	H	L	L	L	H
L	H	H	L	H	H	L	L	L	H
H	H	H	L	L	L	H	H	L	H
L	L	L	H	L	H	L	H	H	L
H	L	L	H	H	H	L	L	L	H
L	H	L	H	H	H	L	L	L	H
H	H	L	H	L	L	H	H	L	H
L	L	H	H	L	L	H	H	L	H
H	L	H	H	H	L	H	L	H	H
L	H	H	H	H	L	H	L	H	H
H	H	H	H	L	H	H	H	H	H

VCC 16, B3 15, A3 14, Σ3 13, A4 12, B4 11, Σ4 10, C4 9
Σ2 1, B2 2, A2 3, Σ1 4, A1 5, B1 6, C0 7, GND 8

○7483Aのピンレイアウトを変えたタイプ

B4 (11), A4 (12), B3 (15), A3 (14), B2 (2), A2 (3), B1 (6), A1 (5), C0 (7)
(9) C4, (10) Σ4, (13) Σ3, (1) Σ2, (4) Σ1

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	C0		Σ			24			10.5		12.5	14.5	58		66			ns
tpd	max	Ai, Bi		Σi			24			10.5		14.5	16.5	53		61			ns
tpd	max	C0		C4			22			8.5		11.0	13.0	49		58			ns
tpd	max	Ai, Bi		C4			17			8.5		13.0	14.5	49		60			ns
Icc	max						34			55		0.08	0.08	0.08		0.08			mA
IIH	max	C0	H				20			20									μA
IIL	max	C0	L				0.4			0.6									mA
IIH	max	OTHERS	H				40			20									μA
IIL	max	OTHERS	L				0.8			1.2									mA
IOH	max			C4	H		0.4			1		24	24	4		4			mA
IOL	max			C4	L		8			20		24	24	4		4			mA
IOH	max			OTHERS	H		0.4			1				4		4			mA
IOL	max			OTHERS	L		8			20				4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF					
MOT		DF			DF									
日電														
NS		DF			DF									
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE					DF									
TI		DF			DF									
東芝		D			D		DF	DF	DF					
SGS									DF					
CYPRES														
IDT														

参考品種
7483
74583

74290 Decade Counter

○7490のピンレイアウトを変えたタイプ.

入力 R₀	入力 R₉	CK A	CK B	パルス数	出力 Q_A	出力 $Q_B\,Q_C\,Q_D$	動作
L	L	Q_Aに対するCK	Q_B/Q_Dに対するCK	0	L	L L L	カウント
				1	H	H L L	
				2	L	L H L	
				3		H H L	
				4		L L H	
				5		L L L	
L	H	×	×	—	H	L L H	プリセット9
H	×	×	×	—	L	L L L	クリア

$R_0 = R_{0(1)} \cdot R_{0(2)}$
$R_9 = R_{9(1)} \cdot R_{9(2)}$

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	A					32												MHz
fmax	min	B					16												MHz
tw	min	A					15												ns
tw	min	B					30												ns
tw	min	R0, R9					15												ns
trec	min	R0, R9					25↓												ns
tpd	max	A		Qa			18												ns
tpd	max	B		Qd			35												ns
tpd	max	R0, R9		Qa～Qd			40												ns
Icc	max	ALL	L	ALL	L		15												mA
IIH	max	A	H				40												μA
IIL	max	A	L				2.4												mA
IIH	max	B	H				80												μA
IIL	max	B	L				3.2												mA
IIH	max	R0	H				20												μA
IIL	max	R0	L				0.4												mA
IIH	max			ALL	H		0.4												mA
IIL	max			ALL	L		8												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF												
MOT		D												
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI		DF												
東芝														
SGS														
CYPRES														
IDT														

参考品種
7490

74292　　Programmable Frequency Dividers

VCC C D TP3 NC CLEAR A NC
16 15 14 13 12 11 10 9

C D TP3 CLR A
B
E TP CLK1 CLK2 TP2 Q

1 2 3 4 5 6 7 8
B E TP1 CLK1 CLK2 TP2 QOUT GND

CLEAR	CLK 1	CLK 2	Q OUTPUT MODE
L	X	X	Cleared to L
H	↑	L	Count
H	L	↑	Count
H	H	X	Inhibit
H	X	H	Inhibit

○A～Eで分周比を設定できるカウンタ
○2^2～2^{31}まで設定可能

FUNCTION TABLE

PROGRAMMING INPUTS					FREQUENCY DIVISION							
					Q		TP1		TP2		TP3	
E	D	C	B	A	BINARY	DECIMAL	BINARY	DECIMAL	BINARY	DECIMAL	BINARY	DECIMAL
L	L	L	L	L	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit
L	L	L	L	H	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit
L	L	L	H	L	2^2	4	2^9	512	2^{17}	131,072	2^{24}	16,777,216
L	L	L	H	H	2^3	8	2^9	512	2^{17}	131,072	2^{24}	16,777,216
L	L	H	L	L	2^4	16	2^9	512	2^{17}	131,072	2^{24}	16,777,216
L	L	H	L	H	2^5	32	2^9	512	2^{17}	131,072	2^{24}	16,777,216
L	L	H	H	L	2^6	64	2^9	512	2^{17}	131,072	2^{24}	16,777,216
L	L	H	H	H	2^7	128	2^9	512	2^{17}	131,072	2^{24}	16,777,216
L	H	L	L	L	2^8	256	2^9	512	2^{17}	131,072	2^2	4
L	H	L	L	H	2^9	512	2^9	512	2^{17}	131,072	2^2	4
L	H	L	H	L	2^{10}	1,024	2^9	512	2^{17}	131,072	2^4	16
L	H	L	H	H	2^{11}	2,048	2^9	512	2^{17}	131,072	2^4	16
L	H	H	L	L	2^{12}	4,096	2^9	512	2^{17}	131,072	2^6	64
L	H	H	L	H	2^{13}	8,192	2^9	512	2^{17}	131,072	2^6	64
L	H	H	H	L	2^{14}	16,384	2^9	512	Disabled Low		2^8	256
L	H	H	H	H	2^{15}	32,768	2^9	512	Disabled Low		2^8	256
H	L	L	L	L	2^{16}	65,536	2^9	512	2^3	8	2^{10}	1,024
H	L	L	L	H	2^{17}	131,072	2^9	512	2^3	8	2^{10}	1,024
H	L	L	H	L	2^{18}	262,144	2^9	512	2^5	32	2^{12}	4,096
H	L	L	H	H	2^{19}	524,288	2^9	512	2^5	32	2^{12}	4,096
H	L	H	L	L	2^{20}	1,048,576	2^9	512	2^7	128	2^{14}	16,384
H	L	H	L	H	2^{21}	2,097,152	2^9	512	2^7	128	2^{14}	16,384
H	L	H	H	L	2^{22}	4,194,304	Disabled Low		2^9	512	2^{16}	65,536
H	L	H	H	H	2^{23}	8,388,608	Disabled Low		2^9	512	2^{16}	65,536
H	H	L	L	L	2^{24}	16,777,216	2^3	8	2^{11}	2,048	2^{18}	262,144
H	H	L	L	H	2^{25}	33,554,432	2^3	8	2^{11}	2,048	2^{18}	262,144
H	H	L	H	L	2^{26}	67,108,864	2^5	32	2^{13}	8,192	2^{20}	1,048,576
H	H	L	H	H	2^{27}	134,217,728	2^5	32	2^{13}	8,192	2^{20}	1,048,576
H	H	H	L	L	2^{28}	268,435,456	2^7	128	2^{15}	32,768	2^{22}	4,194,304
H	H	H	L	H	2^{29}	536,870,912	2^7	128	2^{15}	32,768	2^{22}	4,194,304
H	H	H	H	L	2^{30}	1,073,741,824	2^9	512	2^{17}	131,072	2^{24}	16,777,216
H	H	H	H	H	2^{31}	2,147,483,648	2^9	512	2^{17}	131,072	2^{24}	16,777,216

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK1/2					30							21					MHz
tpd	max	CLK1/2		L→H	↑		90							150					ns
tpd	max	CLK1/2		H→L	↓		120							150					ns
Icc	max						75							0.04					mA
IIH	max	CLK	H				20												μA
IIL	max	CLK	L				0.8												mA
IIH	max	OTHERS	H				20												μA
IIL	max	OTHERS	L				0.4												mA
IOH	max			ALL	H		1.2							4					mA
IOL	max			ALL	L		24							4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									D				
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI		D											
東芝													
SGS									DF				
CYPRES													
IDT													

74293 Binary Counter

VCC 14, RO(2) 13, RO(1) 12, INPUT B 11, INPUT A 10, OUTPUTS QA 9, QD 8

1 NC, 2 NC, 3 NC, 4 QC, 5 QB (OUTPUTS), 6 NC, 7 GND

○7493のピンレイアウトを変えたタイプ.

2進部分 / 8進部分

Input A, Input B, QA, QB, QC, QD, Ro(1), Ro(2)

動作状態

入力				出力		動作
R_0	CK			QA	QBQCQD	
	A	B	パルス数			
L	↓ QAに対するCK	↓ QB～QDに対するCK	0	L	L L L	カウント
			1	H	H L L	
			2	L	L H L	
			3		H H L	
			4		L L H	
			5		H L H	
			6		L H H	
			7		H H H	
			8		L L L	
H (パルス)	×	×	—	L	L L L	クリア

$R_0 = R_{0(1)} \cdot R_{0(2)}$

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	A					32												MHz
fmax	min	B					16												MHz
tw	min	A					15												ns
tw	min	B					30							25					ns
tw	min	R0					15							25					ns
trec	min	R0					25↓							18					ns
tpd	max	A		Qa			18							18					ns
tpd	max	B		Qd			51							18					ns
tpd	max	R0		Qa～Qd			40												ns
Icc	max						15							25					mA
IIH	max	AB					40							25					μA
IIL	max	AB					2.4							42					mA
IIH	max	R0					20							0.08					μA
IIL	max	R0					0.4												mA
IIH	max			ALL	H		0.4												mA
IIL	max			ALL	L		8												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF												
MOT		D												
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI		DF												
東芝														
SGS														
CYPRES														
IDT														

参考品種
7493

74294 Programmable Frequency Dividers

VCC C D NC NC $\overline{CLEAR}$ NC NC
16 15 14 13 12 11 10 9

C D CLR
B
A TP CLK1 CLK2 Q

1 2 3 4 5 6 7 8
B A TP CLK1 CLK2 NC QOUT GND

○A～Dで分周比を設定できるカウンタ
○2^2～2^{15}まで設定可能

FUNCTION TABLE

CLEAR	CLK 1	CLK 2	Q OUTPUT MODE
L	X	X	Cleared to L
H	↑	L	Count
H	L	↑	Count
H	H	X	Inhibit
H	X	H	Inhibit

PROGRAMMING INPUTS				FREQUENCY DIVISION			
				Q		TP	
D	C	B	A	BINARY	DECIMAL	BINARY	DECIMAL
L	L	L	L	Inhibit	Inhibit	Inhibit	Inhibit
L	L	L	H	Inhibit	Inhibit	Inhibit	Inhibit
L	L	H	L	2^2	4	2^9	512
L	L	H	H	2^3	8	2^9	512
L	H	L	L	2^4	16	2^9	512
L	H	L	H	2^5	32	2^9	512
L	H	H	L	2^6	64	2^9	512
L	H	H	H	2^7	128	Disabled Low	
H	L	L	L	2^8	256	2^2	4
H	L	L	H	2^9	512	2^3	8
H	L	H	L	2^{10}	1,024	2^4	16
H	L	H	H	2^{11}	2,048	2^5	32
H	H	L	L	2^{12}	4,096	2^6	64
H	H	L	H	2^{13}	8,192	2^7	128
H	H	H	L	2^{14}	16,384	2^8	256
H	H	H	H	2^{15}	32,768	2^9	512

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK1/2					30							21					MHz
tpd	max	CLK1/2	L→H	↑			90							150					ns
tpd	max	CLK1/2	H→L	↓			120							150					ns
Icc	max						75							0.04					mA
IIH	max	CLK	H				20												μA
IIL	max	CLK	L				0.8												mA
IIH	max	OTHERS	H				20												μA
IIL	max	OTHERS	L				0.4												mA
IOH	max			ALL	H		1.2							4					mA
IOL	max			ALL	L		24							4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI		D											
東芝													
SGS									DF				
CYPRES													
IDT													

74295 4-Bit Shift Register (3-State)

3 state

7495の3 stateタイプ295Aから295Bになり出力のシンクが増加した

入力			出力	動作
Mode control	CK	Output control	Q	
L	⎍	–	–	右シフト
H	⎍	–	–	ロード
–		L	Z	–

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30												MHz
tw	min	CLK					25												ns
tsu	min	DATA					20↓												ns
thold	min	DATA					20↓												ns
tpd	max	ALL	Q				30												ns
tpd	max	OUT.C.	Q				30												ns
tpd	max	OUT.C.	Q				20												ns
Icc	max						33												mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.4												mA
IOH	max			ALL	H		2.6												mA
IOL	max			ALL	L		24												mA
IZL	max			ALL	L		20												μA
IZH	max			ALL	H		20												μA

参考品種
74395

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

74297 Digital Phase-Locked-Loop Filters

VCC 16, C 15, D 14, φA2 13, ECPD OUT 12, EXOR OUT 11, φB 10, φA1 9

B 1, A 2, ENA 3, K CLK 4, I/D CLK 5, U/D 6, I/D OUT 7, GND 8

機能表

Kカウンタ (ディジタル・コントロール)

D	C	B	A	MODULO (K)
L	L	L	L	禁止
L	L	L	H	2^2
L	L	H	L	2^4
L	L	H	H	2^5
L	H	L	L	2^6
L	H	L	H	2^7
L	H	H	L	2^8
L	H	H	H	2^9
H	L	L	L	2^{10}
H	L	L	H	2^{11}
H	L	H	L	2^{12}
H	L	H	H	2^{13}
H	H	L	L	2^{14}
H	H	L	H	2^{15}
H	H	H	L	2^{16}
H	H	H	H	2^{17}

EXCLUSIVE-OR フェーズ・ディテクタ

φA1	φB	XORPD OUT
L	L	L
L	H	H
H	L	H
H	H	L

EDGE-CONTROLLED フェーズ・ディテクタ

φA2	φB	ECPD OUT
H または L	↓	H
↓	H または L	L
H または L	↑	変化なし
↑	H または L	変化なし

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	I/DCLK		I/DOUT	H→L		25							35		35			ns
tpd	max	I/DCLK		I/DOUT	L→H		35							35		35			ns
tpd	max	ΦA		EXOUT	H→L		23							32		32			ns
tpd	max			EXOUT	L→H		25							32		32			ns
tpd	max			ECOUT	H→L		30							44		44			ns
tpd	max			ECOUT	L→H		30							44		44			ns
Icc	max						120												mA
IOH	max																		mA
IOL	max						24												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS													
PHIL									DF		DF		
RCA							DF	DF	DF		DF		
SIGNE													
TI		D											
東芝													
SGS													
CYPRES													
IDT													

74298

4-Bit 2 Input Multiplex Register

74157と74175を組み合わせたタイプ
74399とはクロックの論理が逆

入　力		出　力			
Word select	CK	Q_A	Q_B	Q_C	Q_D
L	⎍	D_{A1}	D_{B1}	D_{C1}	D_{D1}
H		D_{A2}	D_{B2}	D_{C2}	D_{D2}

参考品種
74399
74398

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25				100								MHz
tw	min	CLK					20				5			18					ns
tsu	min	DATA					15↓				4.5			18					ns
thold	min	DATA					5↓				3.5			6					ns
thold	min	W.SEL					0↓				1↓			6					ns
ten	min	W.SEL					25↓												ns
tpd	max	CLK	Q				32				11			36					ns
Icc	max						21				36			0.04					mA
IIH	max	WS	H				20				40								μA
IIL	max	WS	L				0.4				0.75								mA
IIH	max	OTHERS	H				20				20								μA
IIL	max	OTHERS	L				0.4				0.5								mA
IOH	max			ALL	H		0.4							4					mA
IOL	max			ALL	L		8							4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF					
MOT		D												
日電														
NS		D												
PHIL														
RCA														
SIGNE					DF									
TI		DF				DF								
東芝		D							DF					
SGS									DF					
CYPRES														
IDT														

74299 8-Bit Shift Register

VCC 20, S1 19, SHIFT LEFT SL 18, QH′ 17, H/QH 16, F/QF 15, D/QD 14, B/QB 13, CLOCK 12, SHIFT RIGHT SR 11

S0 1, $\overline{G1}$ 2, $\overline{G2}$ 3, G/QG 4, E/QE 5, C/QC 6, A/QA 7, QA′ 8, CLEAR 9, GND 10

OUTPUT CONTROLS

入力						出力	動作
Clear	Mode select		CK	Output control		Q	
	S1	S0		$\overline{C1}$	$\overline{G2}$		
H	L	H	↑	—	—	—	右シフト
H	H	L	↑				左シフト
H	H	H	↑			Z	ロード
H	L	L	↑			—	ホールド
L	X	X	X				クリア
—				H	X	Z	—
				X	H		

3 state

8

74323のクリアを非同期に変えたタイプ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					35	30		70		90	110	20		18			MHz
tw	min	CK, C, D					20	16.5		7		5.0	4.5	25		33			ns
tsu	min	CK, C, D					20↑	15↑		5		4.0	4.5	25		31			ns
thold	min	CK, C, D					0↑	0↑		0		0	1.0	5		0			ns
trec	min	CLEAR					20↑			5		0	1.5	10		9			ns
ten	min	MODE					10↑	20↑				3.5		40					ns
thold	min	CLK					10↑	0↑		0		0		5					ns
tpd	max	CLK		Q' a/h			25	18		10	10	14.5	14	48		44			ns
tpd	max	CLEAR		Q' a/h			35	22		10.5	12	12.5	18	55		58			ns
tpd	max	CLEAR		Qa～Qh			35	22		15	12	11.5	17.5	55		58			ns
tpd	max	CLK		Qa～Qh			25	19		12	10	13.5	15	48					ns
tpd	max	-G1, G2		Qa～Qh			35	22		11	10	9.5	13.5	40		46			ns
tpd	max	-G1, G2		Qa～Qh			(25)	15		7	7	16.0	13.5	40		46			ns
Icc	max						53	40		95	95	0.08	0.08	0.08		0.08			mA
IIH	max	S1, S0	H				40	20		20									μA
IIL	max	S1, S0	L				0.8	0.2		1.2									mA
IIH	max	OTHERS	H				30	20		20									μA
IIL	max	OTHERS	L				0.4	0.2		0.6									mA
IIH	max	CK, CLR	H				30	20		20									μA
IIL	max	CK, CLR	L				0.4	0.1		0.6									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		D			D		DF	D	DF					
日電									D					
NS		DF			DF		DF	DF	DF					
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE					DF									
TI		D	DF		D									
東芝		D					DF	DF	DF					
SGS									DF					
CYPRES														
IDT								DF						

参考品種
74323

注）出力 Q_A' Q_H' のt_{pd}については負荷条件 LS：2kΩ＋15pF　S：1kΩ＋15pF

パラレルデータインプットがデータ出力端子Qと同じになっている．したがってロード動作の時は自動的にハイインピーダンス状態（Z）になる．

74322 8-Bit Shift Register

VCC 20, DATA SELECT 19, SIGN EXTEND 18, D1 17, B/Q_B 16, D/Q_D 15, F/Q_F 14, H/Q_H 13, $Q_{H'}$ 12, CLOCK 11

REGISTER ENABLE 1, S/$\overline{P}$ 2, D0 3, A/Q_A 4, C/Q_C 5, E/Q_E 6, G/Q_G 7, OUTPUT ENABLE 8, CLEAR 9, GND 10

DS, $\overline{SE}$, D1, B/Q_B, D/Q_D, F/Q_F, H/Q_H, $Q_{H'}$, $\overline{G}$, CK, S/$\overline{P}$, D0, A/Q_A, C/Q_C, E/Q_E, G/Q_G, $\overline{OE}$, $\overline{CLR}$

○シリアル入力が２つある

3 state
8

入力							出力	動作
CLR	$\overline{G}$	S/$\overline{P}$	$\overline{SE}$	DS	CK	$\overline{OE}$	Q	
L	X	X	X	X	X			クリア
H	L	H	H	L	↑	—	—	D0入力シフト
				H				D1入力シフト
H	L	H	L	X				Q_Aホールド，他シフト
H	L	L	X	X			Z	ロード
H	H	X	X	X			—	ホールド
—						H	Z	—

注）出力$Q_{H'}$のt_{pd}については負荷条件2kΩ＋15pF

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					35			70									MHz
tw	min	CLK					14			7									ns
tw	min	CLEAR					20			7									ns
tsu	min	DATA					20↑			9									ns
thold	min	DATA					0↑			3									ns
trec	min	CLEAR					20↑			8									ns
ten	min	SELECT					10↑												ns
thold	min	SELECT					10↑			3									ns
tpd	max	CLK		Qh			35			10									ns
tpd	max	CLEAR		Qh			35			13									ns
tpd	max	CLEAR		Qa～Qh			35			14									ns
tpd	max	CLK		Qa～Qh			33			12									ns
tpd	max	OUT. E.		Qa～Qh			35			15									ns
tpd	max	OUT. E.		Qa～Qh			(25)			16. 5									ns
Icc	max	Vcc=MX					60			90									mA
IIH	max	DS	H				40			20									μA
IIL	max	DS	L				0. 8			1. 2									mA
IIH	max	SE	H				60			20									μA
IIL	max	SE	L				1. 2			1. 8									mA
IIH	max	OTHERS	H				20			20									μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT		D												
日電														
NS		DF			DF									
PHIL														
RCA														
SIGNE					DF									
TI		DF												
東芝		D												
SGS														
CYPRES														
IDT														

参考品種
74299

74323 8-Bit Shift Register (3-State)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					35	30		70		90	110	21					MHz
tw	min	CK, C, D					20	16.5		7		5.0	4.5						ns
tsu	min	CK, C, D					20↑	16↑		15↑		4.0	2.5						ns
thold	min	CK, C, D					0↑	0↑		0		0	1.0						ns
trec	min	CLEAR					20↑					0.5							ns
ten	min	MODE					10↑	20↑				3.5							ns
thold	min	MODE					10↑	0↑		0		0	1.5						ns
tpd	max	CLK		Q' a/h			25	18		14	10	14.5	15	38					ns
tpd	max	CLEAR		Q' a/h			35	22			12								ns
tpd	max	CLEAR		Qa～Qh			35	22			12								ns
tpd	max	CLK		Qa～Qh			25	19		14	10	13.5	16	44					ns
tpd	max	-G1, 2		Qa～Qh			35	22		14	10	9.5	13	38					ns
tpd	max	-G1, 2		Qa～Qh			25	15		10	7	16.0	13.5	38					ns
Icc	max	Vcc=MX					53	40		92	95	0.08	0.08	0.04					mA
IIH	max	S1, S0	H				40	20		20									μA
IIL	max	S1, S0	L				0.8	0.2		1.2									mA
IIH	max	OTHERS	H				40	20		20									μA
IIL	max	OTHERS	L				0.4	0.1		1.2									mA
IIH	max	CK, CLR	H				30	20		20									μA
IIL	max	CK, CLR	L				0.4	0.1		0.6									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF					
MOT		D			D		D	D						
日電														
NS		DF			D			DF						
PHIL														
RCA							DF	DF						
SIGNE					DF									
TI		DF	DF		D									
東芝														
SGS									DF					
CYPRES														
IDT														

○動作特性は74LS299と同じ

入力						出力	
Clear	Mode select		CK	Output control		Q	動作
	S1	S0		$\overline{G1}$	$\overline{G2}$		
H	L	H	↑	–	–	–	右シフト
H	H	L	↑	–	–	–	左シフト
H	H	H	↑	–	–	Z	ロード
H	L	L	↑	–	–	–	ホールド
L	X	X	↑	–	–	–	クリア
–				H	X	Z	–
–				X	H	Z	–

3state

8

74299のクリアをクロック同期にしたタイプ

74348 (TIM9908) 3-State 8 to 3 Priority Encoder

INPUTS									OUTPUTS				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	Z	Z	Z	H	H
L	H	H	H	H	H	H	H	H	Z	Z	Z	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	0〜7		A0〜A3			35												ns
tpd	max	0〜7		EO			40												ns
tpd	max	0〜7		GS			55												ns
tpd	max	EI		EO			40												ns
tpd	max	EI		GS			36												ns
tpd	max	EI		A0〜A3			40												ns
tpd	max	EI		A0〜A3			(35)												ns
Icc	max						25												mA
IIH	max	1〜7	H				40												μA
IIL	max	1〜7	L				0.8												mA
IIH	max	0, EI	H				20												μA
IIL	max	0, EI	L				0.4												mA
IOH	max			A0〜A3	H		2.6												mA
IOL	max			A0〜A3	L		24												mA
IZL	max			A0〜A3	L		20												μA
IZH	max			A0〜A3	H		20												μA
IOH	max			EO, GS	H		0.4												mA
IOL	max			EO, GS	L		8												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT		D												
日電														
NS														
PHIL														
RCA														
SIGNE														
TI		DF												
東芝														
SGS														
CYPRES														
IDT														

t_{pd}** 測定条件2kΩ＋15pF

参考品種
74148
25LS2513

74348 (TIM9908)　　3-State 8 to 3 Priority Encoder

UP TO 64 LINES

'LS348

ENABLE INPUT

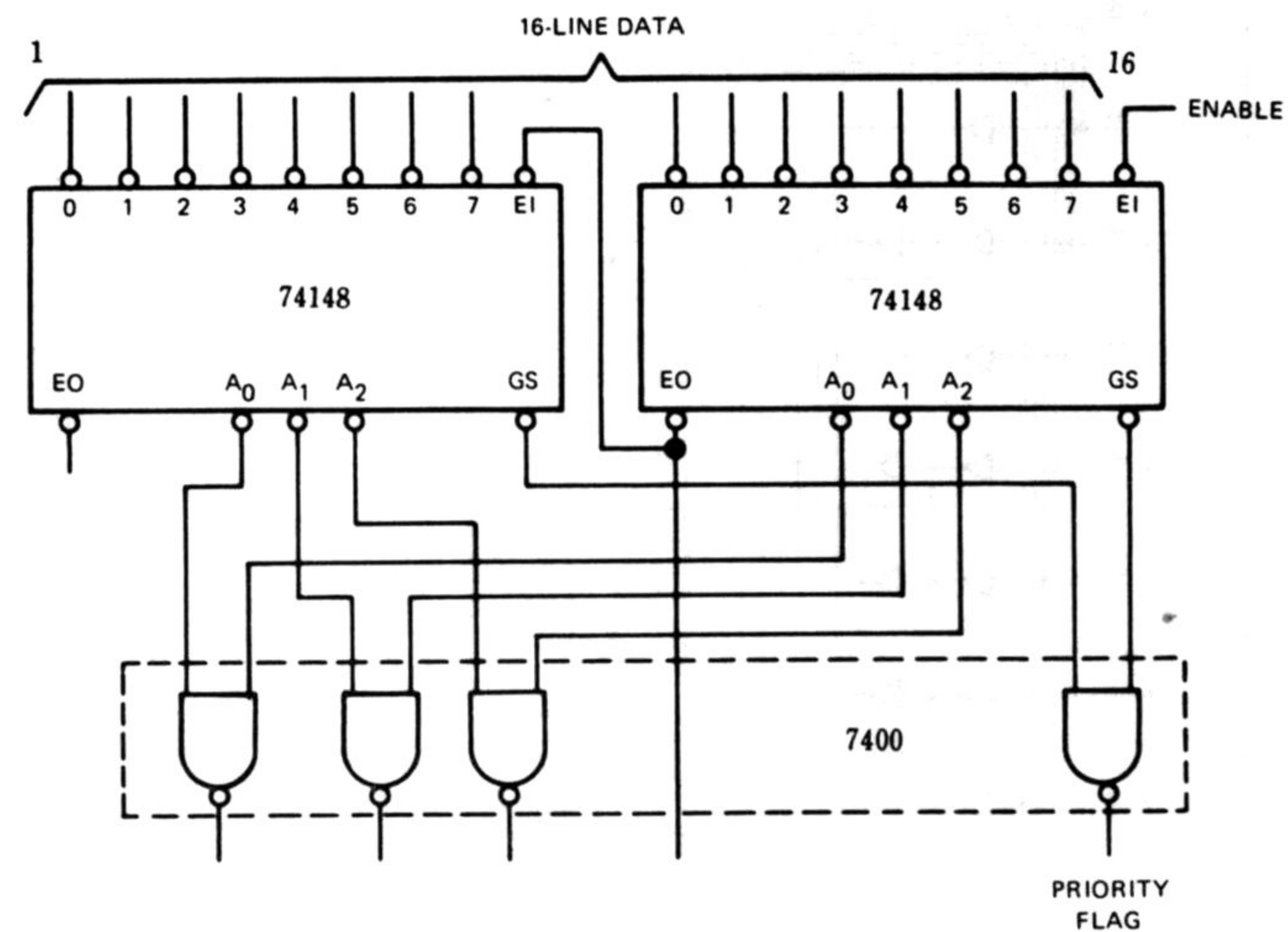
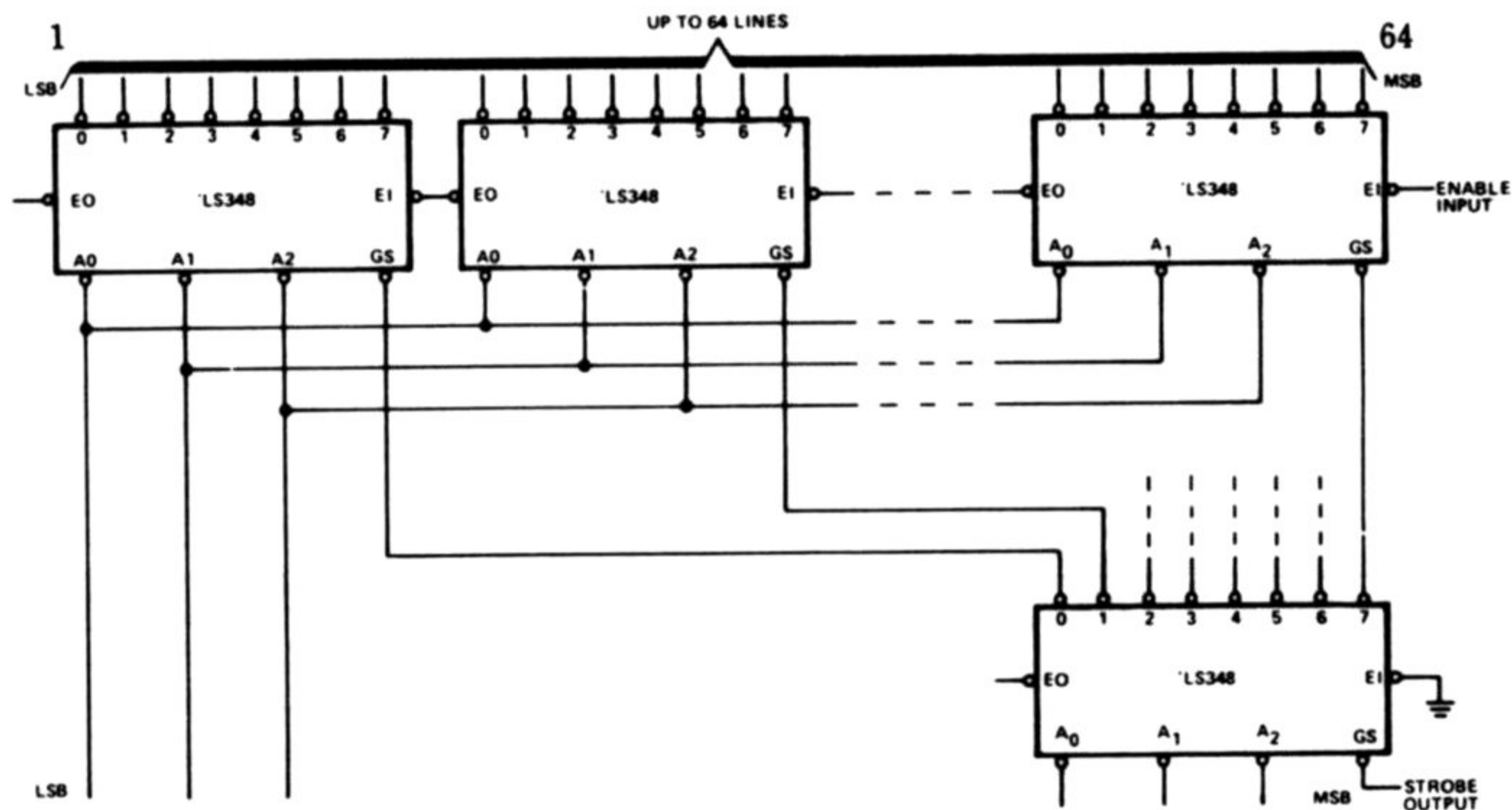
STROBE OUTPUT

16-LINE DATA

74148

ENABLE

7400

PRIORITY FLAG

○ＥＩには上位のＥＯを接続.

○74148は３ステートではないので右図のようにNAND,
　またはＡＮＤで受ける.

○ENABLE をＨにすると，６ビットともＺ状態（右図ではＬ）

74350 4-Bit Shifter (3-State)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		Y						7									ns
tpd	max	SELECT		Y						11									ns
tpd	max	OUT. C.		Y	Z→X					10									ns
tpd	max	OUT. C.		Y	X→Z					6. 5									ns
Icc	max	ALL	L	OPEN						41									mA
IIH	max	ALL	H							20									μA
IIL	max	ALL	L							1. 2									mA
IOH	max			ALL	H					1									mA
IOL	max			ALL	L					20									mA
IZL	max			ALL	L														μA
IZH	max			ALL	H														μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT					DF		D	D					
日電													
NS					DF								
PHIL													
RCA													
SIGNE					DF								
TI					D								
東芝													
SGS													
CYPRES													
IDT													

74352 Dual 4 to 1 Data Selectors

○74LS153の論理反転出力タイプ

○C0～C4に加えた4つのデータ中の1つを，セレクト入力に加えた2進コードにより選び論理反転して出力する．

○ストローブをHにすることにより他の入力に無関係に出力はHになる．

FUNCTION TABEL

INPUTS			OUTPUT
Select		Strobe	Y
B	A	G	
X	X	H	H
L	L	L	$\overline{C0}$
L	H	L	$\overline{C1}$
H	L	L	$\overline{C2}$
H	H	L	$\overline{C3}$

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		Y			26	18		8	6.5	10.5	9.0	31					ns
tpd	max	SELECT		Y			38	24		14	13	12.5	9.5	40					ns
tpd	max	STROBE		Y			32	20		15	12	11.0	8.5	25					ns
Icc	max	ALL	L				10	10		20	28	0.04	0.04	0.04					mA
IIH	max	A, B	H				20	20		20	40								μA
IIL	max	A, B	L				0.4	0.1		0.6	1								mA
IIH	max	OTHERS	H				20	20		20	20								μA
IIL	max	OTHERS	L				0.4	0.1		0.6	0.5								mA
IOH	max			Y	H		0.4	2.6		1	15	24	24	4					mA
IOL	max			Y	L		8	24		20	48	24	24	4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF					
MOT		D			DF		D	D						
日電														
NS		DF	D	DF	DF									
PHIL														
RCA														
SIGNE														
TI			DF		D	DF								
東芝					D				DF					
SGS									DF					
CYPRES														
IDT														

参考品種
74353
74153
74253

74353

Dual 3-State 4 to 1 Data Selectors

○74LS352の3ステートタイプ.

○C0～C4に加えた4つのデータの内の1つをセレクト入力に加えた2進コードにより選び,論理反転して出力する.

○アウトプットコントロールをHにすることにより,他の入力に無関係に出力はハイインピーダンス状態になる.

FUNCTION TABEL

INPUTS			OUTPUT
SELECT		OUTPUT CONTROL	W
B	A	G	
X	X	H	Z
L	L	L	$\overline{C0}$
L	H	L	$\overline{C1}$
H	L	L	$\overline{C2}$
H	H	L	$\overline{C3}$

参考品種
74352
74253
74153

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		Y			25	18		8	7.5	11.5	9.0	31					ns
tpd	max	SELECT		Y			45	24		15	12	13.0	9.0	40					ns
tpd	max	OUT.C.	L	Y			23	16		10.5	11	7.5	9.0	25					ns
tpd	max	OUT.C.	H	Y			(41)	14		7	7.5	8.5	10	38					ns
Icc	max	OUT.C.	H				14	13		14	30	0.08	0.08	0.04					mA
IIH	max	D4～D7	H				20	40		20	40								μA
IIL	max	D4～D7	L				0.4	0.2		0.6	1								mA
IIH	max	ALL	H				20	20		20	20								μA
IIL	max	ALL	L				0.4	0.1		0.6	0.5								mA
IOH	max			Y	H		2.6	2.6		1	15	24	24	4					mA
IOL	max			Y	L		8	24		20	48	24	24	4					mA
IZL	max			Y	L		20	20			50	5.0	5.0	5.0					μA
IZH	max			Y	H		20	20			50	5.0	5.0	5.0					μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT		D			DF		D	D					
日電													
NS		DF											
PHIL													
RCA													
SIGNE					DF								
TI		DF	DF		D	DF	DF	DF					
東芝					D				DF				
SGS									DF				
CYPRES													
IDT													

74354　8 Input Data Selector (with Address Latch) and 3 State Outputs

Address Latch Contents			Inputs				Outputs	
			Data Latch Enable	Output Enables				
A2	A1	A0		OE1	OE2	OE3	Y	$\overline{Y}$
X	X	X	X	H	X	X	Z	Z
X	X	X	X	X	H	X	Z	Z
X	X	X	X	X	X	L	Z	Z
L	L	L	L	L	L	H	D0	$\overline{D0}$
L	L	H	↓	↓	↓	↓	D1	$\overline{D1}$
L	H	L	↓	↓	↓	↓	D2	$\overline{D2}$
L	H	H	↓	↓	↓	↓	D3	$\overline{D3}$
H	L	L	↓	↓	↓	↓	D4	$\overline{D4}$
H	L	H	↓	↓	↓	↓	D5	$\overline{D5}$
H	H	L	↓	↓	↓	↓	D6	$\overline{D6}$
H	H	H	↓	↓	↓	↓	D7	$\overline{D7}$
L	L	L	H	L	L	H	$D0_n$	$\overline{D0}_n$
L	L	H	↓	↓	↓	↓	$D1_n$	$\overline{D1}_n$
L	H	L	↓	↓	↓	↓	$D2_n$	$\overline{D2}_n$
L	H	H	↓	↓	↓	↓	$D3_n$	$\overline{D3}_n$
H	L	L	↓	↓	↓	↓	$D4_n$	$\overline{D4}_n$
H	L	H	↓	↓	↓	↓	$D5_n$	$\overline{D5}_n$
H	H	L	↓	↓	↓	↓	$D6_n$	$\overline{D6}_n$
H	H	H	↓	↓	↓	↓	$D7_n$	$\overline{D7}_n$

$D_0 \sim D_7$：データ入力

$D_{0n} \sim D_{7n}$：DATA LATCH ENABLE がロー レベルになったときにデータ入力にあるデータ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	D		Y, -Y										53		59			ns
tpd	max	D, L		Y, -Y			50							65		68			ns
tpd	max	A		Y, -Y			54							68		74			ns
tpd	max	A, L		Y, -Y			60							68		79			ns
tpd	max	OE	A	Y, -Y			25							40		49			ns
tpd	max	OE	N	Y, -Y			27							31		43			ns
Icc	max						46							0.08		0.08			mA
IOH	max			ALL	H		2.6							6		6			mA
IOL	max			ALL	L		24							6		6			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT									DF				
日電													
NS													
PHIL									DF		DF		
RCA									DF		DF		
SIGNE													
TI									DF				
東芝													
SGS									DF				
CYPRES													
IDT													

74356　8 Input Data Selector (with Address Latch) And 3 Stste Outputs

Inputs							Outputs	
Address Latch Contents *			Data Latch Clock	Output Enables				
A2	A1	A0		$\overline{OE1}$	$\overline{OE2}$	OE3	Y	$\overline{Y}$
X	X	X	X	H	X	X	Z	Z
X	X	X	X	X	H	X	Z	Z
X	X	X	X	X	X	L	Z	Z
L	L	L	↑	L	L	H	$D0_n$	$\overline{D0}_n$
L	L	H	↓	↓	↓	↓	$D1_n$	$\overline{D1}_n$
L	H	L	↓	↓	↓	↓	$D2_n$	$\overline{D2}_n$
L	H	H	↓	↓	↓	↓	$D3_n$	$\overline{D3}_n$
H	L	L	↓	↓	↓	↓	$D4_n$	$\overline{D4}_n$
H	L	H	↓	↓	↓	↓	$D5_n$	$\overline{D5}_n$
H	H	L	↓	↓	↓	↓	$D6_n$	$\overline{D6}_n$
H	H	H	↓	↓	↓	↓	$D7_n$	$\overline{D7}_n$
L	L	L	H, L, or ↓	L	L	H	$D0_p$	$\overline{D0}_p$
L	L	H	↓	↓	↓	↓	$D1_p$	$\overline{D1}_p$
L	H	L	↓	↓	↓	↓	$D2_p$	$\overline{D2}_p$
L	H	H	↓	↓	↓	↓	$D3_p$	$\overline{D3}_p$
H	L	L	↓	↓	↓	↓	$D4_p$	$\overline{D4}_p$
H	L	H	↓	↓	↓	↓	$D5_p$	$\overline{D5}_p$
H	H	L	↓	↓	↓	↓	$D6_p$	$\overline{D6}_p$
H	H	H	↓	↓	↓	↓	$D7_p$	$\overline{D7}_p$

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	D, L					50							60		64			ns
tpd	max	A					54							68		74			ns
tpd	max	A, L					60							68		79			ns
tpd	max	OE	N				25							40		47			ns
tpd	max	OE	A				27							31		48			ns
Icc	max						46							0.08		0.08			mA
IOH	max			ALL	H		2.6							6		6			mA
IOL	max			ALL	L		24							6		6			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF					
MOT														
日電														
NS														
PHIL									DF		DF			
RCA									DF		DF			
SIGNE														
TI									DF					
東芝														
SGS									DF					
CYPRES														
IDT														

$D_0 \sim D_7$：データ入力

$D_{0n} \sim D_{7n}$：DATA LATCH CLOCK の立ち上がりエッジ前のデータ

74365 (8T95) Hex 3-State Bus Buffers

○8T95はPNP入力

○74365はY出力に V_{CC} とGNDにクランプダイオードが入っている．

$\overline{G_1}$ or $\overline{G_2}$ がHのとき，Yはハイインピーダンス

$\overline{G_1} \cdot \overline{G_2}$ がLのとき Y＝A

74365A

74LS365

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		16	7		7.0		7.5	10.0	30		31	7.5		ns
tpd	max			H→L	↓		22	7		7.0		7.5	10.0	30		31	6.8		ns
tpd	max			Z→H	▽		35	14		10.0		9.5	14.0	55		44	11.0		ns
tpd	max			Z→L	△		40	14		10.0		10.5	13.0	55		44	11.0		ns
tpd	max			H→Z	▼		(30)	5		7.0		10.5	13.0	55		44	10.0		ns
tpd	max			L→Z	▲		(35)	8		7.0		10.5	11.5	55		44	9.5		ns
Icc	max						24	13		6.2		0.08	0.08	0.08		0.08	0.05		mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.4	0.1		20									mA
IOH	max			Y	H		2.6	15		15		24	24	6		6	15		mA
IOL	max			Y	L		24	24		64		24	24	6		6	48		mA
IZL	max			Y	L		20	20		50		5	5	5		5	50		μA
IZH	max			Y	H		20	20	50Z			5	5	5		5	50		μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					DF	DF	DF				
MOT		D			DF				DF				
日電									DF				
NS		DF			DF				DF				
PHIL									DF		DF		
RCA									DF		DF		
SIGNE					DF								
TI		DF							DF				
東芝		D							DF			D	
SGS									DF				
CYPRES													
IDT													

参考品種
74604
74605
74606
74607

74366 (8T96)　Hex 3-State Bus Inverters

○8T96はPNP入力

○74366はY出力にV_{CC}とGNDにクランプダイオードが入っている。

$\overline{G_1}$ or $\overline{G_2}$がHのとき、Yはハイインピーダンス状態

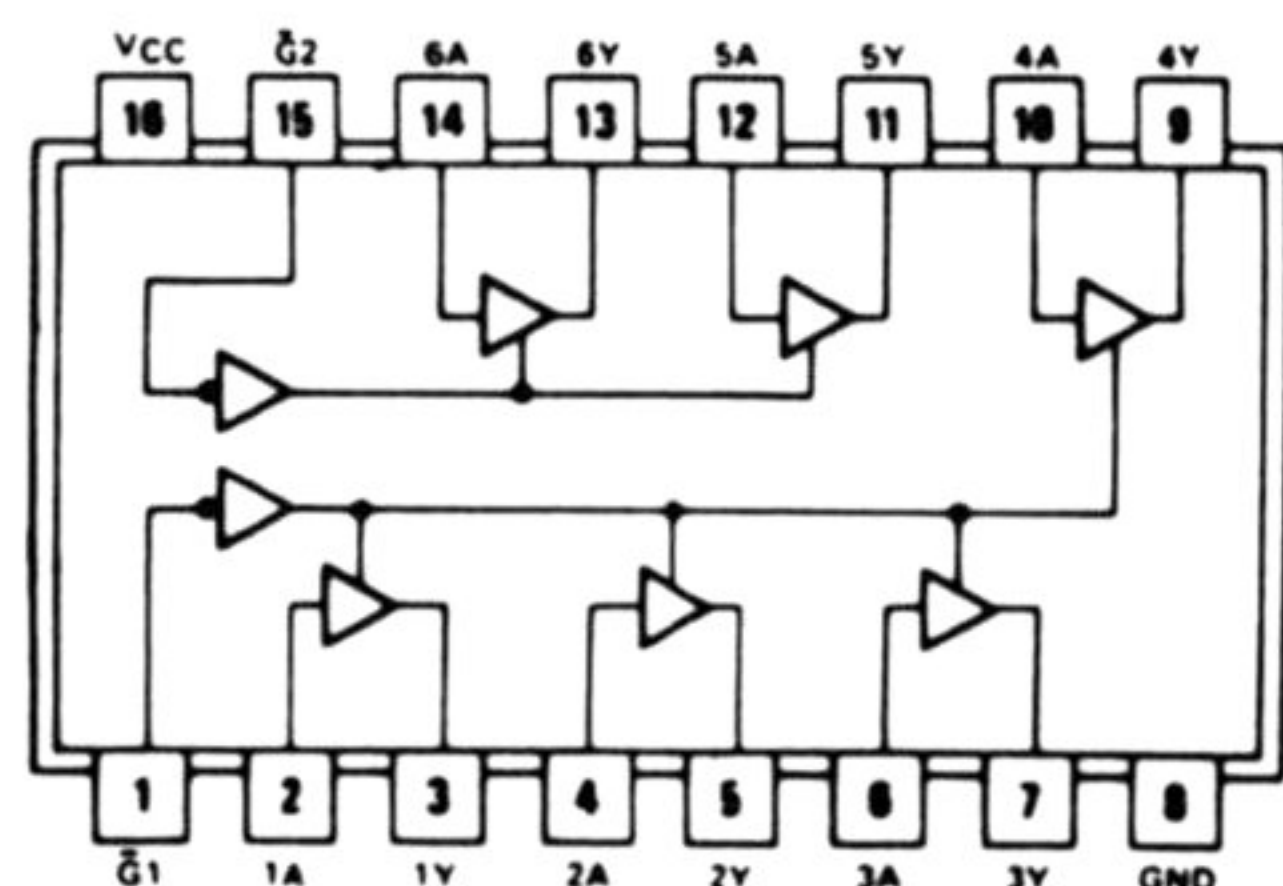
$\overline{G_1}\cdot\overline{G_2}$がLのとき $Y=\overline{A}$

74366A

74LS366

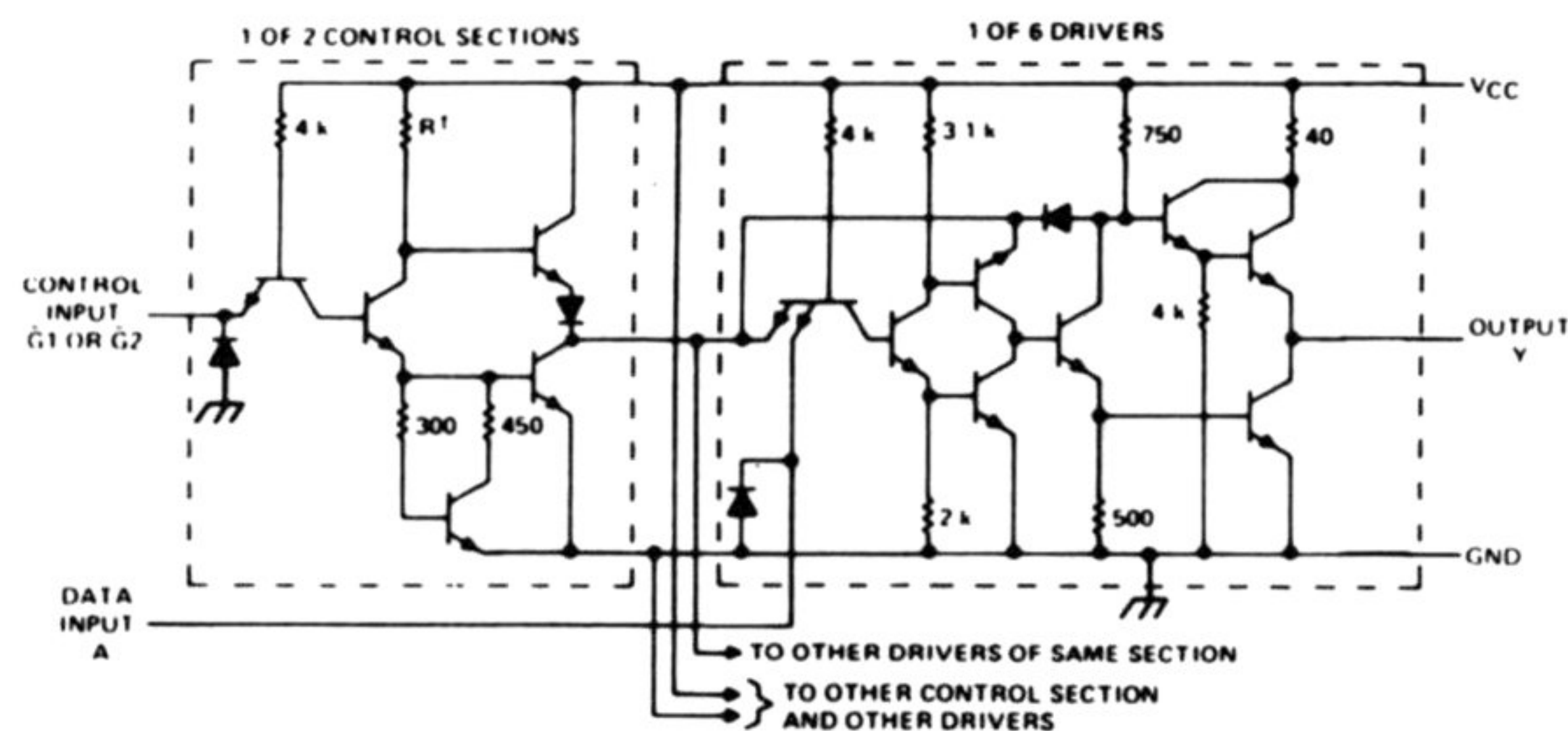
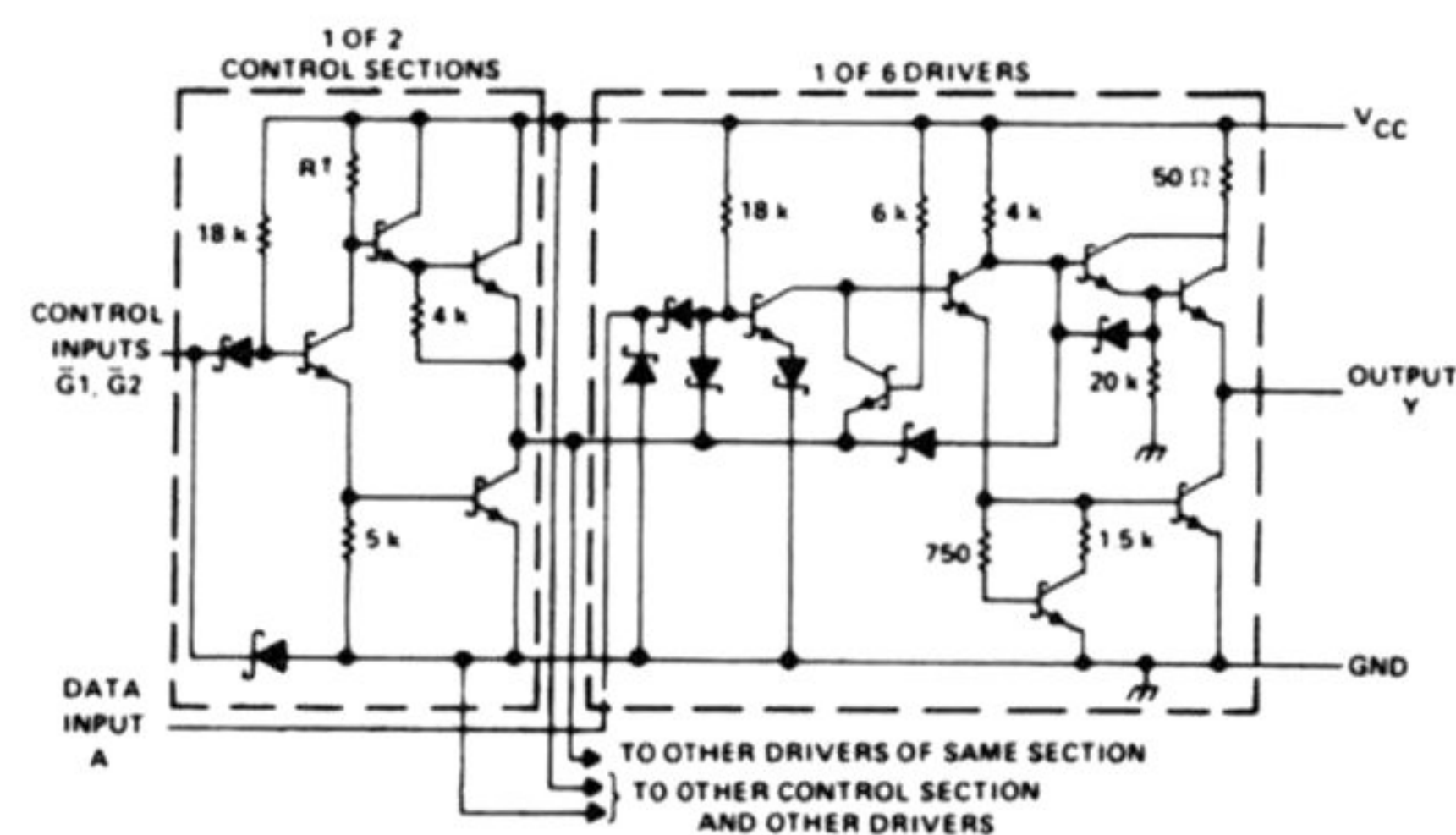
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15	6		7.5		7.5	10.0	24		30	7.5		ns
tpd	max			H→L	↓		18	5		7.5		7.5	10.0	24		30	7.5		ns
tpd	max			Z→H	▽		35	10		9.5		10.0	11.0	55		44	11.0		ns
tpd	max			Z→L	△		45	17		9.5		10.0	11.0	55		44	11.0		ns
tpd	max			H→Z	▼		(32)	6		7.0		10.5	12.0	55		44	10.0		ns
tpd	max			L→Z	▲		(35)	6		7.0		10.5	12.0	55		44	9.5		ns
Icc	max						21	11		62		0.08	0.08	0.08		0.08	0.05		mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.4	0.1		20									mA
IOH	max			Y	H		2.6	15		15		24	24	6		6	15		mA
IOL	max			Y	L		24	24		64		24	24	6		6	48		mA
IZL	max			Y	L		20	20		50		5	5	5		5	50		μA
IZH	max			Y	H		20	20		50		5	5	5		5	50		μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					DF	DF	DF				
MOT		D			D				DF			DF	
日電									DF				
NS		DF			D				DF				
PHIL									DF		DF		
RCA									DF		DF		
SIGNE					DF								
TI		DF							DF				
東芝									DF			D	
SGS									DF				
CYPRES													
IDT													

74367 (8T97)　Hex 3-State Bus Buffers

○8T97はPNP入力

○74367はY出力に V_{CC} とGNDにクランプダイオードが入っている．

$\overline{G_1}$，$\overline{G_2}$ がHのときは，Yは ハイインピーダンス

$\overline{G_1}$，$\overline{G_2}$ がLのときはY＝A

74367A

74LS367

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		16	7		7.5		7.5	10.0	30		31	7.5		ns
tpd	max			H→L	↓		22	7		7.5		7.5	10.0	30		31	6.8		ns
tpd	max			Z→H	▽		35	14		8.5		9.5	11.0	47		44	11.5		ns
tpd	max			Z→L	△		40	14		8.5		10.5	13.0	47		44	10.0		ns
tpd	max			H→Z	▼		(30)	5		7.0		10.5	13.0	44		44	10.0		ns
tpd	max			L→Z	▲		(35)	8		7.0		10.5	11.5	44		44	9.5		ns
Icc	max						24	13		62		0.08	0.08	0.08		0.08	0.05		mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.4	0.1		20									mA
IOH	max			Y	H		2.6	15		15		24	24	6		6	15		mA
IOL	max			Y	L		24	24		64		24	24	6		6	48		mA
IZL	max			Y	L		20	20		50		5	5	5		5	50		μA
IZH	max			Y	H		20	20		50		5	5	5		5	50		μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					DF	DF	DF				
MOT		DF			DF				DF				
日電									DF				
NS		DF						DF	DF				
PHIL									DF		DF		
RCA									DF		DF		
SIGNE					DF								
TI		DF							DF				
東芝		D					DFS		DF			D	
SGS									DF		DF		
CYPRES													
IDT													

74368 (8T98) Hex 3-State Bus Inverters

○8T98はPNP入力

○74368はY出力に V_{CC} と GND にクランプダイオードが入っている.

○ $\overline{G_1}$, $\overline{G_2}$ がHのときYはハイインピーダンス

○ $\overline{G_1}$, $\overline{G_2}$ がLのとき $Y=\overline{A}$

74368A

74LS368

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15	6		5.5		7.5	10.0	24		30	7.5		ns
tpd	max			H→L	↓		18	5		5.5		7.5	10.0	24		30	7.5		ns
tpd	max			Z→H	▽		35	10		9.0		10.0	11.0	47		44	11.5		ns
tpd	max			Z→L	△		45	17		9.0		10.5	13.0	47		44	10.0		ns
tpd	max			H→Z	▼		(32)	6		7.0		10.5	13.0	44		44	10.0		ns
tpd	max			L→Z	▲		(35)	6		7.0		10.5	12.0	44		44	9.5		ns
Icc	max						21	11		62		0.08	0.08	0.08		0.08	0.05		mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.1	0.1		20									mA
IOH	max			Y	H		15	15		15		24	24	6		6	15		mA
IOL	max			Y	L		24	24		64		24	24	6		6	48		mA
IZL	max			Y	L		20	20		50		5	5	5		5	50		μA
IZH	max			Y	H		20	20		50		5	5	5		5	50		μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF					
MOT		DF			DF				DF					
日電									DF					
NS		DF			DF			DF						
PHIL									DF		DF			
RCA									DF		DF			
SIGNE					DF									
TI		DF							DF					
東芝							DF		DF			D		
SGS									DF		DF			
CYPRES														
IDT														

74373 Octal 3-State D-Latches

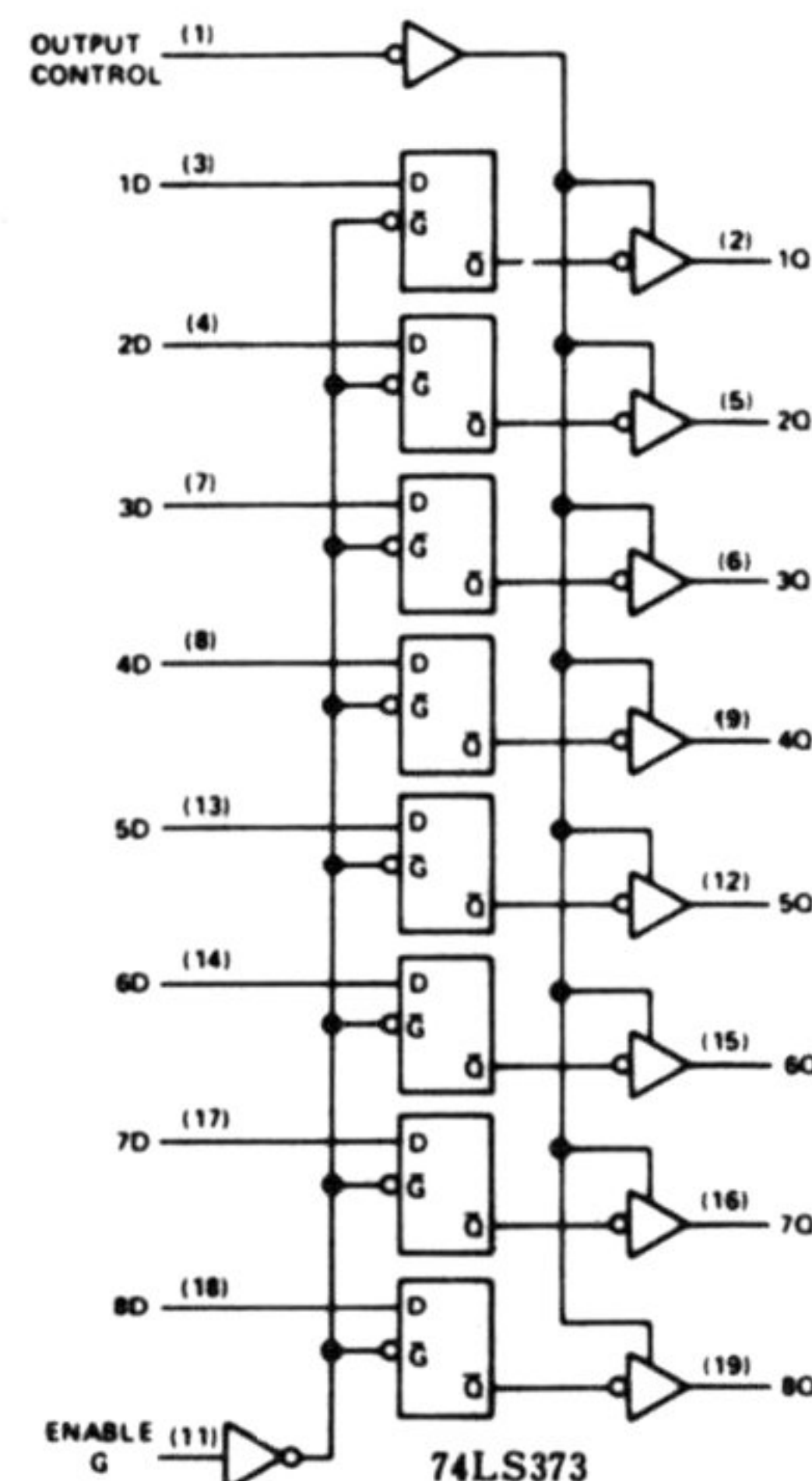
74LS373

○ 8 bit ラッチ．

○ ラッチの動作については7475等と同一．

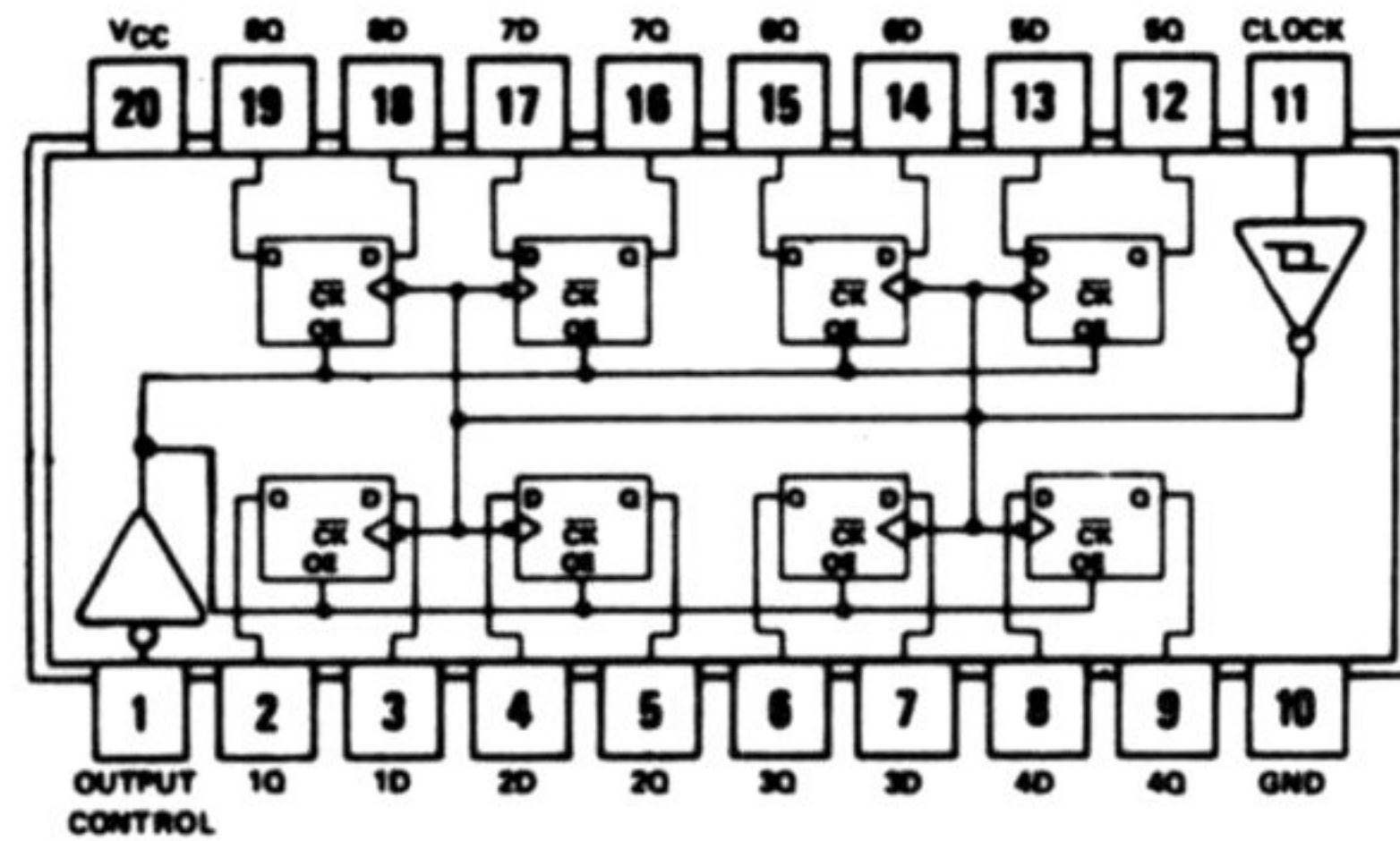
○ 出力が3ステートになっているのでバスラインなどに使用可能．

○ Output Control をHにすると出力がハイインピーダンス状態になる（Gに優先）

○ G＝Hにするとデータつつぬけ
  G＝Lにするとデータホールド

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	ENABLE				7	15	10		6	4.5	4.5	8.0	20		20	7.0	7.5	ns
tsu	min	DATA				6	0↓	10↓		2	2↓	4.5	8.0	5		6	2.0	2	ns
thold	min	DATA				1	10↓	7↓		3	3↓	1.0	1.0	13		13	2.0	5.5	ns
tpd	max	ENABLE		Q		12.5	30	23		13	11.5	11.0	11.5	44		44	10	9.3	ns
tpd	max	DATA		Q		11	18	16		8	6	11.0	11.5	38		37	10	9.5	ns
tpd	max	OUT.C.	N	Q			36	12		7.5	7	15.5	10.5	38		37	8.5	12	ns
tpd	max	OUT.C.	A	Q			36	20		12	9.5	12.0	12.5	38		37	12.5	7.4	ns
Icc	max					0.004	40	27		55	110	0.08	0.08	0.08		0.08	27	60	mA
IIH	max	ALL	H				20	20		20	20								μA
IIL	max	ALL	L				0.4	0.1		0.6	0.5								mA
IOH	max			Q	H	12	2.6	2.6		3	15	24	24	6		6	3	15	mA
IOL	max			Q	L	12	24	24		20	48	24	24	6		6	24	64	mA
IZL	max			Q	L		20	20			50	5	5	5		5	3	50	μA
IZH	max			Q	H		20	20			50	5	5	5		5	24	50	μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF		DF	DF		
MOT		DF			DF		DF	DF	DF		DF			
日電									DF		DF			
NS	F	DF	DF		DF	DF	DF	DF	DF		DF			
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DFS	DF	DF		DF		DF	
東芝	F	D			D		DFS	DF	DF		DF	DF		
SGS									DF		DF			
CYPRES					DF									
IDT								DF						

参考品種
74363
74533
74573

74374 Octal 3-State D-FFs

○リーディングエッジトリガ(POS)

○Clock入力がシュミットになっているので，立ち上がりの遅いパルスでも誤動作しない

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK				120	35	35		70	125	100	90	24		24	70	70	MHz
tw	min	CLK				7	15	14		7	4	4.5	8.0	20		20	7.0	7	ns
tsu	min	DATA				9	20↑	10↑		2	2↑	4.5	8.0	25		25	2.0	6.5	ns
thold	min	DATA				0	0↑	0↑		2	2↑	1.5	1.5	5		5	2.0	0	ns
tpd	max	CLK		Q		13.5	28	16		10	9	11.0	11.5	45		45	10	10.6	ns
tpd	max	OUT.C.	N	Q		13	28	18		8	6	15.5	10.5	38		37	8.5	12.7	ns
tpd	max	OUT.C.	A	Q		14.5	28	18		12.5	10	12.0	12.5	38		37	12.5	6.8	ns
Icc	max					0.004	40	31		86	128	0.08	0.08	0.08		0.08	27	60	mA
IIH	max	OC, CLK	H				20	20		20	20								μA
IIL	max	OC, CLK	L				0.4	0.2		0.6	0.5								mA
IIH	max	DATA	H				20	20		20	20								μA
IIL	max	DATA	L				0.9	0.2		0.6	2								mA
IOH	max			Q	H	12	2.6	2.6		3	15	24	24	6		6	3	15	mA
IOL	max			Q	L	12	24	24		20	48	24	24	6		6	24	64	mA
IZL	max			Q	H		20	20		20	50	5	5	5		5	50	50	μA
IZH	max			Q	L		20	20		3	50	5	5	5		5	50	50	μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					DF	DF	DF		DF	DF	
MOT		DF			DF		DF	DF	DF		DF		
日電									DF		DF		
NS	F	DF	DF		DF	DF	DF	DF	DF		DF		
PHIL	DF								DF		DF		
RCA							DF	DF	DF		DF		
SIGNE			DF		DF								
TI		DF	DF		DF	DF	DF	DF	DF		DF	DF	DF
東芝	F	D							DF		DF	DF	DF
SGS									DF		DF		
CYPRES					DF								
IDT								DF					

参考品種
74364
74534
74574

入力		動作
Output control	CK	
X	⎍	データセット
H	X	出力ハイインピーダンス

Vcc 8Q 8D 7D 7Q 6Q 6D 5D 5Q CLOCK
20 19 18 17 16 15 14 13 12 11
1 2 3 4 5 6 7 8 9 10
OUTPUT CONTROL 1Q 1D 2D 2Q 3Q 3D 4D 4Q GND

BIDIRECTIONAL BUS DRIVER
OUTPUT CONTROL 1
BIDIRECTIONAL DATA BUS 1
BIDIRECTIONAL DATA BUS 2
CLOCK 1
CLOCK 2
OUTPUT CONTROL 2

CLOCK 1 H
BUS EXCHANGE CLOCK
CLOCK 2 H
CLOCK CIRCUIT FOR BUS EXCHANGE

74375　4-Bit D-Latches

Vcc 16, 4D 15, 4Q̄ 14, 4Q 13, ENABLE 3·4 12, 3Q 11, 3Q̄ 10, 3D 9

1D 1, 1Q̄ 2, 1Q 3, ENABLE 1·2 4, 2Q 5, 2Q̄ 6, 2D 7, GND 8

○7475のピンレイアウトを変えたタイプ.
他のデータは7475と同一.
（動作については7475参照）

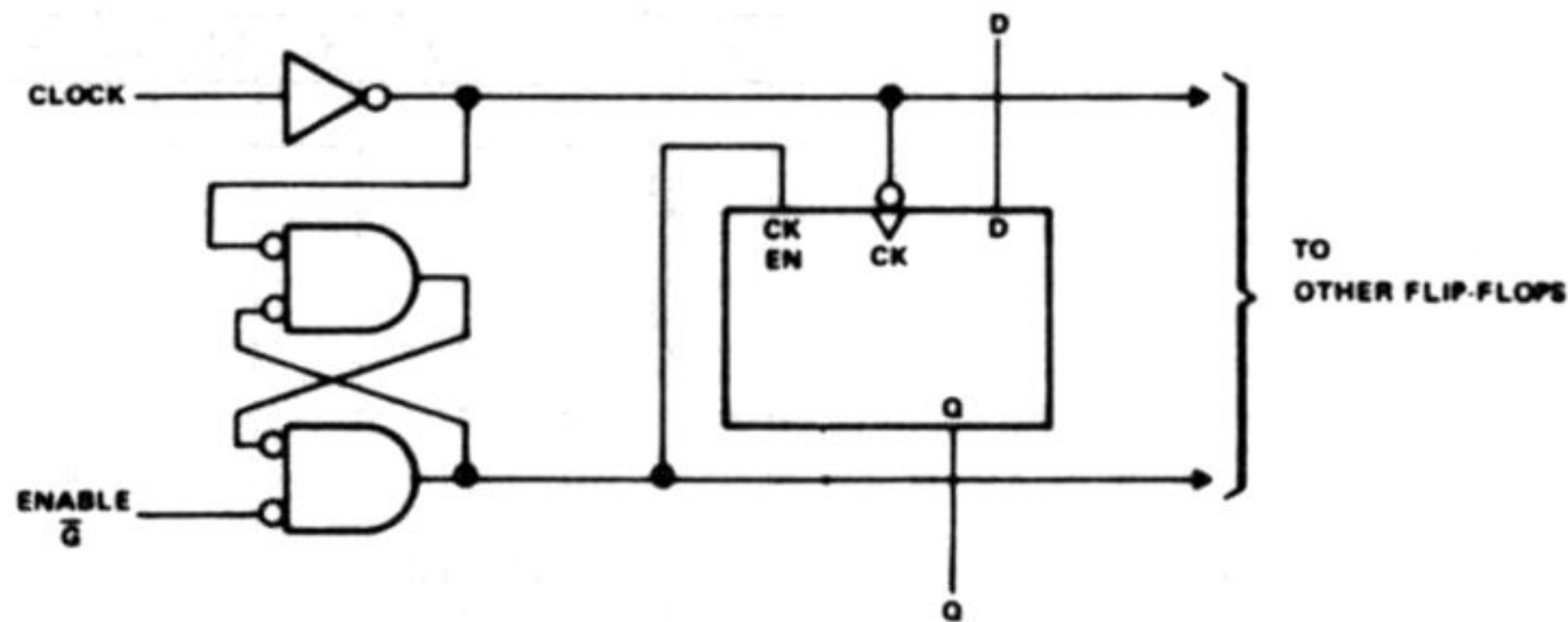
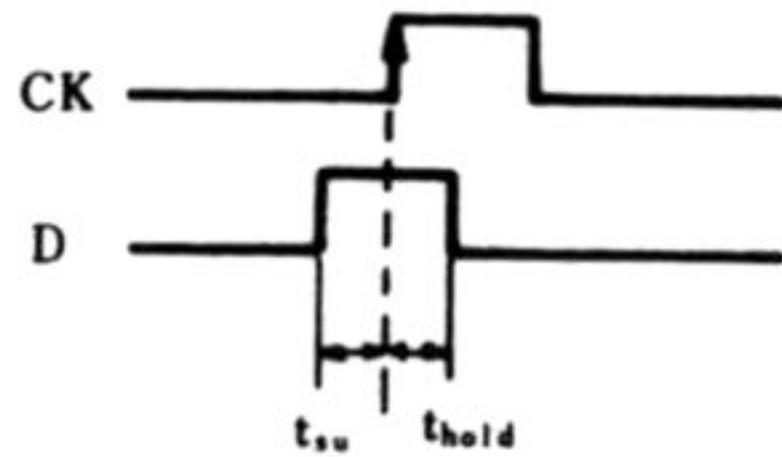
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	ENABLE					20							18					ns
tsu	min	DATA					20							12					ns
tpd	max	DATA		Q	↑		27							35					ns
tpd	max	DATA		Q	↓		17							35					ns
tpd	max	DATA		-Q	↑		20							35					ns
tpd	max	DATA		-Q	↓		15							35					ns
tpd	max	ENABLE		Q	↑		27							42					ns
tpd	max	ENABLE		Q	↓		25							42					ns
tpd	max	ENABLE		-Q	↑		30							42					ns
tpd	max	ENABLE		-Q	↓		15							42					ns
Icc	max	ALL	L	ALL	H		12							0.04					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		D												
日電									DF					
NS		DF												
PHIL														
RCA														
SIGNE														
TI		DF							DF					
東芝		D							DF					
SGS									DF					
CYPRES														
IDT														

参考品種
7475
7477

74377　　8-Bit D-FFs

○74273 のクリア端子をクロックイネーブルに変えたタイプ

入 力		動 作
$\overline{G}$	CK	
H	X	ホールド
L	⎍	データセット

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30					125	125	24		22			MHz
tw	min	CLK					20					4.5	4.5	20		25			ns
tsu	min	DATA					20↑					4.5	5.5	15		15			ns
thold	min	D.EN.					5↑					1.0	1.0	3		2			ns
thold	min	ENABLE					25↑					1.0	1.0	4		3			ns
tpd	max	CLK		Q			27					11	11	40		40			ns
Icc	max						28					0.08	0.08	0.08		0.08			mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.4												mA
IOH	max			ALL	H		0.4					24	24	4		4			mA
IOL	max			ALL	L		8					24	24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT		D			DF		D	DF					
日電									DF				
NS		DF			DF		DF	DF					
PHIL									DF		DF		
RCA									DF		DF		
SIGNE			DF		DF								
TI		DF			D		DF	DF	DF				
東芝		D					DF	DF	DF				
SGS									DF				
CYPRES					DF								
IDT								DF					

参考品種
74273
74174
74175

74378 6-Bit D-FFs

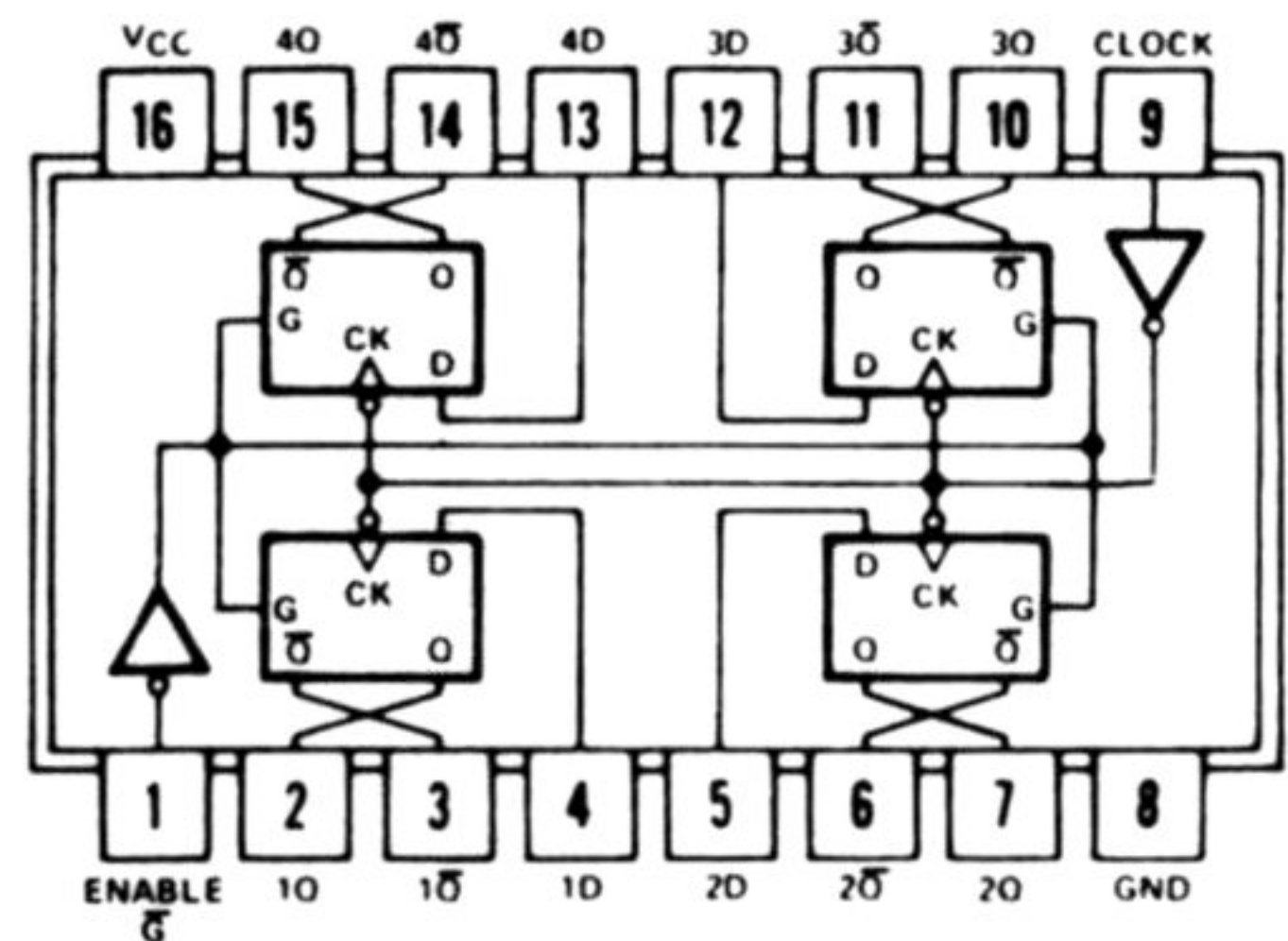
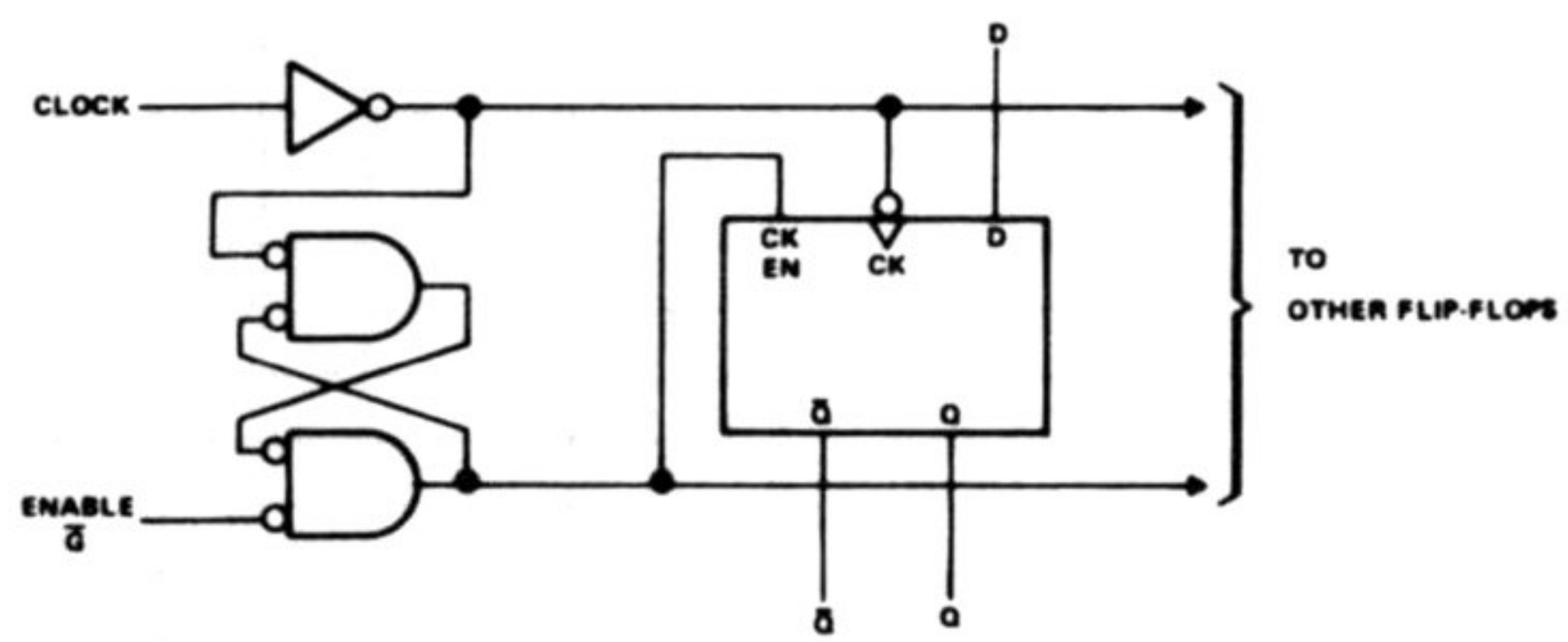
○74174のクリア端子をクロックイネーブルに変えたタイプ

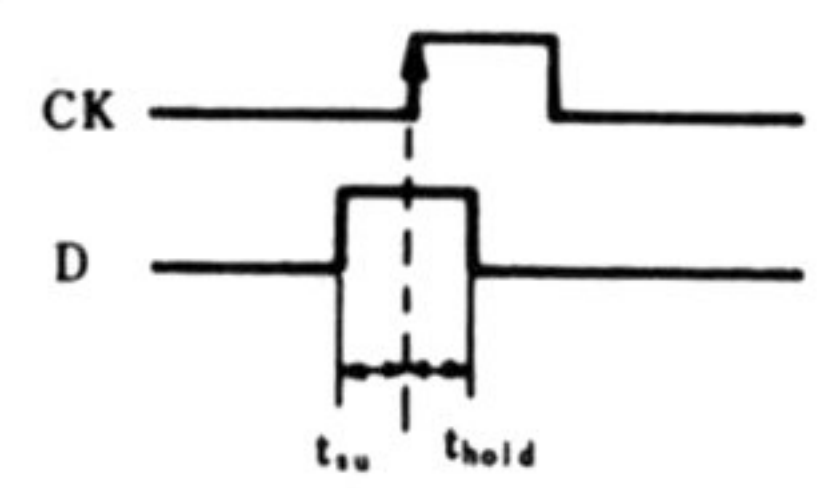
入力		動作
$\overline{G}$	CK	
H	X	ホールド
L	⎍	データセット

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30			100		145	120	20					MHz
tw	min	CLK					20			5		4.0	3.5	18					ns
tsu	min	DATA					20↑			4↑		2.5	1.0	18					ns
thold	min	D. EN.					5↑			1↑		2.0	4.0	6					ns
trec	min	ENABLE					25↑												ns
tpd	max	CLK		Q			27			10		9.0	12	47					ns
Icc	max						22			45				0.04					mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0.4			0.6									mA
IOH	max			ALL	H		0.4			1		24	24	4					mA
IOL	max			ALL	L		8			20		24	24	4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT		D			DF		D							
日電														
NS		DF			DF		DF							
PHIL														
RCA														
SIGNE					DF									
TI		DF			DF		DF	DF	DF					
東芝					D									
SGS														
CYPRES														
IDT														

参考品種
74273
74174
74175

74379　　4-Bit D-FFs

○74175のクリア端子をクロックイネーブルに変えたタイプ

入力		動作
Ḡ	CK	
H	X	ホールド
L	⎍	データセット

参考品種
74273
74174
74175

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30			100				20					MHz
tw	min	CLK					20			5				18					ns
tsu	min	DATA					20↑			3↑				12					ns
thold	min	D. EN.					5↑			1↑				0					ns
trec	min	ENABLE					25↑												ns
tpd	max	CLK		Q			27			9. 5				44					ns
Icc	max						15			40				0. 08					mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0. 4			0. 6									mA
IOH	max			ALL	H		0. 4			1				4					mA
IOL	max			ALL	L		8			20				4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT		D			DF									
日電														
NS		DF			DF									
PHIL														
RCA														
SIGNE					DF									
TI		DF			D		DF		DF					
東芝														
SGS														
CYPRES														
IDT														

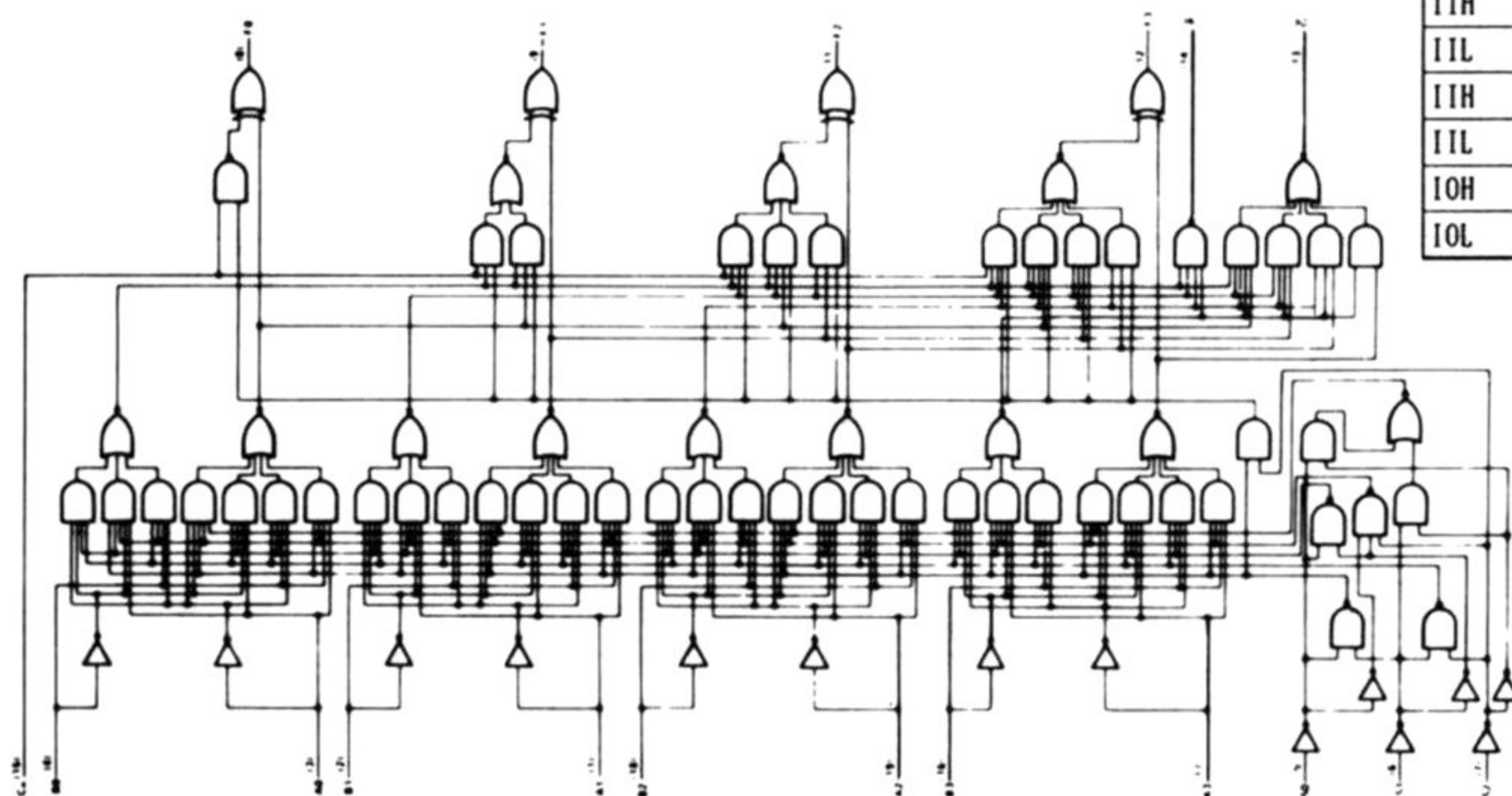
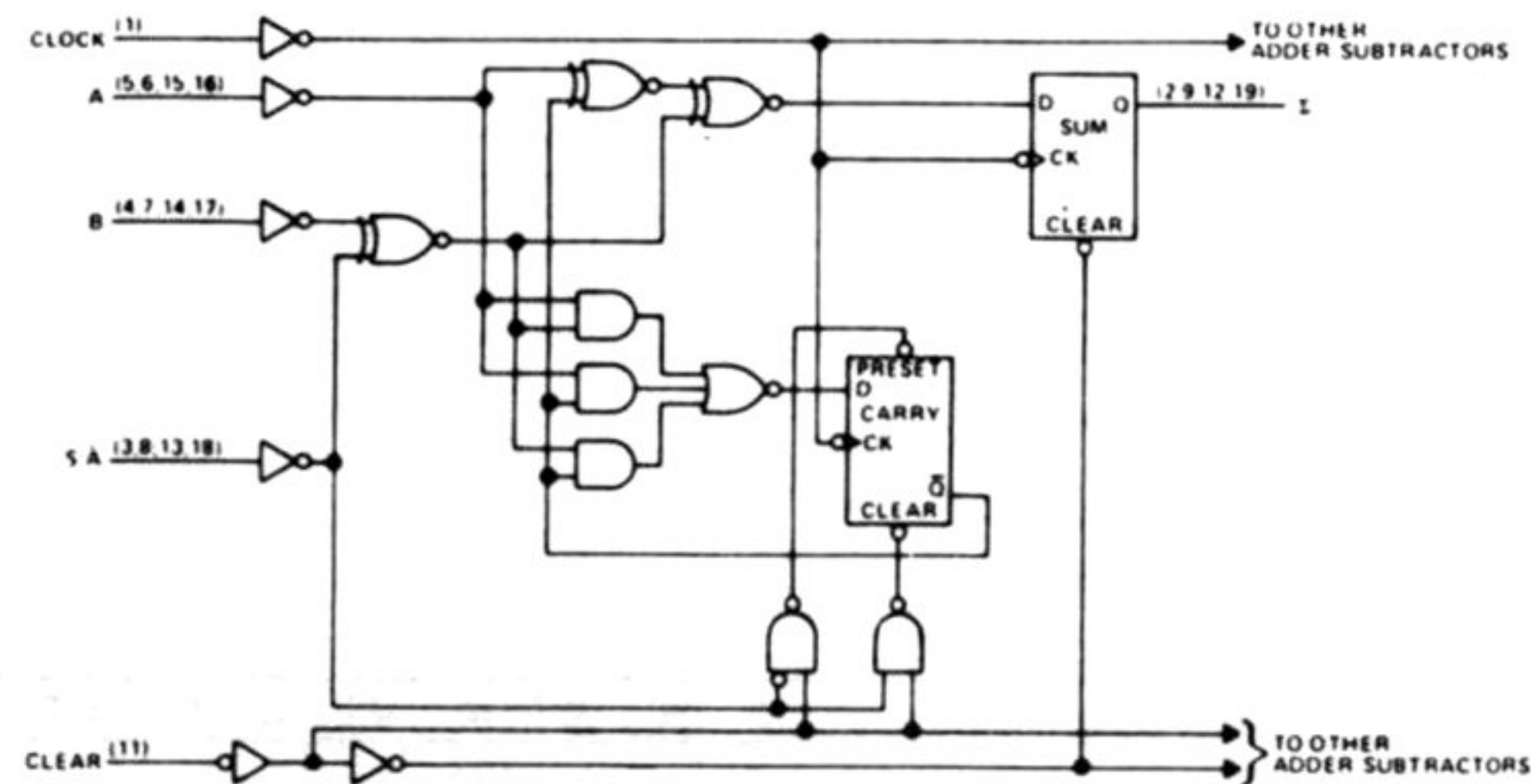
74381 Arithmetic Logic Unit

SELECTION S2	S1	S0	ARITHMETIC/LOGIC OPERATION
L	L	L	CLEAR
L	L	H	B MINUS A
L	H	L	A MINUS B
L	H	H	A PLUS B
H	L	L	A ⊕ B
H	L	H	A + B
H	H	L	AB
H	H	H	PRESET

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	Cn		F			30			11.5									ns
tpd	max	A, B		F			40			14.5									ns
tpd	max	S		F			40			12									ns
Icc	max						43			89									mA
IIH	max	S	H				20			20									μA
IIL	max	S	L				0.4			0.6									mA
IIH	max	Cn	H				80			20									μA
IIL	max	Cn	L				1.6			2.4									mA
IIH	max	OTHERS	H				80			20									μA
IIL	max	OTHERS	L				1.6			2.4									mA
IOH	max			ALL	H		0.4			1									mA
IOL	max			ALL	L		8			20									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT					DF								
日電													
NS					DF								
PHIL													
RCA													
SIGNE					DF								
TI		D			D								
東芝													
SGS													
CYPRES													
IDT													

参考品種
74181
74382

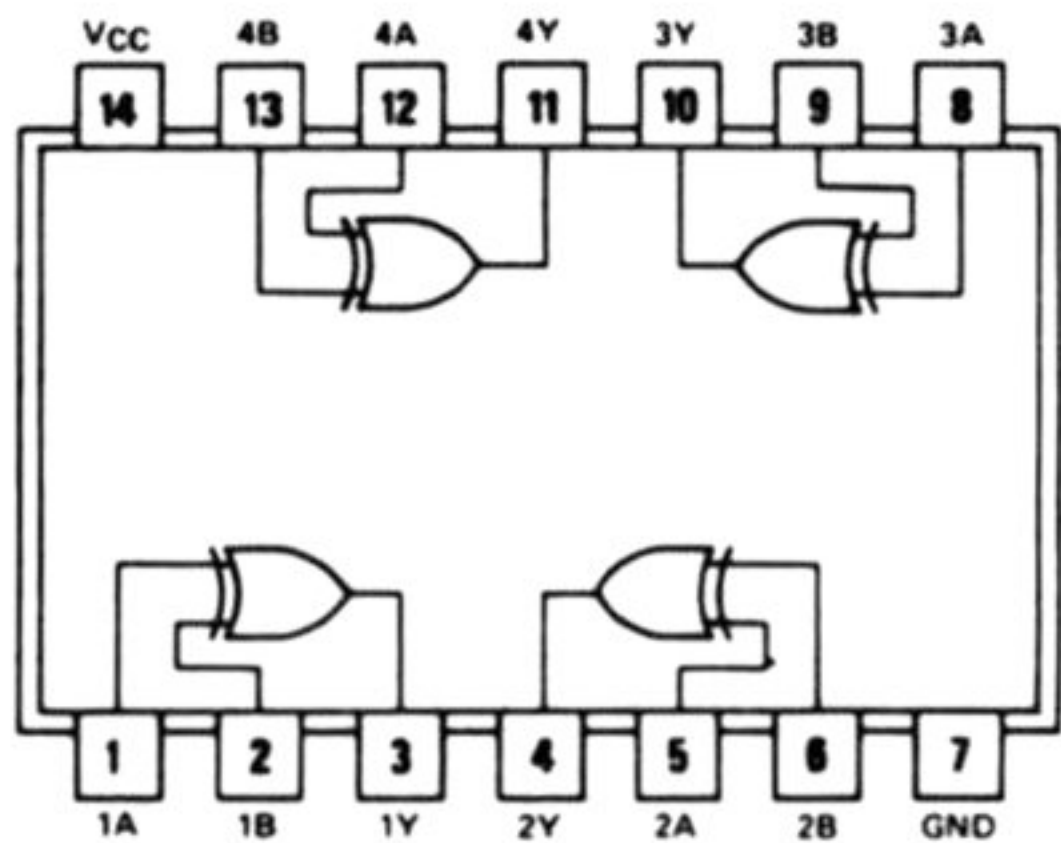
74385 Quad Serial Adder/Subtractors

FUNCTION TABLE

SELECTED FUNCTION	INPUTS CLEAR	S/Ā	A	B	CLOCK	INTERNAL CARRY D INPUT BEFORE ↑	AFTER ↑	Σ OUTPUT AFTER ↑
Clear	L	L	X	X	X	L	L	L
	L	H	X	X	X	H	H	L
Add	H	L	L	L	↑	L	L	L
	H	L	L	L	↑	H	L	H
	H	L	L	H	↑	L	L	H
	H	L	L	H	↑	H	H	L
	H	L	H	L	↑	L	L	H
	H	L	H	L	↑	H	H	L
	H	L	H	H	↑	L	H	L
	H	L	H	H	↑	H	H	H
Subtract	H	H	L	L	↑	L	L	H
	H	H	L	L	↑	H	H	L
	H	H	L	H	↑	L	L	L
	H	H	L	H	↑	H	L	H
	H	H	H	L	↑	L	H	L
	H	H	H	L	↑	H	H	H
	H	H	H	H	↑	L	L	H
	H	H	H	H	↑	H	H	L

H = high level, L = low level, X = irrelevant,
↑ = transition from low to high level at the clock input

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30			70									MHz
tw	min	CLK					17			6									ns
tw	min	CLEAR					20			6									ns
tsu	min	A, B, S					10↑			15↑									ns
thold	min	ALL					0↑			0↑									ns
trec	min	CLEAR					25↑			9.5									ns
tpd	max	CLK		Σ			22			10									ns
tpd	max	CLEAR		Σ			30			13									ns
Icc	max		H	OPEN			75			95									mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0.36			0.6									mA
IOH	max			ALL	H		0.4			1									mA
IOL	max			ALL	L		8			20									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE					DF								
TI		DF											
東芝													
SGS													
CYPRES													
IDT													

74386　Quad 2 Input Ex-OR

$$Y = A \oplus B = \overline{A}\,B + A\,\overline{B}$$

ピン接続が異なるほかは74LS86と同じ．

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H			30							30					ns
tpd	max			H→L			12							30					ns
Icc	max						10							0.01					mA
IIH	max	A, B	H				40												μA
IIL	max	A, B	L				0.6												mA
IOH	max			Y	H		0.4							4					mA
IOL	max			Y	L		8							4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		D												
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI									DF					
東芝		D							DF					
SGS									DF					
CYPRES														
IDT														

参考品種
7486

74390 Dual Decade Counters

○7490を２回路入れたタイプ.

ただしプリセット９は省かれている.

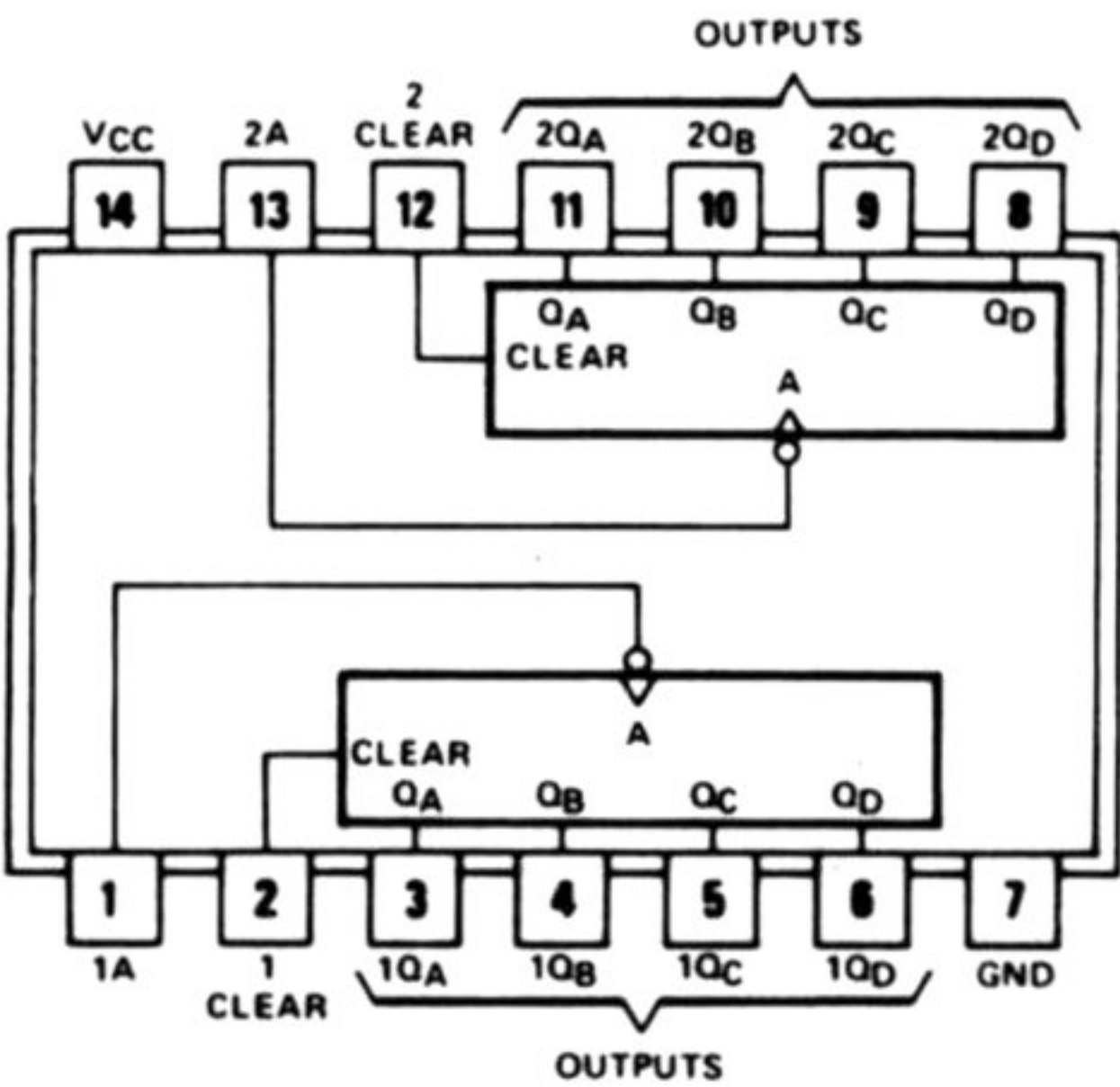
（動作については7490参照）

74390
74LS390

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	A					25							21		22			MHz
fmax	min	B					20							21		22			MHz
tw	min	A					20							20		23			ns
tw	min	B					25							20		23			ns
tw	min	CLEAR					20							20		21			ns
trec	min	CLEAR					25↓							5		19			ns
tpd	max	A		Qa			20							30		36			ns
tpd	max	B		Qc			39							46		53			ns
tpd	max	B		Qb, Qd			21							33		39			ns
tpd	max	CLEAR		Qa〜Qd			39							41		41			ns
Icc	max	ALL	L	ALL	L		26							0.08		0.08			mA
IIH	max	A	H				100												μA
IIL	max	A	L				1.6												mA
IIH	max	B	H				200												μA
IIL	max	B	L				2.4												mA
IIH	max	CLEAR	H				20												μA
IIL	max	CLEAR	L				0.4												mA
IOH	max			ALL	H		0.4							4		4			mA
IOL	max			ALL	L		8							4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		DF							DF					
日電									DF					
NS		DF							DF					
PHIL									DF		DF			
RCA									DF		DF			
SIGNE														
TI		DF							DF					
東芝		D					DF		DF					
SGS									DF					
CYPRES														
IDT														

参考品種
74490
7468
74290

74393 Dual 4-Bit Binary Counters

○7493を2回路入れたタイプ．ただしQ_Aは内部で
INPUT Bに接続されている．

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25					100		21		22			MHz
tw	min	CK, CLR					20					5.0		20		24			ns
trec	min	CLEAR					25↓					0.0		5		5			ns
tpd	max	CLK		Qa			20					10.0		30		40			ns
tpd	max	CLK		Qd			60					13.0		72		75			ns
tpd	max	CLEAR		Qa～Qd			39					12.0		41		40			ns
Icc	max	ALL	L	ALL	L		26					0.08		0.08		0.08			mA
IIH	max	CLK	H				40												μA
IIL	max	CLK	L				1.6												mA
IIH	max	CLEAR	H				20												μA
IIL	max	CLEAR	L				0.4												mA
IOH	max			ALL	H		0.4					24		4		4			mA
IOL	max			ALL	L		8					24		4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF					DF		DF				
MOT		DF							DF				
日電									DF				
NS		DF							DF				
PHIL									DF		DF		
RCA									DF		DF		
SIGNE					DF								
TI		DF							DF				
東芝		D					DFS		DF				
SGS									DF		DF		
CYPRES													
IDT													

参考品種
7493
74293
7469

74395　4-Bit Shift Registers (3-State)

3 state → 4

74295にQ_DおよびClear端子を設けたタイプ
395から395Aになり出力のシンク電流が増した

入力				出力	動作
Clear	Load/Shift	CK	Output control	$Q_A \sim Q_D$	
H	L	↑	—	—	右シフト
H	H	↑	—	—	ロード
L	X	X	—	—	クリア
			H	Z	—

Q_D'は3stateになっていない

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30			95									MHz
tw	min	CLK					25			5.5									ns
tsu	min	DATA					20↓			2.0									ns
thold	min	DATA					10↓			1.5									ns
tpd	max	CLEAR		ALL			35			10.5									ns
tpd	max	CLK		ALL			30			11.5									ns
tpd	max	OUT. C.		Qa～Qd			25			10.0									ns
tpd	max	OUT. C.		Qa～Qd			20			6.5									ns
Icc	max						34			50									mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0.4			0.6									mA
IOH	max			Qa～Qd	H		2.6			3									mA
IOL	max			Qa～Qd	L		24			24									mA
IZL	max			Qa～Qd	L		20			50									μA
IZH	max			Qa～Qd	H		20			50									μA
IOH	max			Qd	H		0.4			3									mA
IOL	max			Qd	L		8			24									mA

参考品種
74295

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT		D											
日電													
NS		DF											
PHIL													
RCA													
SIGNE					DF								
TI		DF											
東芝													
SGS													
CYPRES													
IDT													

74396　Octal (4×2) Storage Registers

○4ビットデータ2バイトの8ビット変換用

入力		動作
Strobe G	Clock	
H	X	全出力L
L	↑	ロード／シフト

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30												MHz
tw	min	CLK					20												ns
tsu	min	DATA					20↑												ns
thold	min	DATA					5↑												ns
tpd	max	CLK		Q			30												ns
tpd	max	STROBE		Q			30												ns
Icc	max	OPEN		OPEN			40												mA
IIH	max	CLK					40												μA
IIL	max	CLK					0.8												mA
IIH	max	OTHERS					20												μA
IIL	max	OTHERS					0.4												mA
IOH	max			ALL			0.4												mA
IOL	max			ALL			8												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI		DF												
東芝														
SGS														
CYPRES														
IDT														

74398 4-Bit 2 Input Multiplex Register

入力		出力			
Word Select	CK	Q_A	Q_B	Q_C	Q_D
L	↓↑	D_{A1}	D_{B1}	D_{C1}	D_{D1}
H		D_{A2}	D_{B2}	D_{C2}	D_{D2}

○74398は74399に$\overline{Q}$出力を加えたタイプ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25			100									MHz
tw	min	CLK					20			6									ns
tsu	min	DATA					20↑			4↑									ns
ten	min	W-SEL					25↑												ns
thold	min	ALL					0↑			1↑									ns
tpd	max	CLK		Q			32			12									ns
Icc	max						12			38									mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0.4			0.6									mA
IOH	max			ALL	H		0.4			1									mA
IOL	max			ALL	L		8			20									mA

参考品種
74399
74298

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT		D			D								
日電													
NS					DF								
PHIL													
RCA													
SIGNE					DF								
TI													
東芝													
SGS													
CYPRES													
IDT													

74399 4-Bit 2 Input Multiplex Register

入　力		出　力
Word Select	CK	Q_A Q_B Q_C Q_D
L	↑	D_{A1} D_{B1} D_{C1} D_{D1}
H	↑	D_{A2} D_{B2} D_{C2} D_{D2}

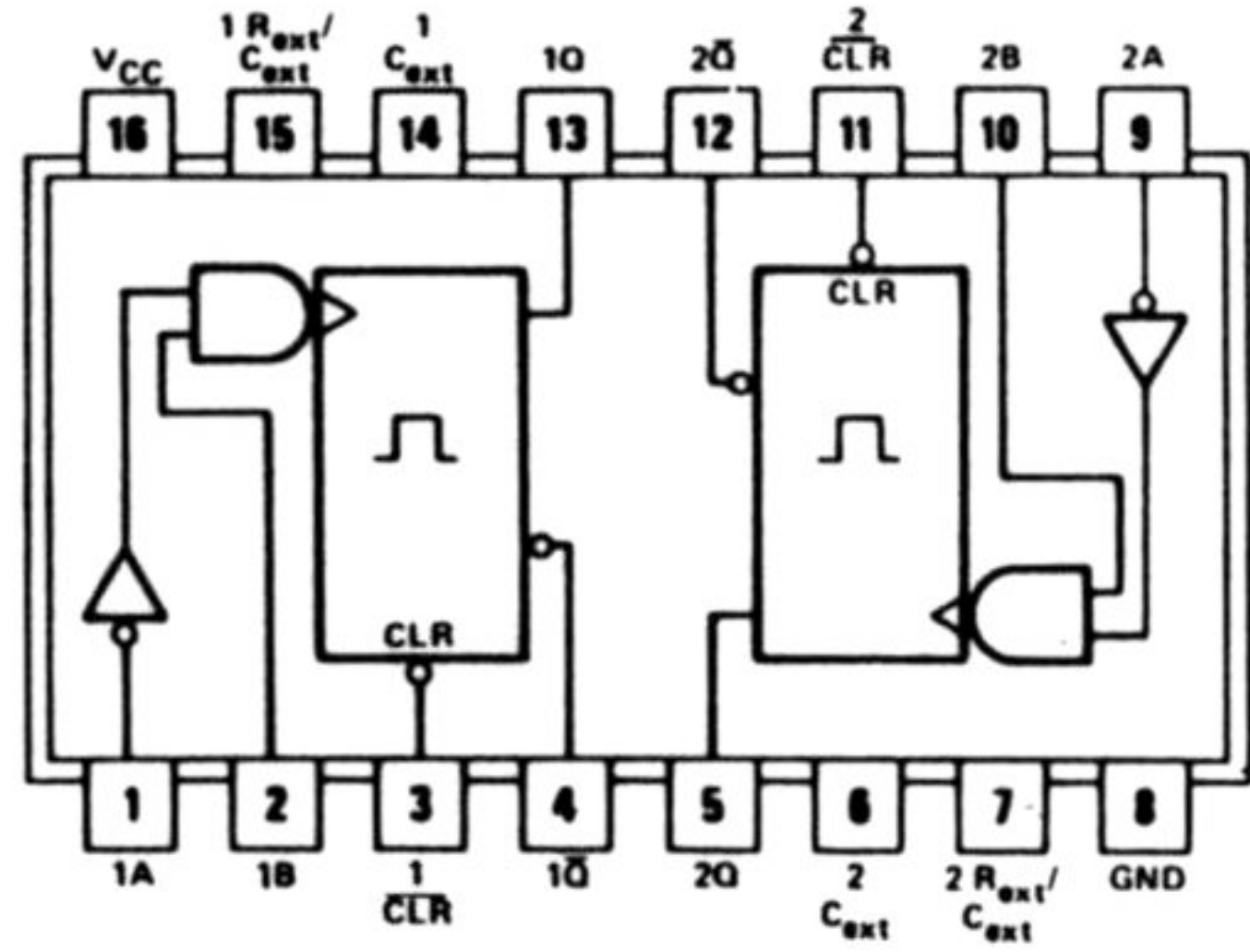
○74399は74289のクロック論理を逆にしたタイプ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25			100									MHz
tw	min	CLK					20			6									ns
tsu	min	DATA					20↑			4↑									ns
ten	min	W. SEL.					25↑												ns
thold	min	ALL					0↑			1↑									ns
tpd	max	CLK		Q			32			12									ns
Icc	max						13			34									mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0.4			0.6									mA
IOH	max			ALL	H		0.4			1									mA
IOL	max			ALL	L		8			20									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT		DF			DF								
日電													
NS					DF		DF	DF					
PHIL													
RCA													
SIGNE					DF								
TI		DF											
東芝		D											
SGS													
CYPRES					DF								
IDT								DF					

参考品種
74399
74298

74423 Dual Retriggerable Single Shot

VCC 1Rext/Cext 1Cext 1Q 2$\overline{Q}$ 2$\overline{CLR}$ 2B 2A
16 15 14 13 12 11 10 9
1 2 3 4 5 6 7 8
1A 1B 1$\overline{CLR}$ 1$\overline{Q}$ 2Q 2Cext 2Rext/Cext GND

○A，Bの入力条件が成立しているときCLRを解除（H）にしてもトリガされない

○$t_w = 0.45 R_T \cdot C_T \left(\begin{array}{c} 5\,k\Omega < R_T < 260\,k\Omega \\ 1000\,pF \leq C_T \end{array} \right)$

RETRIGGER PULSE (See Note)

B INPUT

$t_w + t_{PLH}$

OUTPUT Q

t_w

OUTPUT WITHOUT RETRIGGER

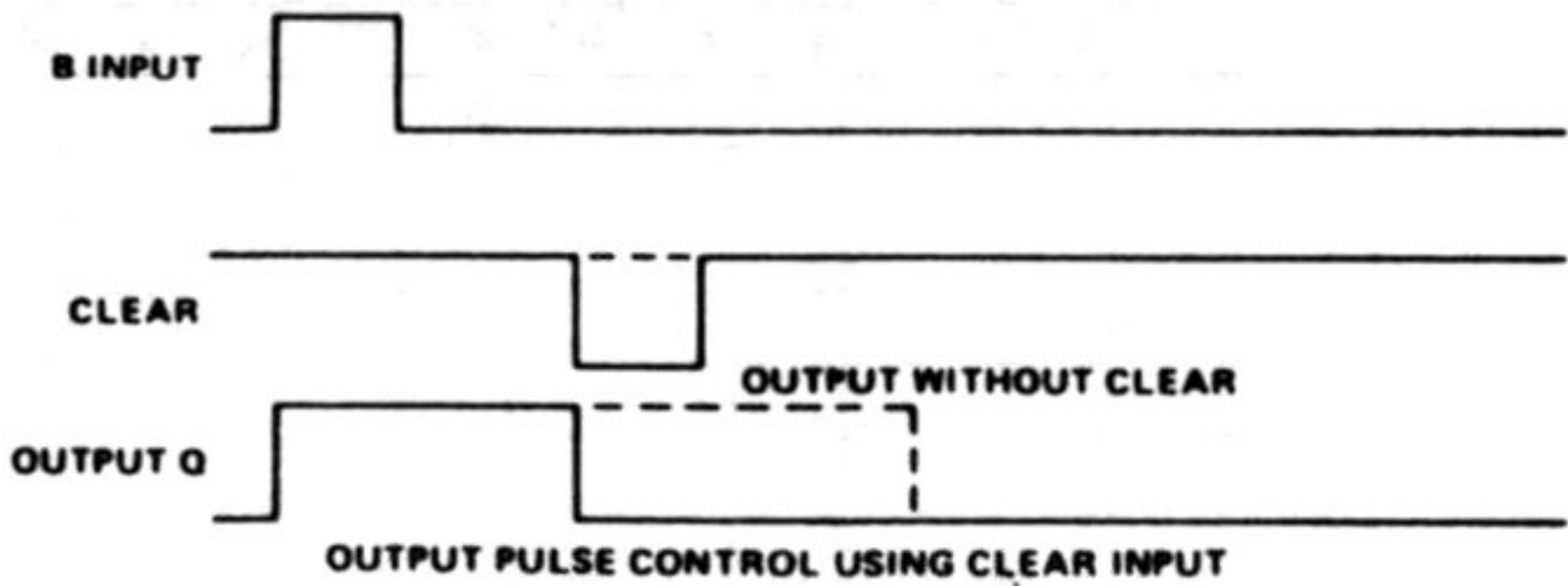
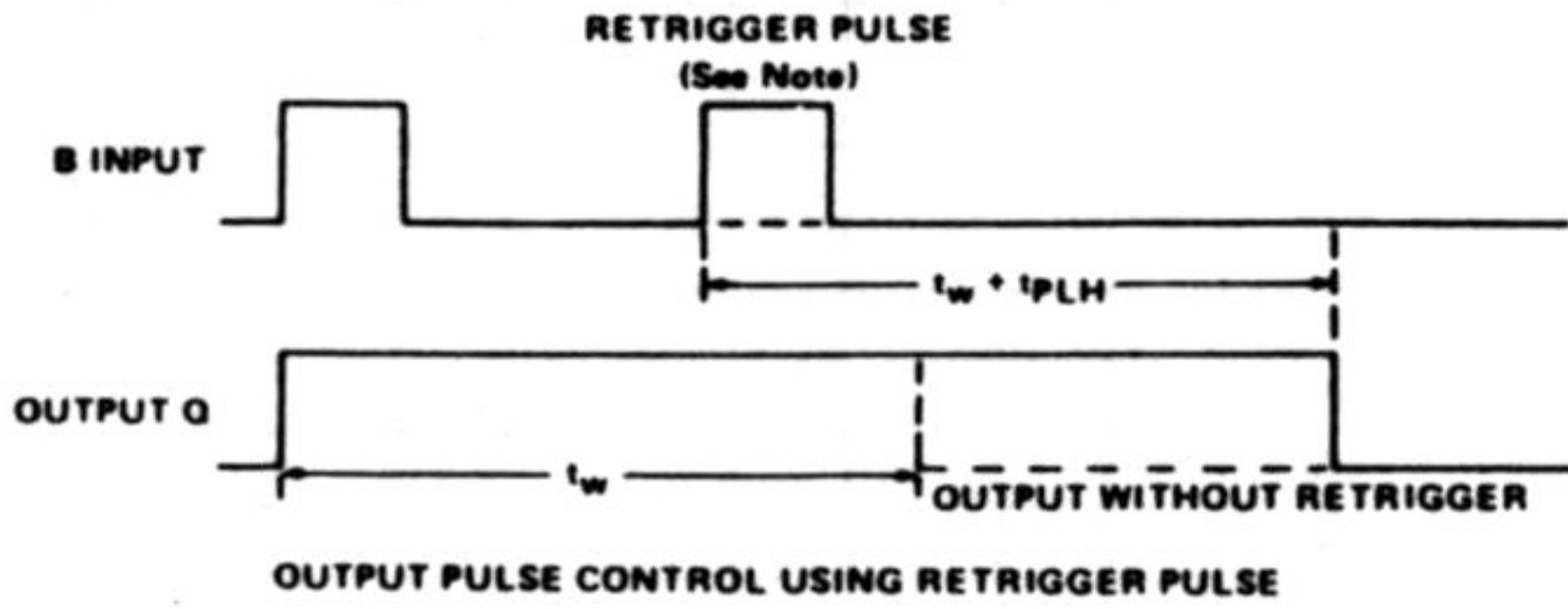
OUTPUT PULSE CONTROL USING RETRIGGER PULSE

B INPUT

CLEAR

OUTPUT WITHOUT CLEAR

OUTPUT Q

OUTPUT PULSE CONTROL USING CLEAR INPUT

NOTE: If retrigger pulse starts before 0.22 C_{ext} (in picofarads) nanoseconds after previous trigger pulse, output pulse extension may be shorter than $t_w + t_{PLH}$.

参考品種
74123
74422
74221

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A		Q	↑		33							51		51			ns
tpd	max	B		Q	↑		44							51		51			ns
tpd	max	A		-Q	↓		45							51		51			ns
tpd	max	B		-Q	↓		56							51		51			ns
tpd	max	CLEAR		Q			27							43		46			ns
tpd	max	CLEAR		-Q			45							43		46			ns
tw	max	CT=0		RT=5K			200												ns
tw	typ	CT=0		RT=5K										75		75			ns
Icc	max						20							0.08		0.08			mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.4												mA
IOH	max			Q, -Q	H		0.4							4		4			mA
IOL	max			Q, -Q	L		8							4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT													
日電													
NS									DF				
PHIL									DF		DF		
RCA									DF		DF		
SIGNE													
TI		DF											
東芝									DF				
SGS									DF				
CYPRES													
IDT													

FUNCTION TABLE

INPUTS			OUTPUTS	
CLEAR	A	B	Q	$\overline{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⊓	⊔
H	↓	H	⊓	⊔

74442 Quad Tri-directional Bus Transceivers

○ヒステリシス入力（データバス）
○3系統バスの切替え器
○$\overline{CS}$＝Lのとき
S1，S0でソースを選択する（0：A，1：B，2：C）
$\overline{GA}$, $\overline{GB}$, $\overline{GC}$でディスティネーションを個別にアクティブとする

FUNCTION TABLE

INPUTS						TRANSFERS BETWEEN BUSES		
$\overline{CS}$	S1	S0	$\overline{GA}$	$\overline{GB}$	$\overline{GC}$	'LS440 'LS442	'LS441 'LS443	'LS444 'LS448
H	X	X	X	X	X	None	None	None
X	H	H	X	X	X	None	None	None
X	X	X	H	H	H	None	None	None
X	L	L	X	H	H	None	None	None
X	L	H	H	X	H	None	None	None
X	H	L	H	H	X	None	None	None
L	L	L	X	L	L	A→B, A→C	$\overline{A}$→B, $\overline{A}$→C	$\overline{A}$→B, $\overline{A}$→C
L	L	H	L	X	L	B→C, B→A	$\overline{B}$→C, $\overline{B}$→A	B→C, $\overline{B}$→A
L	H	L	L	L	X	C→A, C→B	$\overline{C}$→A, $\overline{C}$→B	$\overline{C}$→A, C→B
L	L	L	X	L	H	A→B	$\overline{A}$→B	$\overline{A}$→B
L	L	H	H	X	L	B→C	$\overline{B}$→C	B→C
L	H	L	L	H	X	C→A	$\overline{C}$→A	$\overline{C}$→A
L	L	L	X	H	L	A→C	$\overline{A}$→C	$\overline{A}$→C
L	L	H	L	X	H	B→A	$\overline{B}$→A	$\overline{B}$→A
L	H	L	H	L	X	C→B	$\overline{C}$→B	C→B

○LS442, LS443, LS444は3S出力
LS440, LS441, LS448はOC出力

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B, C		(NORM)			20							50					ns
tpd	max	A, B, C		(INV)			14							50					ns
tpd	max	S0, S1		A, B, C										50					ns
tpd	max	S0, S1		Z→X			42							38					ns
tpd	max	S0, S1		X→Z			(25)							38					ns
Tyst	min	A, B, C					0.2							15					V
Icc	max			OFF			95							0.04					mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.4												mA
IOH	max			3S	H		3												mA
IOL	max			3S	L		24												mA
IZH	max			3S	H		20							5.0					μA
IZL	max			3S	L		400							5.0					μA
IOH	max			OC	H		100							6					mA
IOL	max			OC	L		24							6					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI		D											
東芝													
SGS													
CYPRES													
IDT													

74443 Quad Tri-directional Bus Transceivers

○ヒステリシス入力（データバス）
○3系統バスの切替え器
○$\overline{CS}$＝L のとき
S1, S0 でソースを選択する（0：A, 1：B, 2：C）
$\overline{GA}$, $\overline{GB}$, $\overline{GC}$ でディスティネーションを個別にアクティブとする

FUNCTION TABLE

INPUTS						TRANSFERS BETWEEN BUSES		
$\overline{CS}$	S1	S0	$\overline{GA}$	$\overline{GB}$	$\overline{GC}$	'LS440 'LS442	'LS441 'LS443	'LS444 'LS448
H	X	X	X	X	X	None	None	None
X	H	H	X	X	X	None	None	None
X	X	X	H	H	H	None	None	None
X	L	L	X	H	H	None	None	None
X	L	H	H	X	H	None	None	None
X	H	L	H	H	X	None	None	None
L	L	L	X	L	L	A · B, A · C	$\overline{A}$ · B, $\overline{A}$ · C	$\overline{A}$ · B, $\overline{A}$ · C
L	L	H	L	X	L	B · C, B · A	$\overline{B}$ · C, $\overline{B}$ · A	B · C, $\overline{B}$ · A
L	H	L	L	L	X	C · A, C · B	$\overline{C}$ · A, $\overline{C}$ · B	C · A, C · B
L	L	L	X	L	H	A · B	$\overline{A}$ · B	$\overline{A}$ · B
L	L	H	H	X	L	B · C	$\overline{B}$ · C	B · C
L	H	L	L	H	X	C · A	$\overline{C}$ · A	$\overline{C}$ · A
L	L	L	X	H	L	A · C	$\overline{A}$ · C	$\overline{A}$ · C
L	L	H	L	X	H	B · A	$\overline{B}$ · A	$\overline{B}$ · A
L	H	L	H	L	X	C · B	$\overline{C}$ · B	C · B

○LS442, LS443, LS444は3S出力
LS440, LS441, LS448はOC出力

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B, C		(NORM)			20							50					ns
tpd	max	A, B, C		(INV)			14							50					ns
tpd	max	S0, S1		A, B, C										50					ns
tpd	max	S0, S1		Z→X			42							38					ns
tpd	max	S0, S1		X→Z			(25)							38					ns
Tyst	min	A, B, C												15					V
Icc	max			OFF			95							0.04					mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.4												mA
IOH	max			3S	H		3												mA
IOL	max			3S	L		24												mA
IZH	max			3S	H		20							5.0					μA
IZL	max			3S	L		400							5.0					μA
IOH	max			OC	H		100							6					mA
IOL	max			OC	L		24							6					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT													

74444 Quad Tri-directional Bus Transceivers

○ヒステリシス入力（データバス）
○３系統バスの切替え器
○$\overline{CS}$＝L のとき
S1, S0 でソースを選択する（0：A, 1：B, 2：C）
$\overline{GA}$, $\overline{GB}$, $\overline{GC}$ でディスティネーションを個別にアクティブとする

FUNCTION TABLE

INPUTS						TRANSFERS BETWEEN BUSES		
$\overline{CS}$	S1	S0	$\overline{GA}$	$\overline{GB}$	$\overline{GC}$	'LS440 'LS442	'LS441 'LS443	'LS444 'LS448
H	X	X	X	X	X	None	None	None
X	H	H	X	X	X	None	None	None
X	X	X	H	H	H	None	None	None
X	L	L	X	H	H	None	None	None
X	L	H	H	X	H	None	None	None
X	H	L	H	H	X	None	None	None
L	L	L	X	L	L	A・B, A・C	$\overline{A}$・B, $\overline{A}$・C	$\overline{A}$・B, $\overline{A}$・C
L	L	H	L	X	L	B・C, B・A	$\overline{B}$・C, $\overline{B}$・A	B・C, $\overline{B}$・A
L	H	L	L	L	X	C・A, C・B	$\overline{C}$・A, $\overline{C}$・B	$\overline{C}$・A, C・B
L	L	L	X	L	H	A・B	$\overline{A}$・B	$\overline{A}$・B
L	L	H	H	X	L	B・C	$\overline{B}$・C	B・C
L	H	L	L	H	X	C・A	$\overline{C}$・A	$\overline{C}$・A
L	L	L	X	H	L	A・C	$\overline{A}$・C	$\overline{A}$・C
L	L	H	L	X	H	B・A	$\overline{B}$・A	$\overline{B}$・A
L	H	L	H	L	X	C・B	$\overline{C}$・B	C・B

○LS442, LS443, LS444は３S出力
LS440, LS441, LS448はＯＣ出力

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B, C		(NORM)			20												ns
tpd	max	A, B, C		(INV)			14												ns
tpd	max	S0, S1		A, B, C															ns
tpd	max	S0, S1		Z→X			42												ns
tpd	max	S0, S1		X→Z			(25)												ns
Tyst	min	A, B, C					0.2												V
Icc	max			OFF			95												mA
IIH	max	ALL	H				20							50					μA
IIL	max	ALL	L				0.4							50					mA
IOH	max			3S	H		3							50					mA
IOL	max			3S	L		24							38					mA
IZH	max			3S	H		20							38					μA
IZL	max			3S	L		400							15					μA
IOH	max			OC	H		100							0.04					μA
IOL	max			OC	L		24												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF					
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

74449 Quad Bus Transceivers with Direction Controls

○スリー・ステート出力
○P-N-Pトランジスタ入力

機能表

イネーブル GBA	イネーブル GAB	方向 DIR	動作
H	H	X	アイソレーション
X	L	H	Aデータから Bバス
L	X	L	Bデータから Aバス
X	H	H	アイソレーション
H	X	L	アイソレーション

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	Gn/DIR		An	L→H		15									25			ns
tpd	max	Gn/DIR			H→L		17									25			ns
tpd	max	A			Z→L		35									30			ns
tpd	max	A			Z→H		30									30			ns
tpd	max	G			L→Z		25									30			ns
tpd	max	G			H→Z		15									30			ns
Icc	max						80									.004			mA
Icc	max																		mA
IIH	max																		μA
IIL	max																		mA
IOH	max																		mA
IOL	max						24									6			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI		D											
東芝													
SGS													
CYPRES													
IDT													

74465 (81LS95)　　Octal 3-State Bus Buffers

81LS95

○74795と同じ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15	13											ns
tpd	max			H→L	↓		18	12											ns
tpd	max			Z→H	△		40	23											ns
tpd	max			Z→L	▽		45	25											ns
tpd	max			H→Z	▲		40	10											ns
tpd	max			L→Z	▼		45	18											ns
Icc	max		L				17	33											mA
IIH	max	ALL	H				20	20											μA
IIL	max	ALL	L				0. 2	0. 1											mA
IOH	max			ALL	H		2. 6	15											mA
IOL	max			ALL	L		24	24											mA
IZL	max			ALL	L		20	20											μA
IZH	max			ALL	H		20	20											UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI		DF	DF											
東芝														
SGS														
CYPRES														
IDT														

74466 (81LS96)　　Octal 3-State Bus Buffers

81LS96

74LS365, 74LS366の8bit版

（注）TIのLS465, LS466はPNP入力

○74796と同じ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		12	12											ns
tpd	max			H→L	↓		15	9											ns
tpd	max			Z→H	△		40	16											ns
tpd	max			Z→L	▽		45	23											ns
tpd	max			H→Z	▲		40	10											ns
tpd	max			L→Z	▼		45	17											ns
Icc	max	A, E	L				13	27											mA
IIH	max	ALL	H				20	20											μA
IIL	max	ALL	L				0.2	0.1											mA
IOH	max			ALL	H		2.6	15											mA
IOL	max			ALL	L		24	24											mA
IZL	max			ALL	L		20	20											μA
IZH	max			ALL	H		20	20											UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI		DF	DF											
東芝														
SGS														
CYPRES														
IDT														

74467 (81LS97)　　Octal 3-State Bus Buffers

VCC G̅2 8A 8Y 7A 7Y 6A 6Y 5A 5Y
20 19 18 17 16 15 14 13 12 11
1 2 3 4 5 6 7 8 9 10
G̅1 1A 1Y 2A 2Y 3A 3Y 4A 4Y GND

81LS97

○74797と同じ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15	13											ns
tpd	max			H→L	↓		18	12											ns
tpd	max			Z→H	△		40	23											ns
tpd	max			Z→L	▽		45	25											ns
tpd	max			H→Z	▲		40	10											ns
tpd	max			L→Z	▼		45	18											ns
Icc	max	A, E	L				17	33											mA
IIH	max	ALL	H				20	20											μA
IIL	max	ALL	L				0. 2	0. 1											mA
IOH	max			ALL	H		2. 6	15											mA
IOL	max			ALL	L		24	24											mA
IZL	max			ALL	L		20	20											μA
IZH	max			ALL	H		20	20											UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI			DF											
東芝														
SGS														
CYPRES														
IDT														

74468 (81LS98)　　Octal 3-State Bus

VCC $\overline{G}$2 8A 8Y 7A 7Y 6A 6Y 5A 5Y
20 19 18 17 16 15 14 13 12 11
1 2 3 4 5 6 7 8 9 10
G1 1A 1Y 2A 2Y 3A 3Y 4A 4Y GND

81LS98

○ 74LS367, 74LS268の8bit版

○74798と同じ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		12	12											ns
tpd	max			H→L	↓		15	9											ns
tpd	max			Z→H	△		40	16											ns
tpd	max			Z→L	▽		45	23											ns
tpd	max			H→Z	▲		40	10											ns
tpd	max			L→Z	▼		45	17											ns
Icc	max	A, E	L				13	27											mA
IIH	max	ALL	H				20	20											μA
IIL	max	ALL	L				0. 2	0. 1											mA
IOH	max			ALL	H		2. 6	15											mA
IOL	max			ALL	L		24	24											mA
IZL	max			ALL	L		20	20											μA
IZH	max			ALL	H		20	20											UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI			DF											
東芝														
SGS														
CYPRES														
IDT														

74480 DUAL 8-BIT PARITY GENERATORS/CHECKER

Pin	Name	Pin	Name
1	A_1	24	V_{CC}
2	B_1	23	A_2
3	C_1	22	B_2
4	D_1	21	C_2
5	E_1	20	D_2
6	F_1	19	E_2
7	G_1	18	F_2
8	H_1	17	G_2
9	PAR_1	16	H_2
10	$CHK/\overline{GEN}$	15	PAR_2
11	(ODD1) EVEN1	14	$\overline{ERROR}$
12	GND	13	$EVEN_2$ (ODD_2)

Logic diagram signals: A_1, B_1, C_1, D_1, E_1, F_1, G_1, H_1, PAR_1, $Chk/\overline{Gen}$, A_2, B_2, C_2, D_2, E_2, F_2, G_2, H_2, PAR_2, $EVEN_1$, $EVEN_2$, $\overline{ERR}$

機 能 表

Inputs					Outputs		
A1 to H1	A2 to H2	CHK/$\overline{GEN}$	PAR1	PAR2	EVEN1	EVEN2	$\overline{ERROR}$
Number of A1 to H1 Inputs HIGH is EVEN	Number of A2 to H2 Inputs HIGH is EVEN	H	H	H	L	L	H
			L	H	H	L	L
			H	L	L	H	L
			L	L	H	H	L
		L	X	X	H	H	L
	Number of Inputs HIGH A2 to H2 is ODD	H	H	H	L	H	L
			L	H	H	H	L
			H	L	L	L	H
			L	L	H	L	L
		L	X	X	H	L	L
Number of A1 to H1 Inputs HIGH is ODD	Number of A2 to H2 Inputs HIGH is EVEN	H	H	H	H	L	L
			L	H	L	L	H
			H	L	H	H	L
			L	L	L	H	L
		L	X	X	L	H	L
	Number of A2 to H2 Inputs HIGH is ODD	H	H	H	H	H	L
			L	H	L	H	L
			H	L	H	L	L
			L	L	L	L	H
		L	X	X	L	L	H

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A		EVN/OD	L→H								17						ns
tpd	max	A		EVN/OD	H→L								16						ns
tpd	max	A		ERROR	L→H								17						ns
tpd	max	A		ERROR	H→L								20						ns
Icc	max				L								1.5						mA
IIH	max	ALL	H										5						μA
IIL	max	ALL	L																μA
IOH	max			ALL	H								64						mA
IOL	max			ALL	L														mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES					DF								
IDT													

74490 Dual Decade Counters

○7490（74290）を2回路入れたタイプ．

○Q_Aは内部でクロック（インプット）Bに接続されている．

CLEAR/SET-TO-9 FUNCTION TABLE (EACH COUNTER)

INPUTS		OUTPUTS			
CLEAR	SET-TO-9	Q_A	Q_B	Q_C	Q_D
H	L	L	L	L	L
L	H	H	L	L	H
L	L	COUNT			

BCD COUNT SEQUENCE (EACH COUNTER)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

参考品種
74390
7490
74290

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25							16					MHz
tw	min	CLK					20							20					ns
tw	min	CLR, S9					20							20					ns
trec	min	CLR, S9					25↓												ns
tpd	max	CLK		Qa			20							30					ns
tpd	max	CLK		Qc			54							70					ns
tpd	max	CLK		Qb, Qd			39							51					ns
tpd	max	CLR, S9		Qa～Qd			39							51					ns
Icc	max	ALL	L	ALL	L		26							0.04					mA
IIH	max	CLK	H				100												μA
IIL	max	CLK	L				1.6												mA
IIH	max	CLR, S9	H				20												μA
IIL	max	CLR, S9	L				0.4												mA
IOH	max			ALL	H		0.4							6					mA
IOL	max			ALL	L		8							6					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		D												
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

74518 8-Bit Equal-to Comparator

ナンバー	入 力	出 力	
74518	20K P. U.	一 致	O. C.
74519	——	一 致	O. C.
74520	20K P. U.	不一致	T. P.
74521	——	不一致	T. P.
74522	20K P. U.	不一致	O. C.
74689	——	不一致	O. C.

(74688, 25LS521)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B		A=B				33		15									ns
tpd	max	G		A=B				33		14.5									ns
Icc	max	G	L	OPEN				17		39									mA
IIH	max	B	H					0.2		0.3									mA
IIL	max	B	L					0.6		1									mA
IIH	max	OTHERS	H					20		20									μA
IIL	max	OTHERS	L					0.1		1									mA
IOH	max			A=B	H			0.1		0.1									mA
IOL	max			A=B	L			24		20									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI			DF										
東芝													
SGS													
CYPRES													
IDT													

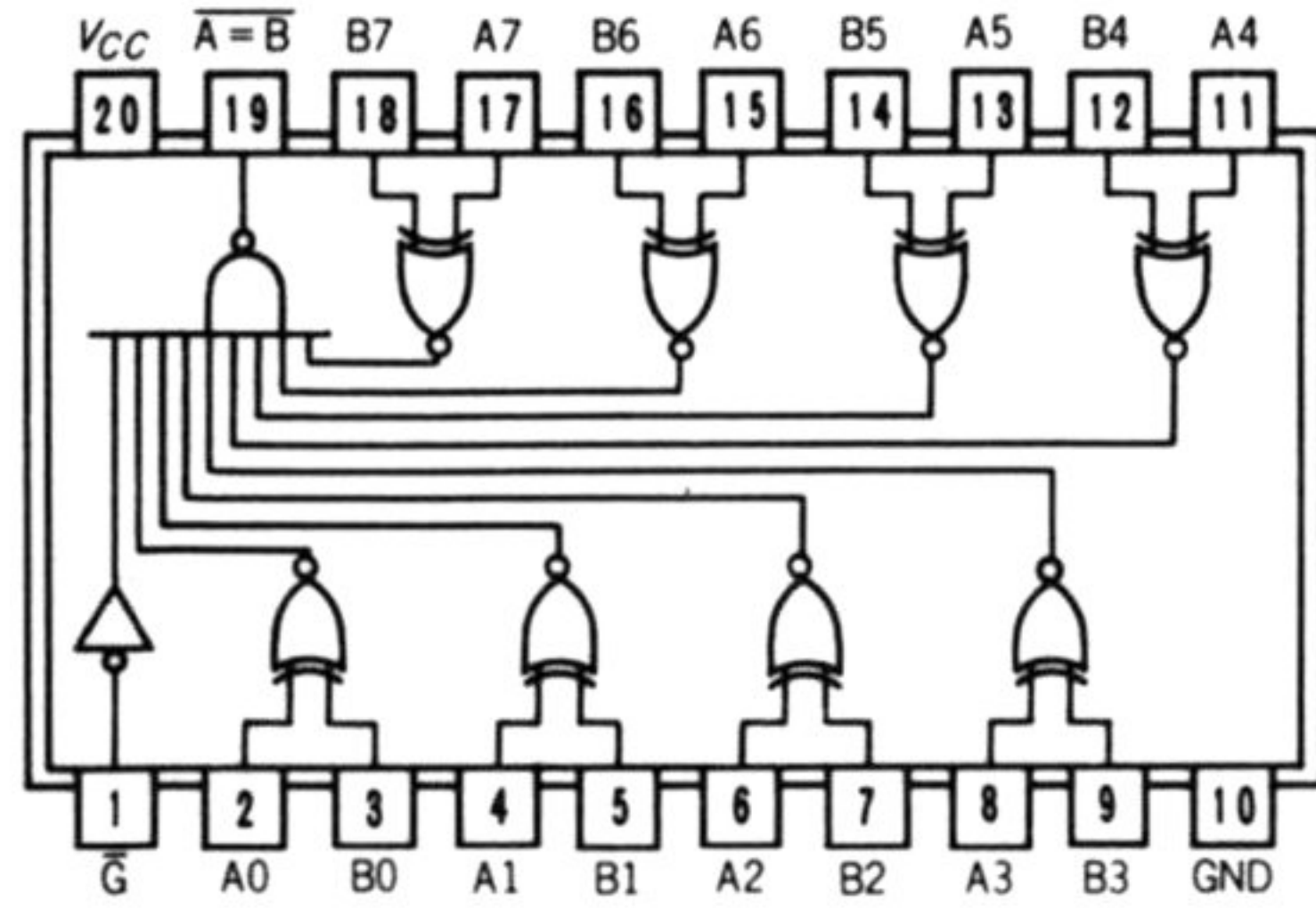
74519　　8-Bit Equal-to Comparator

ナンバー	入　　力	出　　力	
74518	20K P. U.	一　致	O. C.
74519	——	一　致	O. C.
74520	20K P. U.	不一致	T. P.
74521	——	不一致	T. P.
74522	20K P. U.	不一致	O. C.
74689	——	不一致	O. C.

（74688, 25LS521）

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B		A=B				33		15									ns
tpd	max	G		A=B				33		14.5									ns
Icc	max	G	L	OPEN				17		39									mA
IIH	max	ALL	H					20		20									μA
IIL	max	ALL	L					0.1		0.6									mA
IOH	max			ALL	H			0.1		0.1									mA
IOL	max			ALL	L			24		20									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI					D									
東芝														
SGS														
CYPRES														
IDT														

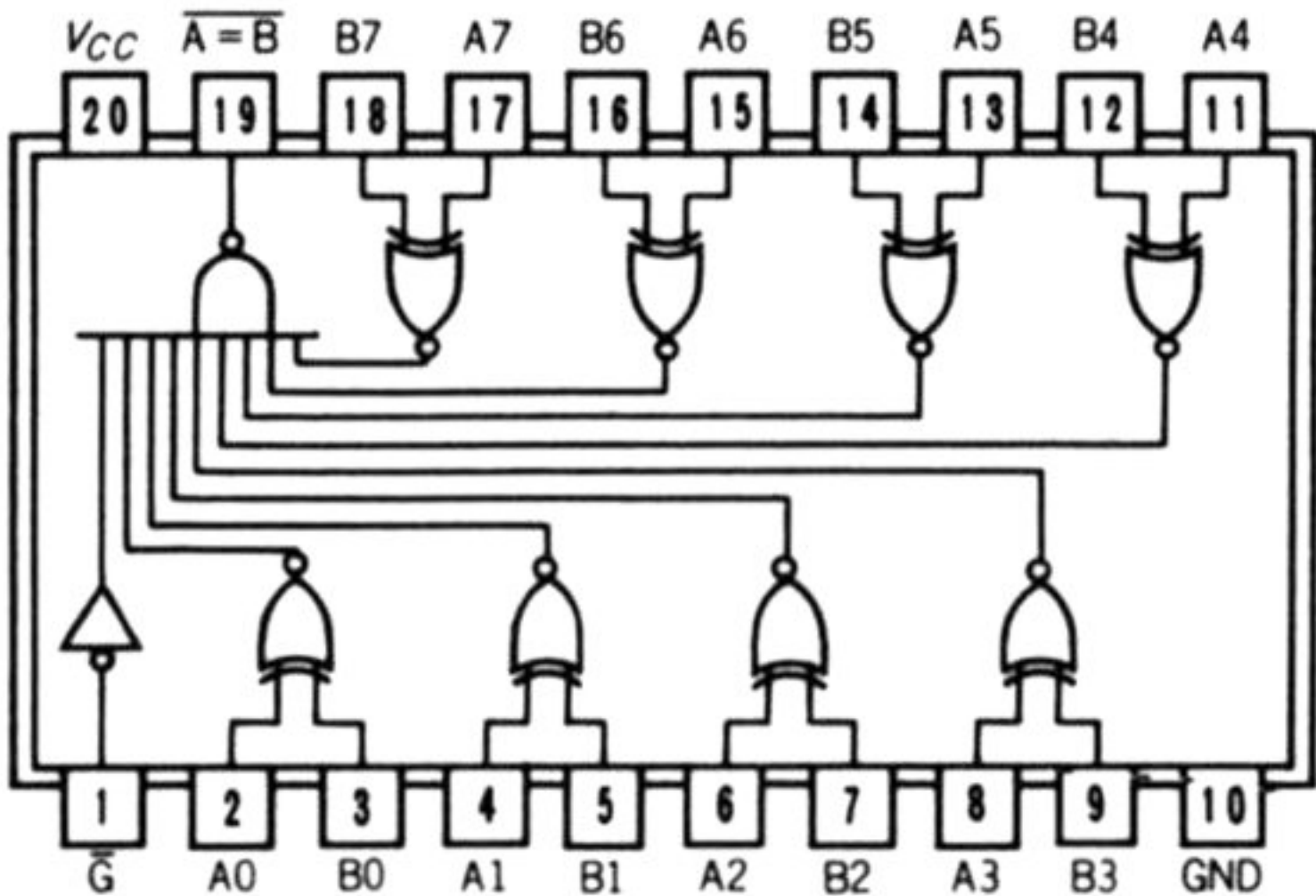
74520 8-Bit Equal-to Comparator

V_{CC} $\overline{A=B}$ B7 A7 B6 A6 B5 A5 B4 A4
20 19 18 17 16 15 14 13 12 11
1 2 3 4 5 6 7 8 9 10
$\overline{G}$ A0 B0 A1 B1 A2 B2 A3 B3 GND

ナンバー	入　力	出　力	
74518	20K P. U.	一　致	O. C.
74519	——	一　致	O. C.
74520	20K P. U.	不一致	T. P.
74521	——	不一致	T. P.
74522	20K P. U.	不一致	O. C.
74689	——	不一致	O. C.

(74688, 25LS521)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B		-(A=B)				20		10.3									ns
tpd	max	G		-(A=B)				22		10.4									ns
Icc	max	G	L	OPEN				19		32									mA
IIH	max	B	H					0.2		10.3									mA
IIL	max	B	L					0.6		10.4									mA
IIH	max	OTHERS	H					20		8.7									μA
IIL	max	OTHERS	L					0.1		10.4									mA
IOH	max			-(A=B)	H			2.6		1									mA
IOL	max			-(A=B)	L			24		20									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS			DF				DF	DF						
PHIL														
RCA														
SIGNE														
TI			DF		D		DF	DF						
東芝														
SGS														
CYPRES														
IDT														

74521 (25LS2521)　　8-Bit Equal-to Comparator

○74688と同じ

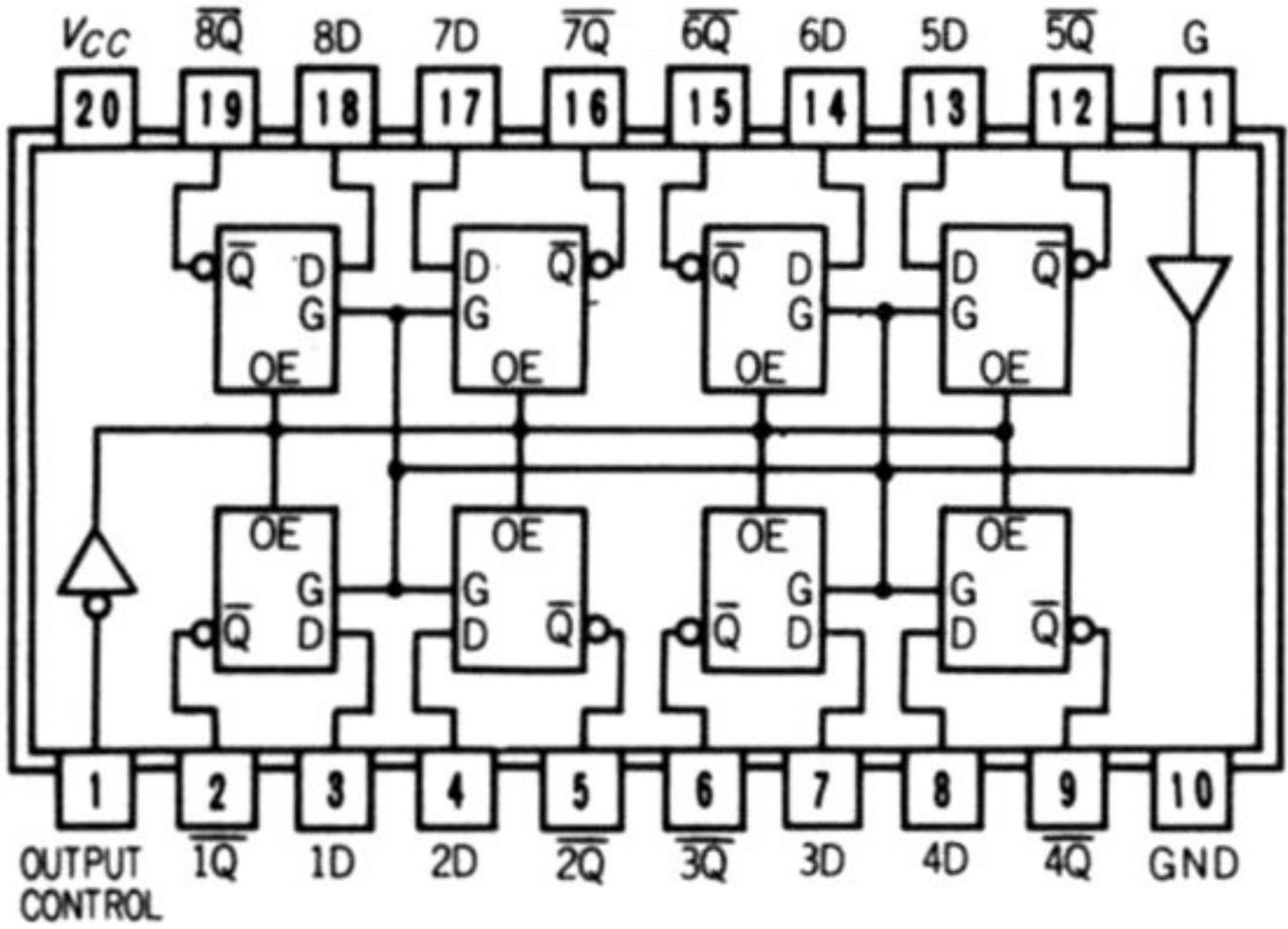
ナンバー	入　力	出　力	
74518	20K P.U.	一　致	O.C.
74519	——	一　致	O.C.
74520	20K P.U.	不一致	T.P.
74521	——	不一致	T.P.
74522	20K P.U.	不一致	O.C.
74689	——	不一致	O.C.

(74688, 25LS521)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B		-(A=B)			15	20		11		14.5	11	53	53				ns
tpd	max	G		-(A=B)			8	22		8		11.0	8.0	36	36				ns
Icc	max	G	L	OPEN			40	19		23		0.08	0.08	0.08	0.08				mA
IIH	max	A, B	H				20	20		20									μA
IIL	max	A, B	L				0.36	0.1		0.6									mA
IIH	max	G	H				40	20		20									μA
IIL	max	G	L				0.72	0.1		0.6									mA
IOH	max			-(A=B)	H		0.44	2.6		1		24	24		4				mA
IOL	max			-(A=B)	L		12	24		20		24	24		4				mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT				D	DF									
日電														
NS			DF		DF		DF	DF						
PHIL														
RCA														
SIGNE					DF									
TI			DF		D		DF	DF						
東芝					D		DF	DF						
SGS														
CYPRES														
IDT								DF						

74533

Octal 3-State D-Latches (Inverted)

○74373の出力が反転($\overline{Q}$)したタイプ
○74563とはピン接が異なる
○使用法はどれも同様

入力		動作
Output control	Latch enable	
X	L	ラッチ(ホールド)
L	H	$Q=\overline{D}$
H	X	High-Z

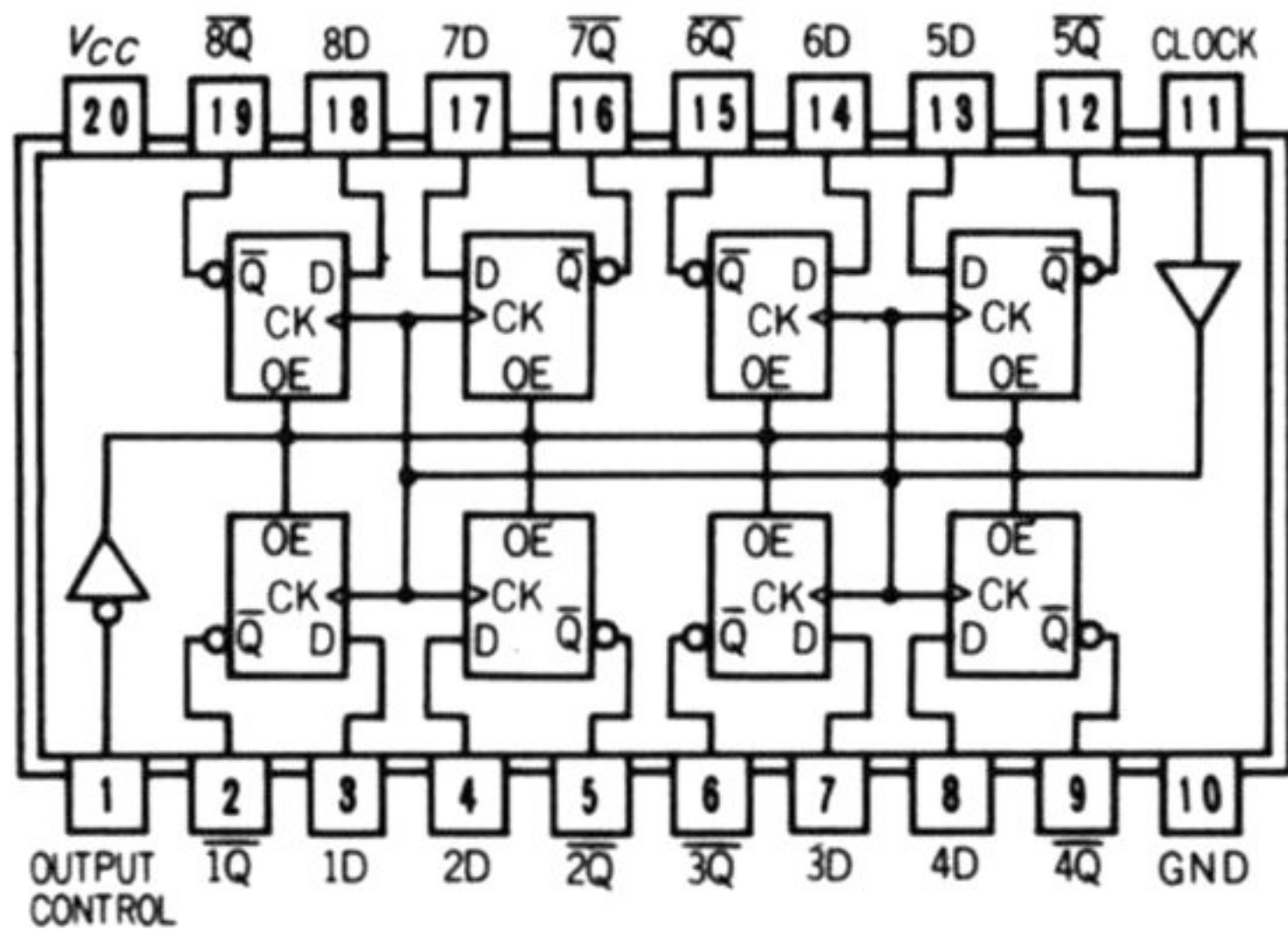
8 bit ラッチ

ナンバー	出力	ピン接	
74363	正	隣接	Hレベル3.65V
74373	正	隣接	
74533	負	隣接	
74563	負	対向	
74573	正	対向	
74580	負	対向	

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	ENABLE						15		6	2			20		20	7		ns
tsu	min	DATA						15↓		2↓	2↓			5		13	2.5		ns
thold	min	DATA						7↓		3↓	3↓			13		10	2.5		ns
tpd	max	ENABLE		-Q				23		13	9			44		48	10		ns
tpd	max	DATA		-Q				19		10	7.5			38		43	10		ns
tpd	max	OUT. C.	N	-Q				16		7	7			38		44	8.5		ns
tpd	max	OUT. C.	A	-Q				18		11	9.5			38		38	12.5		ns
Icc	max							28		61	110			0.08		0.08	0.05		mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.4	0.1		0.6									mA
IOH	max			-Q	H		2.6	2.6		1	15			4		4	3		mA
IOL	max			-Q	L		24	24		20	48			4		4	24		mA
IZH	max			-Q	H			20			50			5		5	3		μA
IZL	max			-Q	L			20			50			5		5	24		UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF		DF	DF	
MOT							D	D	DF		DF	DF	
日電									DF				
NS		DF	DF		DF	DF							
PHIL									DF		DF		
RCA							DF	DF	DF		DF		
SIGNE					DF								
TI			DF		D	DF	DF	DF					
東芝					D			DF				DF	
SGS									DF		DF		
CYPRES													
IDT								DF					

参考品種
74563
74373

74534　Octal 3-State D-FFs (Inverted)

○74374の出力が反転($\overline{Q}$)したタイプ
○74564とはピン接が異なる
○使用法はどれも同様

入力		動作
Output control	CK	
X	↑	データロード
H	X	High-Z

8 bit-D-FF

ナンバー	出力	ピン接	
74364	正	隣接	Hレベル3.65V
74374	正	隣接	
74534	負	隣接	
74564	負	対向	
74574	正	対向	
74575	正	対向	同期クリア
74576	負	対向	
74577	負	対向	同期クリア

参考品種
74564
74374

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK						35		70	125			24		18	70	77	MHz
tw	min	CLK						14		7	4			20		29	7.0	7	ns
tsu	min	DATA						10↑		2↑	2↑			25		15	2.5	9.5	ns
thold	min	DATA						0↑		2↑	2↑			5		3	2.5	1	ns
tpd	max	CLK		-Q				16		10	9			45		38	10	11.4	ns
tpd	max	OUT.C.	N	-Q				14		8	6			38		38	8.5	13.3	ns
tpd	max	OUT.C.	A	-Q				18		12.5	10			38		38	12.5	7.4	ns
Icc	max							31		86	128			0.08		0.08	27	55	mA
IIH	max	OC, CLK	H				20	20		20									μA
IIL	max	OC, CLK	L				0.4	0.1		0.6									mA
IIL	max	DATA	H				20	20		20									μA
IIL	max	DATA	L				0.4	0.2		0.6									mA
IOH	max			-Q	H		2.6	2.6		1				4		4	3	15	mA
IOL	max			-Q	L		24	24		20				4		4	24	64	mA
IZH	max			-Q	H			20						5		5	3	50	μA
IZL	max			-Q	L			20						5		5	24	50	μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		DF	DF		
MOT					DF		D	D	DF		DF			
日電									DF					
NS		DF	DF		DF	DF		DF	DF		D			
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE					DF									
TI			DF		DF	D	DF	DF					DF	
東芝					D		DF		DF			DF		
SGS									DF		DF			
CYPRES														
IDT								DF						

74537 (25LS2537) BCD to Decimal Decoder (3-State)

Vcc 20, Y_3 19, Y_4 18, D 17, C 16, $\overline{E1}$ 15, E2 14, Y_9 13, Y_8 12, Y_7 11

Y_2 1, Y_1 2, Y_0 3, POL 4, $\overline{OE}$ 5, A 6, B 7, Y_5 8, Y_6 9, GND 10

○出力の論理切換え可能
○ 3ステート出力

入力			出力 (Y_0～Y_9)	
$\overline{OE}$	POL	$\overline{E_1}$ E_2		
H	X	X X	High-Z	
L	L	L H	L	正論理
		H X		
		X L		
L	H	L H	H	負論理
		H X		
		X L		

参考品種
7442
25LS2538
74138

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	E1		Y0～Y9			31			13									ns
tpd	max	-E2		Y0～Y9			34			17									ns
tpd	max	A～D		Y0～Y9			33			17									ns
tpd	max	POL		Y0～Y9			31			17									ns
tpd	max	-OE		Y0～Y9			33			14									ns
tpd	max	-OE		Y0～Y9			(34)			8									ns
Icc	max	A～D	L				40			66									mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0. 36			0. 6									mA
IOH	max			Y	H		2. 6			1									mA
IOL	max			Y	L		12			20									mA
IZL	max			Y	H		20												μA
IZH	max			Y	L		20												UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT					D								
日電													
NS					DF								
PHIL													
RCA													
SIGNE					DF								
TI													
東芝													
SGS													
CYPRES													
IDT													

74538 (25LS2538)　　3 to 8 Demultiplexer (3-State)

Vcc	Y3	Y4	C	$\overline{E_1}$	$\overline{E_2}$	E3	E4	POL	Y7
20	19	18	17	16	15	14	13	12	11

1	2	3	4	5	6	7	8	9	10
Y2	Y1	Y0	$\overline{OE_1}$	$\overline{OE_2}$	A	B	Y5	Y6	GND

○出力の論理切換え可能
○3ステート出力

入力							出力 (Y0～Y7)
$\overline{OE_1}$	$\overline{OE_2}$	POL	$\overline{E_1}$	$\overline{E_2}$	E_3	E_4	
H	X	X	X				High-Z
X	H	X	X				High-Z
L	L	L	L	L	H	H	正論理
L	L	L	その他の組合わせ				L
L	L	H	L	L	H	H	負論理
L	L	H	その他の組合わせ				H

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	-E1, E2		Y0～Y7			30	18		13									ns
tpd	max	-E3, E4		Y0～Y7			34	22		17									ns
tpd	max	A, B, C		Y0～Y7			30	22		17									ns
tpd	max	POL		Y0～Y7			30	20		17									ns
tpd	max	-OE1, 2		Y0～Y7			25	13		14									ns
tpd	max	-OE1, 2		Y0～Y7			(30)	10		8									ns
Icc	max	A, B, C	L				34	25		56									mA
IIH	max	A, B, C	H				20	20		20									μA
IIL	max	A, B, C	L				0.36	0.2		0.6									mA
IIH	max	POL	H				20	20		20									μA
IIL	max	POL	L				0.36	0.2		0.6									mA
IIH	max	OTHERS	H				20	20		20									μA
IIL	max	OTHERS	L				0.36	0.1		0.6									mA
IOH	max			Y	H		2.6	2.6		1									mA
IOL	max			Y	L		12	24		20									mA
IZL	max			Y	H		20	20											μA
IZH	max			Y	L		20	20											UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立							DF						
MOT					D								
日電													
NS					DF								
PHIL													
RCA													
SIGNE					DF								
TI													
東芝													
SGS													
CYPRES													
IDT													

参考品種
74138

74539 (25LS2539)　　Dual 2 to 4 Demultiplexers (3-State)

Vcc 2Y3 2B 2A $\overline{2E}$ $\overline{1E}$ $\overline{1OE}$ 1POL 1Y0 1Y1
20 19 18 17 16 15 14 13 12 11
1 2 3 4 5 6 7 8 9 10
2Y2 2Y1 2Y0 2POL $\overline{2OE}$ 1A 1B 1Y3 1Y2 GND

○出力の論理切換え可能
○３ステート出力

入力			出力
OE	POL	$\overline{E}$	(Y_0～Y_3)
H	X	X	High Z
L	L	L	正論理
		H	L
L	H	L	負論理
		H	H

$\overline{1E}$ 1B 1A 1Y0 1Y1 1Y2 1Y3 1POL $\overline{1OE}$

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	E		Y0～Y3			31	18		16									ns
tpd	max	A, B		Y0～Y3			33	22		16									ns
tpd	max	POL		Y0～Y3			28	22		16									ns
tpd	max	OE		Y0～Y3			23	13		13									ns
tpd	max	OE		Y0～Y3			(34)	10		9									ns
Icc	max	OE=H		Y0～Y3			37	24		62									mA
IIH	max	A, B, C	H				20	20		20									μA
IIL	max	A, B, C	L				0. 36	0. 2		0. 6									mA
IIH	max	POL	H				20	20		20									μA
IIL	max	POL	L				0. 36	0. 2		0. 6									mA
IIH	max	OTHERS	H				20	20		20									μA
IIL	max	OTHERS	L				0. 36	0. 1		0. 6									mA
IOH	max			Y	H		2. 6	2. 6		1									mA
IOL	max			Y	L		12	24		20									mA
IZL	max			Y	H		20	20											μA
IZH	max			Y	L		20	20											UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立							DF						
MOT					D								
日電													
NS					DF								
PHIL													
RCA													
SIGNE					DF								
TI													
東芝													
SGS													
CYPRES													
IDT													

参考品種
74139

74540　Octal 3-State Buffer (Inverted)

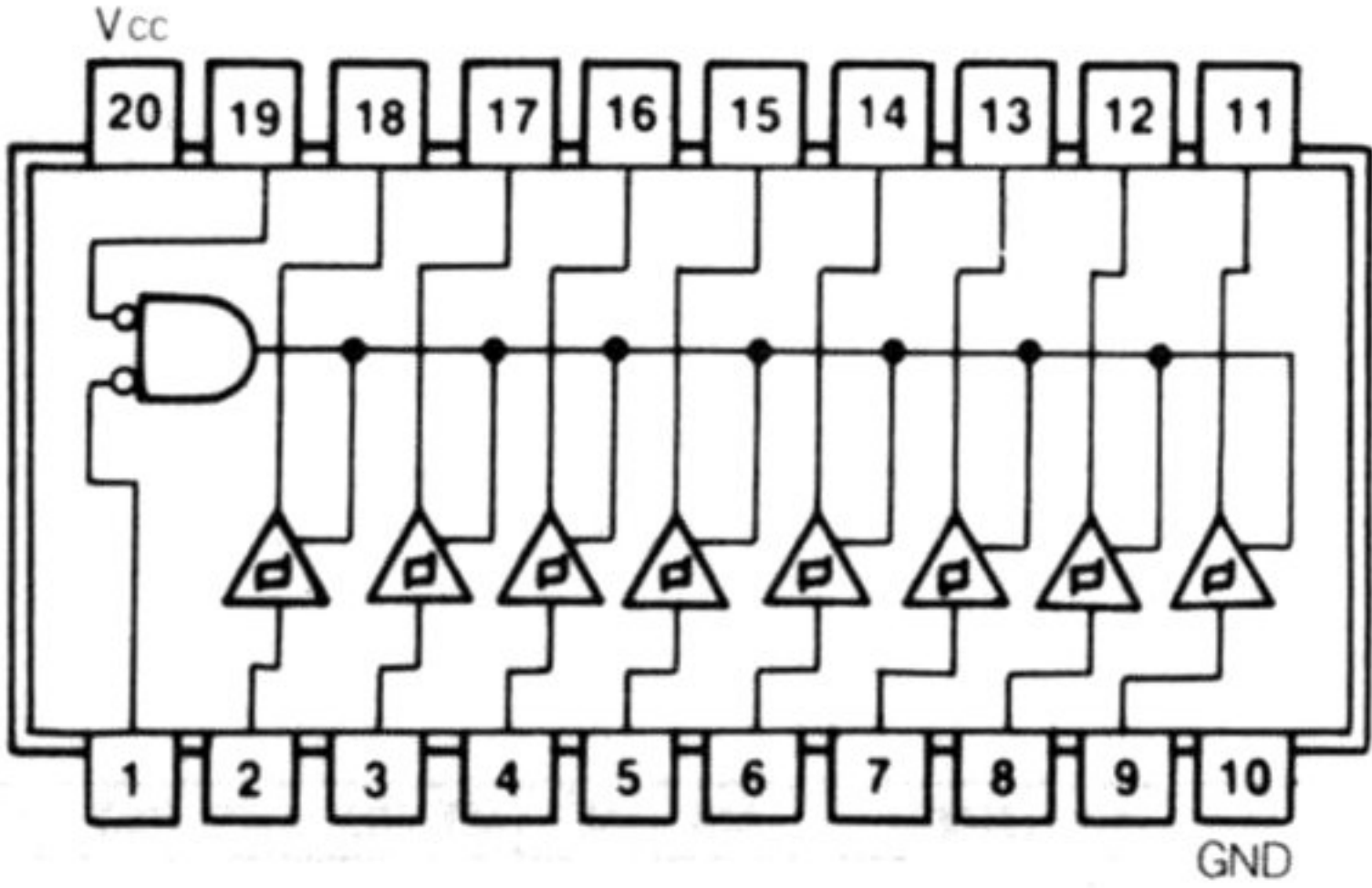
○データ入力はシュミット型
○反転出力
○74LS541は非反転

入力		出力
E1	E2	
L	L	$\overline{D}$
H	X	High Z
X	H	

参考品種
81LS96

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		14	6		7.5		6.5	6.5	25		25	7.5	6.9	ns
tpd	max			H→L	↓		18	6		5.0		6.0	6.0	25		25	7.5	4	ns
tpd	max			Z→L	▽		30	18		10.0		8.5	8.5	38		38	11.0	11.3	ns
tpd	max			Z→H	△		23	13		8.0		9.5	9.5	38		38	11.0	10.1	ns
tpd	max			L→Z	▼		(25)	11		6.5		9.0	9.0	38		38	9.5	8.5	ns
tpd	max			H→Z	▲		(18)	7		6.0		11	11	38		38	10.0	9	ns
Icc	max						50	29		75		0.08	0.08	0.08		0.08	27	71	mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.2	0.1		20									mA
IOH	max			ALL	H		3.0	15		15		24	24	4		6	15	15	mA
IOL	max			ALL	L		24	24		64		24	24	4		6	48	64	mA
IZH	max			ALL	H			20		50		5	5	5		5.0	50	50	μA
IZL	max			ALL	L			20		50		5	5	5		5.0	50	50	UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		DF	DF		
MOT		D					DF	DF	DF		DF			
日電									DF					
NS		DF	DF		DF		DF		DF		D			
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE					DF									
TI		DF	DF		D				DF		DF		DF	
東芝							DFS	DFS	DF		DF	DF		
SGS									DF		DF			
CYPRES					DF									
IDT														

74541 Octal 3-State Buffer

○データ入力はシュミット型
○非反転出力
○74LS540は反転出力

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		18	6		7		6.5	6.5	29		29	7.5	6	ns
tpd	max			H→L	↓		18	6		7.5		6.0	6.0	29		29	6.8	8.2	ns
tpd	max			Z→L	▽		30	18		9.5		8.5	8.5	38		38	11.0	11.5	ns
tpd	max			Z→H	△		23	13		7.5		9.5	9.5	38		38	11.0	10.7	ns
tpd	max			L→Z	▼		(25)	11		7.5		9.0	9.0	38		38	9.5	8.6	ns
tpd	max			H→Z	▲		(18)	7		7.5		11	11	38		38	10.0	8.6	ns
Icc	max						54	19		72		0.08	0.08	0.08		0.08	27	72	mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.2	0.1		20									mA
IOH	max			ALL	H		3.0	15		15		24	24	4		6	15	15	mA
IOL	max			ALL	L		24	24		64		24	24	4		6	48	64	mA
IZH	max			ALL	H			20		50		5	5	5		5	50	50	μA
IZL	max			ALL	L			20		50		5	5	5		5	50	50	UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		DF	DF		
MOT		DF		.			DF	DF	DF		DF			
日電									DF					
NS			DF		DF		DF		DF		D			
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE					DF									
TI		DF	DF		D				DF		DF		DF	
東芝		D					DF	DF	DF		DF	DF		
SGS									DF		DF			
CYPRES					DF									
IDT								DF						

入力		出力
E_1	E_2	
L	L	D
H	X	High-Z
X	H	High-Z

参考品種
75LS540
81LS95

74561　Synchronous Presettable Binary Counter (3-State)

V_{CC} 20, RCO 19, CCO 18, $\overline{G}$ 17, Q_A 16, Q_B 15, Q_C 14, Q_D 13, ENT 12, $\overline{SLOAD}$ 11

$\overline{ALOAD}$ 1, CLK 2, A 3, B 4, C 5, D 6, ENP 7, $\overline{ACLR}$ 8, $\overline{SCLR}$ 9, GND 10

○ロード，クリアは同期／非同期両方あり
○569 の U／$\overline{D}$ を非同期ロードに変えた物
○561 は Binary，560 は BCD

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK						30											MHz
tw	min	CLK						16.5											ns
tsu	min	A～D						20↑											ns
tsu	min	ENABLE						15↑											ns
tsu	min	SC, SL						15↑											ns
trec	min	SC, SL						30↑											ns
thold	min	ENABLE						0↑											ns
thold	min	SC, SL						0↑											ns
tpd	max	CLK		Q				18											ns
tpd	max	CLK		RCO				29											ns
tpd	max	ENT		RCO				16											ns
tpd	max	ALOAD		CCO				55											ns
tpd	max	ALOAD		Q				35											ns
tpd	max	ACLR		Q				22											ns
tpd	max	G		Q				23											ns
Icc	max			ALL	Z			36											mA
IIH	max	ENABLE	H					40											μA
IIL	max	ENABLE	L					0.2											mA
IIH	max	OTHERS	H					20											μA
IIL	max	OTHERS	L					0.1											mA

入力								出力			動作
CLK	Enable		Clear		Load		$\overline{G}$	Q_A～Q_D	Carry		
	ENP	ENT	$\overline{ACLR}$	$\overline{SCLR}$	$\overline{ALOAD}$	$\overline{SLOAD}$			RCO	CCO	
↑	H	H	H	H	H	H	—	—			カウント
↑	X	X	H	H	H	L	—	—			同期ロード
↑	X	X	H	L	H	X	—	—			同期クリア
X	X	X	H	X	L	X	—	—			ロード
X	X	X	L	X	X	X	—	—			クリア
X	X	H	—				—	HHHH	H	—	—
H	H	H	—				—	HHHH	H	H	—
—							H				High-Z

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI			DF											
東芝														
SGS														
CYPRES														
IDT														

74561

Ḡ (17)
ENT (12)
ENP (7)
S̄C̄L̄R̄ (9)
S̄L̄ŌĀD̄ (11)
CLK (2)
ĀC̄L̄R̄ (8)
ĀL̄ŌĀD̄ (1)
A (3)
B (4)
C (5)
D (6)
(18) CCO
(19) RCO
(16) QA
(15) QB
(14) QC
(13) QD
R
S
C1
1D

74563　　Octal 3-State D-Latches (Inverted)

V_{CC} 20　$\overline{Q0}$ 19　$\overline{Q1}$ 18　$\overline{Q2}$ 17　$\overline{Q3}$ 16　$\overline{Q4}$ 15　$\overline{Q5}$ 14　$\overline{Q6}$ 13　$\overline{Q7}$ 12　G 11

$\overline{Q}$ OE　D G

$\overline{\text{OUTPUT CONTROL}}$ 1　D0 2　D1 3　D2 4　D3 5　D4 6　D5 7　D6 8　D7 9　GND 10

○74573の出力が反転($\overline{Q}$)したタイプ
○74533とはピン接が異なる
○使用法はどれも同じ

入力		動作
Output control	Latch enable	
L	L	ラッチ(ホールド)
L	H	$Q=\overline{D}$
H	X	High-Z

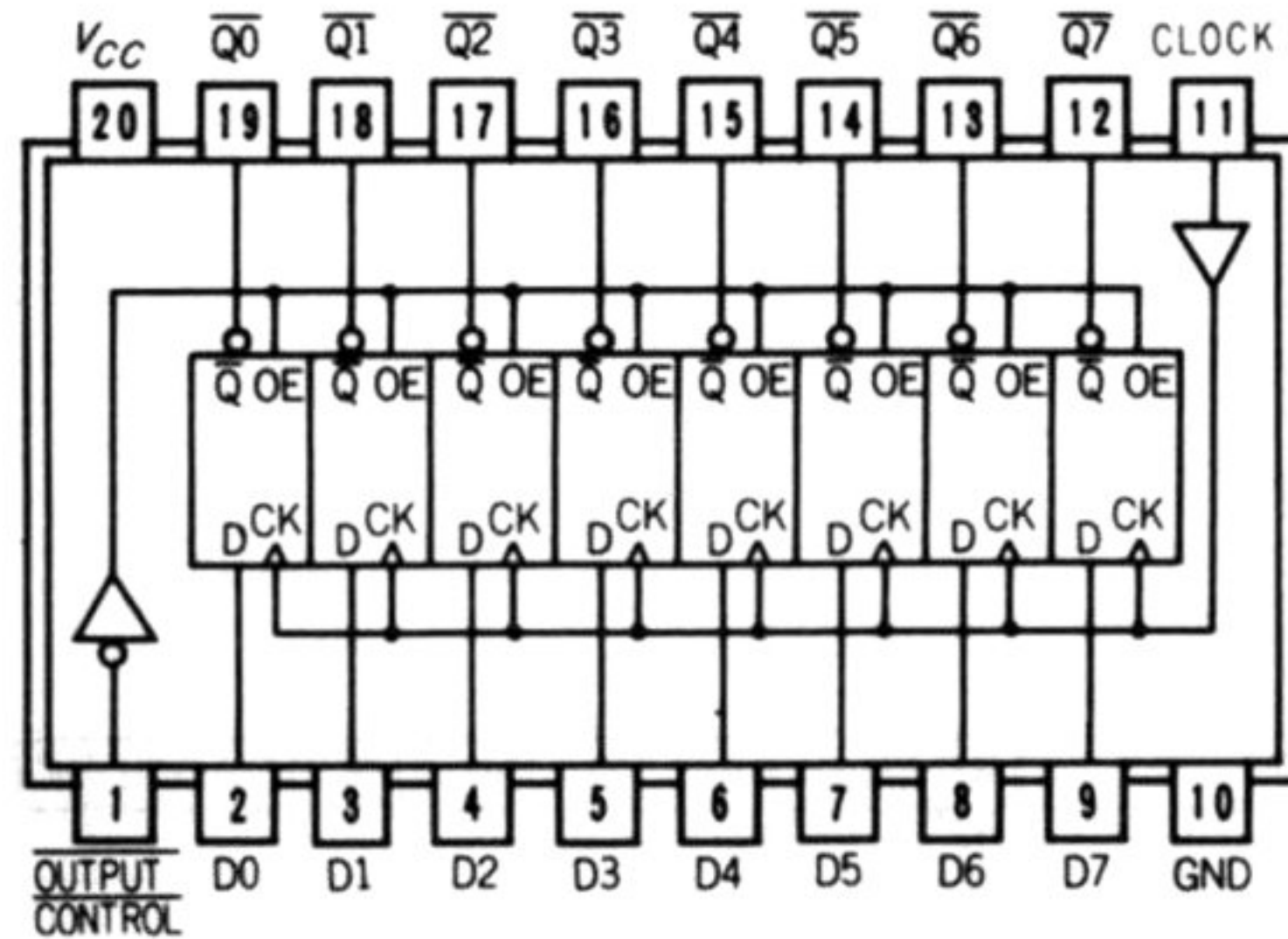
8 bit ラッチ

ナンバー	出力	ピン接	
74363	正	隣接	Hレベル3.65V
74373	正	隣接	
74533	負	隣接	
74563	**負**	**対向**	
74573	正	対向	
74580	負	対向	

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	G						15		100		4.0	3.0	20		20	7		ns
tsu	min	DATA						10↓		1.0		6.0	4.5	19		13	2.5		ns
thold	min	DATA						10↓		3.0		0	0	6		5	2.5		ns
tpd	max	G		-Q				18		11.0		10.5	11.5	28		36	13.0		ns
tpd	max	DATA		-Q				22		10.0		10.5	12.5	29		36	13.0		ns
tpd	max	-OE	N	-Q				13		11.5		14.0	10	31		38	14.5		ns
tpd	max	-OE	A	-Q				18		9.0		11.0	11.5	35		38	11.5		ns
Icc	max							27		60		0.08	0.08	0.08		0.08	27		mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.4	0.1		0.6									mA
IOH	max			-Q	H		2.6	2.6		3		24		6			3.0		mA
IOL	max			-Q	L		24	24		24		24		6			24		mA
IZL	max			-Q	L			20		50		5		5			50		μA
IZH	max			-Q	H			20		50		5		5			50		UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		DF	DF		
MOT							D	D	DF					
日電									DF					
NS		DF	DF		DF			DF						
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF											
TI			DF						DF		DF			
東芝							DF	DF	DF		DF	DF		
SGS									DF		DF			
CYPRES														
IDT														

参考品種
74533
74573

74564　　Octal 3-State D-FFs (Inverted)

○74574の出力が反転($\overline{Q}$)したタイプ
○74534とはピン接が異なる
○使用法はどれも同じ

入力		動作
Output control	CK	
X	↑	データロード
H	X	High-Z

8 bit-D-FF

ナンバー	出力	ピン接	
74364	正	隣接	Hレベル3.65V
74374	正	隣接	
74534	負	隣接	
74564	負	対向	
74574	正	対向	
74575	正	対向	同期クリア
74576	負	対向	
74577	負	対向	同期クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK						35		100		100	75	24		22	70		MHz
tw	min	CLK						14		4.5		4.0	3.5	20		23	7		ns
tsu	min	DATA						15↑		1.0		7.0	3.0	25		15	2.5		ns
thold	min	DATA						0↑		3.0		0.0	1.0	0↑		3	2.5		ns
tpd	max	CLK		-Q				14		9.0		10.0	11.5	29		44	13.0		ns
tpd	max	OUT.C.	N	-Q				18		9.0		11.0	9.5	35		48	14.5		ns
tpd	max	OUT.C.	A	-Q				13		7.0		14.0	11.5	31		38	11.5		ns
Icc	max							27		7.5		0.08	0.08	0.08		0.08	27		mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.4	0.2		0.6									mA
IOH	max			-Q	H		2.6	2.6		3		24	24	6		4	3.0		mA
IOL	max			-Q	L		24	24		24		24	24	6		4	24		mA
IZL	max			-Q	H			20		50		5	5	5		5	50		μA
IZH	max			-Q	L			20		50		5	5	5		5	50		UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		DF			
MOT							D	D	DF					
日電									DF					
NS		DF	DF		DF			DF	DF					
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI			DF		DF				DF		DF			
東芝							DF	DF	DF			DF		
SGS									DF		DF			
CYPRES														
IDT														

参考品種
74534
74574

74568　　Synchronous Presettable Up/Down Counter (3-State)

Vcc $\overline{RCO}$ $\overline{CCO}$ $\overline{OE}$ Q_A Q_B Q_C Q_D $\overline{CET}$ $\overline{LOAD}$
20 19 18 17 16 15 14 13 12 11
1 2 3 4 5 6 7 8 9 10
U/$\overline{D}$ CP A B C D $\overline{CEP}$ $\overline{ACLR}$ GND
$\overline{SCLR}$

○74LS168に同期，非同期の両クリアを付け，Q出力を3ステートにしたタイプ

入力								出力			動作
$\overline{Load}$	U/$\overline{D}$	CP	Enable $\overline{CEP}$	Enable $\overline{CET}$	Clear $\overline{ACLR}$	Clear $\overline{SCLR}$	$\overline{OE}$	Q_A～Q_D (内容)	Carry $\overline{RCO}$	Carry $\overline{CCO}$	
H	H	↑	L	L	H	H	X	–	–	–	カウントup
H	L	↑	L	L	H	H	X	–	–	–	カウントdn
L	X	↑	X	X	H	H	X	–	–	–	ロード
X	X	↑	X	X	H	L	X	–	–	–	クリア
X	X	X	X	X	L	X	X	–	–	–	クリア
X	H	X	X	L	H	H	X	H L L H	L	–	–
X	H	⊔	L	L	H	H	X	H L L H	L	⊔	–
X	L	X	X	L	X	X	X	L L L L	L	–	–
X	L	⊔	L	L	X	X	X	L L L L	L	⊔	–
–							H	–			Hi-Z

参考品種
74LS569
74LS168

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					35	20		75									MHz
tw	min	CLK						25		6.5									ns
tsu	min	DATA						20↑		7↑									ns
tsu	min	ENABLE						30↑		10↑									ns
tsu	min	LOAD						30↑		10↑									ns
tsu	min	S-CLR						30↑		8↑									ns
ten	min	U/-D						30↑		14↑									ns
thold	min	DATA						0↑		3↑									ns
tpd	max	AS-CLR		Qa～Qd				20		14									ns
tpd	typ	CP		Qa～Qd			15	16		12.5									ns
tpd	typ	CP		-RCO			23	28		15									ns
tpd	typ	-CET		-RCO			10	15		9									ns
tpd	typ	U/-D		-RCO			17	23		10									ns
tpd	max	-OE		Qa～Qd				24		17									ns
tpd	max	-OE		Qa～Qd				13		8.5									ns
Icc	max	Vc=MAX					43	32		60									mA
IIH	max	DATA					20	20		20									μA
IIL	max	DATA					0.36	0.2		0.6									mA
IIH	max	CP, CEP	H				20	20		20									μA
IIL	max	CP, CEP	L				0.36	0.2		0.6									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT					D								
日電													
NS													
PHIL													
RCA													
SIGNE													
TI			DF		D								
東芝													
SGS													
CYPRES													
IDT													

74569　Synchronous Presettable Up/Down Binary Counter (3-State)

Vcc $\overline{RCO}$ CCO $\overline{OE}$ Q_A Q_B Q_C Q_D $\overline{CET}$ $\overline{LOAD}$
20 19 18 17 16 15 14 13 12 11

1 2 3 4 5 6 7 8 9 10
U/$\overline{D}$ CP A B C D $\overline{CEP}$ $\overline{ACLR}$ GND
$\overline{SCLR}$

○74LS169に同期，非同期の両クリアを付け，
　Q出力を3ステートにしたタイプ

入力								出力			動作
$\overline{Load}$	U/$\overline{D}$	CP	Enable $\overline{CEP}$	Enable $\overline{CET}$	Clear $\overline{ACLR}$	Clear $\overline{SCLR}$	$\overline{OE}$	Q_A~Q_D (内容)	Carry $\overline{RCO}$	Carry CCO	
H	H	↑	L	L	H	H	X	–	–	–	カウントup
H	L	↑	L	L	H	H	X	–	–	–	カウントdn
L	X	↑	X	X	H	H	X	–	–	–	ロード
X	X	↑	X	X	H	L	X	–	–	–	クリア
X	X	X	X	X	L	X	X	–	–	–	クリア
X	H	X	X	L	H	H	X	H H H H	L	–	–
X	H	⊔	L	L	H	H	X	H H H H	L	⊔	–
X	L	X	X	L	X	X	X	L L L L	L	–	–
X	L	⊔	L	L	X	X	X	L L L L	L	⊔	–
–							H	–			Hi-Z

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					35	30		75									MHz
tw	min	CLK						16.5		6.5									ns
tsu	min	DATA						20↑		7↑									ns
tsu	min	ENABLE						30↑		10↑									ns
tsu	min	LOAD						30↑		10↑									ns
tsu	min	S-CLR						30↑		8↑									ns
ten	min	U/-D						30↑		14↑									ns
thold	min	DATA						0↑		3↑									ns
tpd	max	AS-CLR		Qa~Qd				20		14									ns
tpd	typ	CP		Qa~Qd			15	16		12.5									ns
tpd	typ	CP		-RCO			23	28		15									ns
tpd	typ	-CET		-RCO			10	15		9									ns
tpd	typ	U/-D		-RCO			17	23		10									ns
tpd	max	-OE		Qa~Qd				24		17									ns
tpd	max	-OE		Qa~Qd				13		8.5									ns
Icc	max	Vc=MAX					43	32		60									mA
IIH	max	DATA					20	20		20									μA
IIL	max	DATA					0.36	0.2		0.6									mA
IIH	max	CP, CEP	H				20	20		20									μA
IIL	max	CP, CEP	L				0.36	0.2		0.6									mA

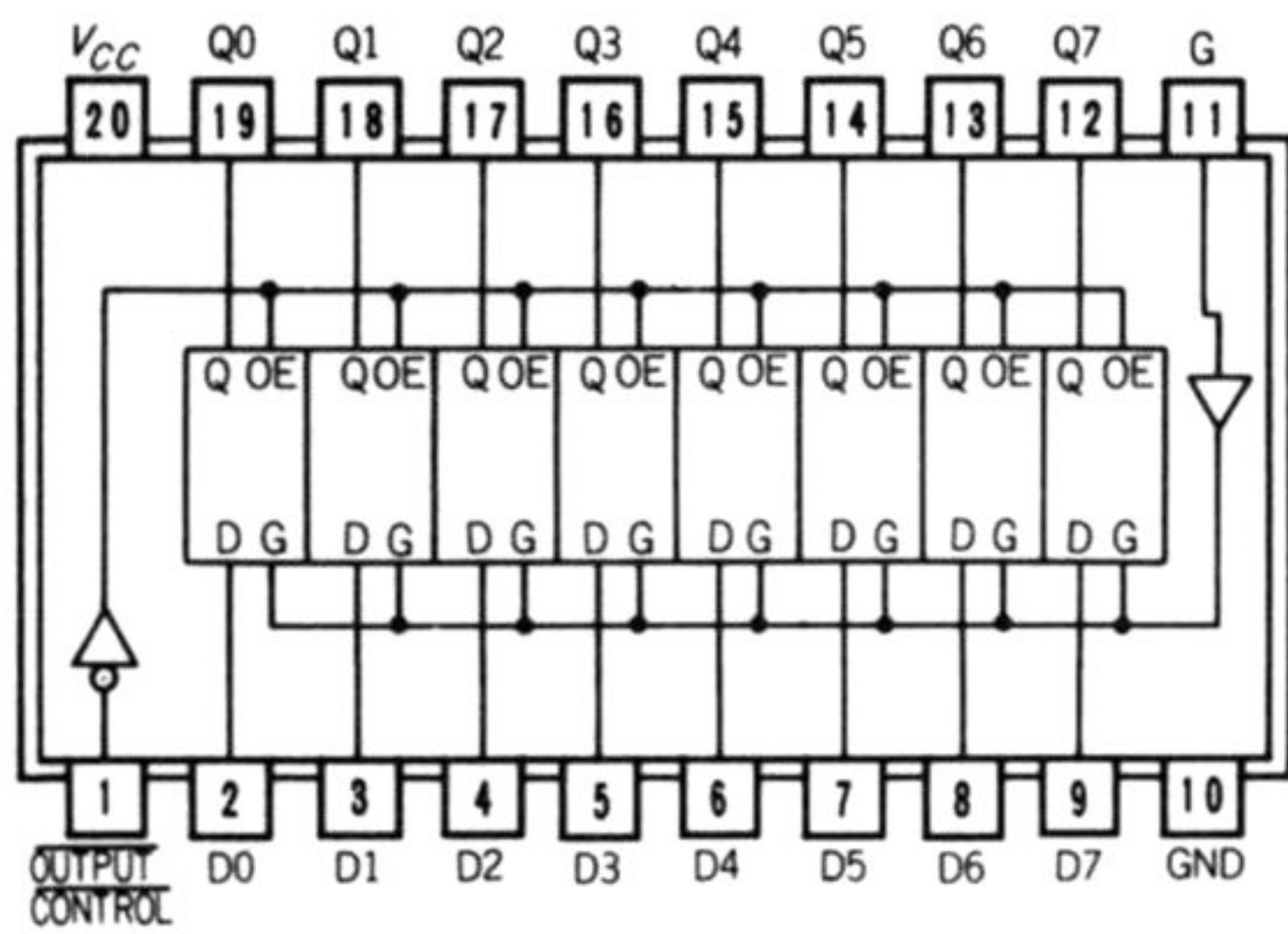
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT		D			D								
日電													
NS					DF								
PHIL													
RCA													
SIGNE		D			DF								
TI			DF		D								
東芝													
SGS													
CYPRES													
IDT													

74568, 74569

74LS568

74LS569

74573 Octal 3-State D-Latches

VCC Q0 Q1 Q2 Q3 Q4 Q5 Q6 Q7 G
20 19 18 17 16 15 14 13 12 11
1 2 3 4 5 6 7 8 9 10
OUTPUT CONTROL D0 D1 D2 D3 D4 D5 D6 D7 GND

○74373のピン接を変えたタイプ
○74563は同じピン接の反転($\overline{Q}$)タイプ
○使用法はどれも同じ

入力		動作
Output Control	Latch Enable	
L	L	ラッチ(ホールド)
L	H	Q＝D
H	X	High-Z

8 bit ラッチ

ナンバー	出力	ピン接	
74363	正	隣接	Hレベル3.65V
74373	正	隣接	
74533	負	隣接	
74563	負	対向	
74573	正	対向	
74580	負	対向	

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	LE				7		10		3.5	4.5	4.0	4.0	20		20		7	ns
tsu	min	DATA				7		10↓		2.0	2↓	4.0	3.5	19		16		2	ns
thold	min	DATA				1		7↓		4.0	3↓	0	0	6		11		2	ns
tpd	max	DATA				10.5		14		12.5	6	10.0	10.5	28		44		13.0	ns
tpd	max	LE				12		20		9.0	11.5	10.0	12	29		44		13.0	ns
tpd	max	-OE	N			13		13		10.5	7	14.0	11	31		38		13.5	ns
tpd	max	-OE	A			14.5		18		8.5	9.5	11.0	12.5	35		38		14.5	ns
Icc	max					0.004		27		50	106	0.08	0.08	0.08		0.08		27	mA
IIH	max	ALL	H				20	20		20	20								μA
IIL	max	ALL	L				0.2	0.1		0.6	0.5								mA
IOH	max			ALL	H	12	2.6	2.6		3	15	24	24	4		4		3.0	mA
IOL	max			ALL	L	12	24	24		24	48	24	24	4		4		24	mA
IZL	max			ALL	L			20		50	50	5	5	5		5		50	μA
IZH	max			ALL	H			20		50	50	5	5	5		5		50	UA

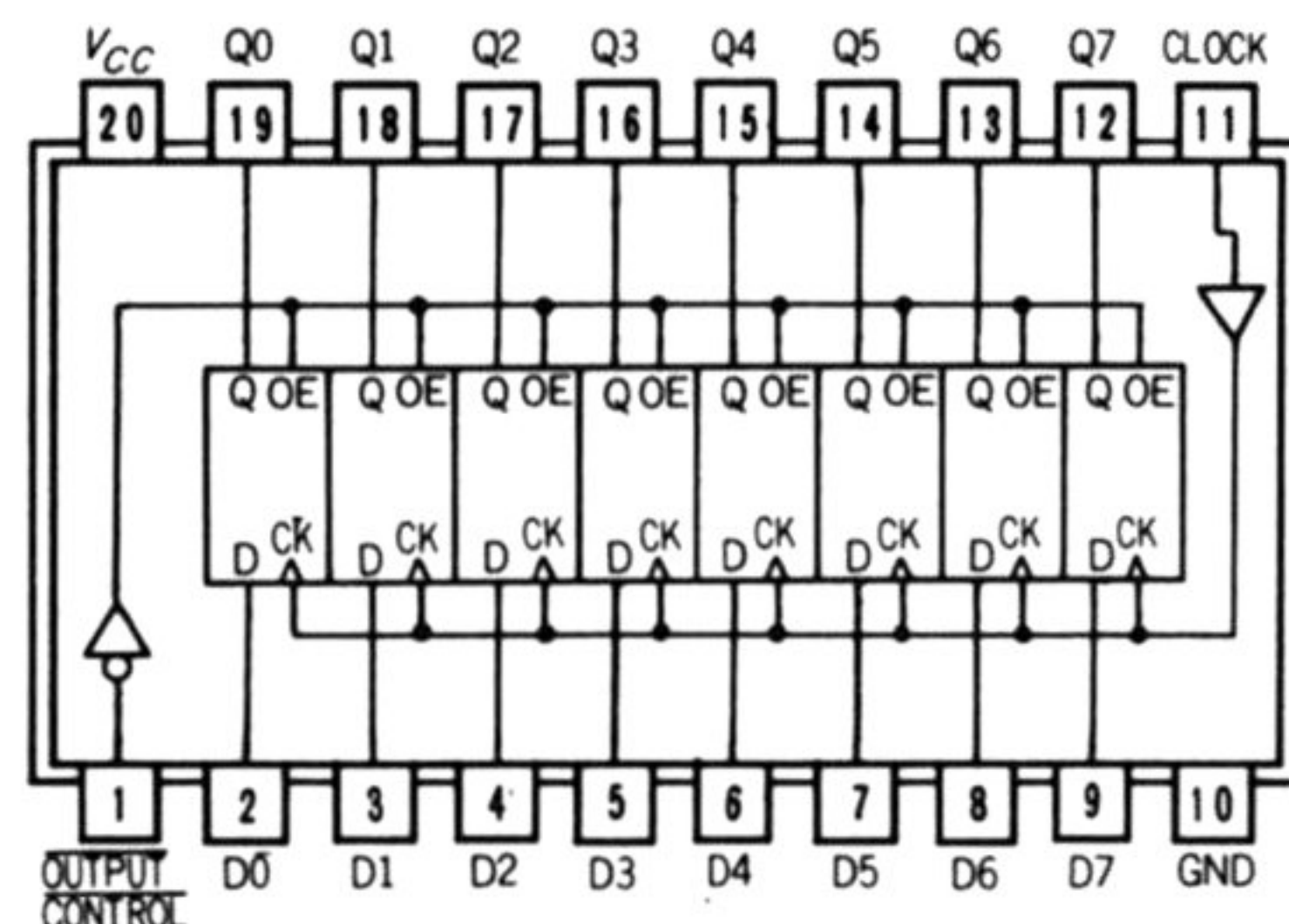
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		DF	DF		
MOT							DF	DF	DF		DF			
日電									DF					
NS	F	DF	DF		DF	DF		DF	DF		DF			
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI			DF		DF	DF			DF		DF		DF	
東芝	F						DFS	DFS	DF		DF	DF		
SGS									DF		DF			
CYPRES					DF									
IDT								DF						

参考品種
74373
74563

74574　　Octal 3-State D-FFs

V_{CC} 20, Q0 19, Q1 18, Q2 17, Q3 16, Q4 15, Q5 14, Q6 13, Q7 12, CLOCK 11

OUTPUT CONTROL 1, D0 2, D1 3, D2 4, D3 5, D4 6, D5 7, D6 8, D7 9, GND 10

Q OE / D CK

○74374のピン接を変えたタイプ
○74564は同じピン接の反転($\overline{Q}$)タイプ
○使用法はどれも同じ

入力		動作
Output control	CK	
X	↑	データロード
H	X	High-Z

8 bit-D-FF

ナンバー	出力	ピン接	
74364	正	隣接	Hレベル3.65V
74374	正	隣接	
74534	負	隣接	
74564	負	対向	
74574	正	対向	
74575	正	対向	同期クリア
74576	負	対向	
74577	負	対向	同期クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK				77		35		100	125	100	85	24		24	70		MHz
tw	min	CLK				20		14		4.5	4	4.0	4.0	20		20	7		ns
tsu	min	DATA				13		15↑		2.0	2↑	4.0	2.5	25		15	2		ns
thold	min	DATA				5		0↑		1.5	2↑	0	1.0	0↑		5	2		ns
tpd	max	CLK		-Q		33		14		9.5	9	10.0	12	29		44	13.0		ns
tpd	max	OUT.C.	N	-Q		30		18		8.0	10	11.0	10	35		44	13.5		ns
tpd	max	OUT.C.	A	-Q		24		13		9.0	6	14.0	11.5	31		38	14.5		ns
Icc	max					0.02		27		70	134	0.08	0.08	0.08		0.08	27		mA
IIH	max	D	H				20	20		20	20								μA
IIL	max	D	L				0.4	0.2		0.6	2								mA
IIH	max	OTHERS	H				20	20		20	20								μA
IIL	max	OTHERS	L				0.4	0.2		0.6	0.5								mA
IOH	max			-Q	H	25	2.6	2.6		3	15	24	24	4		4	3.0		mA
IOL	max			-Q	L	25	24	24		24	48	24	24	4		4	24		mA
IZH	max			-Q	H			20		50	50	5	5	5		5	50		μA
IZL	max			-Q	L			20		50	50	5	5	5		5	50		μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		DF	DF		
MOT					D		DF	DF	DF		DF			
日電									DF					
NS		DF	DF		DF	DF	DF	DF	DF		DF			
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI			DF		DF	D			DF		DF		DF	
東芝							DFS	DFS	DF		DF	DF		
SGS									DF		DF			
CYPRES					DF									
IDT								DF						

参考品種
74374
74564

74575　　Octal 3-State D-FFs (with clear)

Vcc NC Q0 Q1 Q2 Q3 Q4 Q5 Q6 Q7 CLOCK NC
24 23 22 21 20 19 18 17 16 15 14 13
1 2 3 4 5 6 7 8 9 10 11 12
CLEAR OUTPUT CONTROL D0 D1 D2 D3 D4 D5 D6 D7 NC GND

○74574＋同期クリア

入力			動作
Output Control	CK	CLEAR	
—	↑	H	データロード
		L	クリア
H	—		High-Z

ナンバー	出力	ピン接	
74364	正	隣接	Hレベル3.65V
74374	正	隣接	
74534	負	隣接	
74564	負	対向	
74574	正	対向	
74575	正	対向	同期クリア
74576	負	対向	
74577	負	対向	同期クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK						30			125						70		MHz
tw	min	CLK						16.5			4						7		ns
tsu	min	CLEAR						20↑			5.5						2		ns
tsu	min	DATA						15↑			2↑						2		ns
thold	min	DATA						0↑			2↑						2		ns
thold	min	CLEAR						0↑			0↑						2		ns
tpd	max	CLK		Q				14			9						13.0		ns
tpd	max	OUT.C.	N	Q				13			6						13.5		ns
tpd	max	OUT.C.	A	Q				18			10						14.5		ns
Icc	max							27			142						27		mA
IIH	max	D	H					20			20								μA
IIL	max	D	L					0.2			2								mA
IIH	max	OTHERS	H					20			20								μA
IIL	max	OTHERS	L					0.2			0.5								mA
IOH	max			Q	H			2.6			15						0.3		mA
IOL	max			Q	L			24			48						24		mA
IZH	max			Q	H			20			50						50		μA
IZL	max			Q	L			20			50						50		UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS						D								
PHIL														
RCA														
SIGNE														
TI			D			D								
東芝												D		
SGS														
CYPRES														
IDT														

74576 Octal 3-State D-FFs (Inverted)

ナンバー	出力	ピン接	
74364	正	隣接	Hレベル3.65V
74374	正	隣接	
74534	負	隣接	
74564	負	対向	
74574	正	対向	
74575	正	対向	同期クリア
74576	**負**	**対向**	
74577	負	対向	同期クリア

○74564と同じ

'ALS576, 'AS576

入　力		動　作
Output Control	CK	
X	↑	データロード
H	X	High-Z

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK						30			125								MHz
tw	min	CLK						16.5			4								ns
tsu	min	DATA						15↑			2↑								ns
thold	min	DATA						0↑			2↑								ns
tpd	max	CLK		-Q				14			9								ns
tpd	max	OUT.C.	N	-Q				13			6								ns
tpd	max	OUT.C.	A	-Q				18			10								ns
Icc	max							27			135								mA
IIH	max	D	H					20			20								μA
IIL	max	D	L					0.2			2								mA
IIH	max	OTHERS	H					20			20								μA
IIL	max	OTHERS	L					0.2			0.5								mA
IOH	max			Q	H			2.6			15								mA
IOL	max			Q	L			24			48								mA
IZH	max			Q	H			20			50								μA
IZL	max			Q	L			20			50								UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS			DF			DF							
PHIL													
RCA													
SIGNE													
TI			DF			D							
東芝													
SGS													
CYPRES													
IDT													

74577　　Octal 3-State D-FFs (Inverted, with clear)

V_{CC} NC $\overline{Q0}$ $\overline{Q1}$ $\overline{Q2}$ $\overline{Q3}$ $\overline{Q4}$ $\overline{Q5}$ $\overline{Q6}$ $\overline{Q7}$ CLOCK NC
24 23 22 21 20 19 18 17 16 15 14 13
1 2 3 4 5 6 7 8 9 10 11 12
$\overline{CLEAR}$ OUTPUT CONTROL D0 D1 D2 D3 D4 D5 D6 D7 NC GND

○74564
74576 } ＋同期クリア

入　力			動　作
Output Control	CK	$\overline{CLEAR}$	
—	↑	H	データロード
		L	ク リ ア
H	—		High-Z

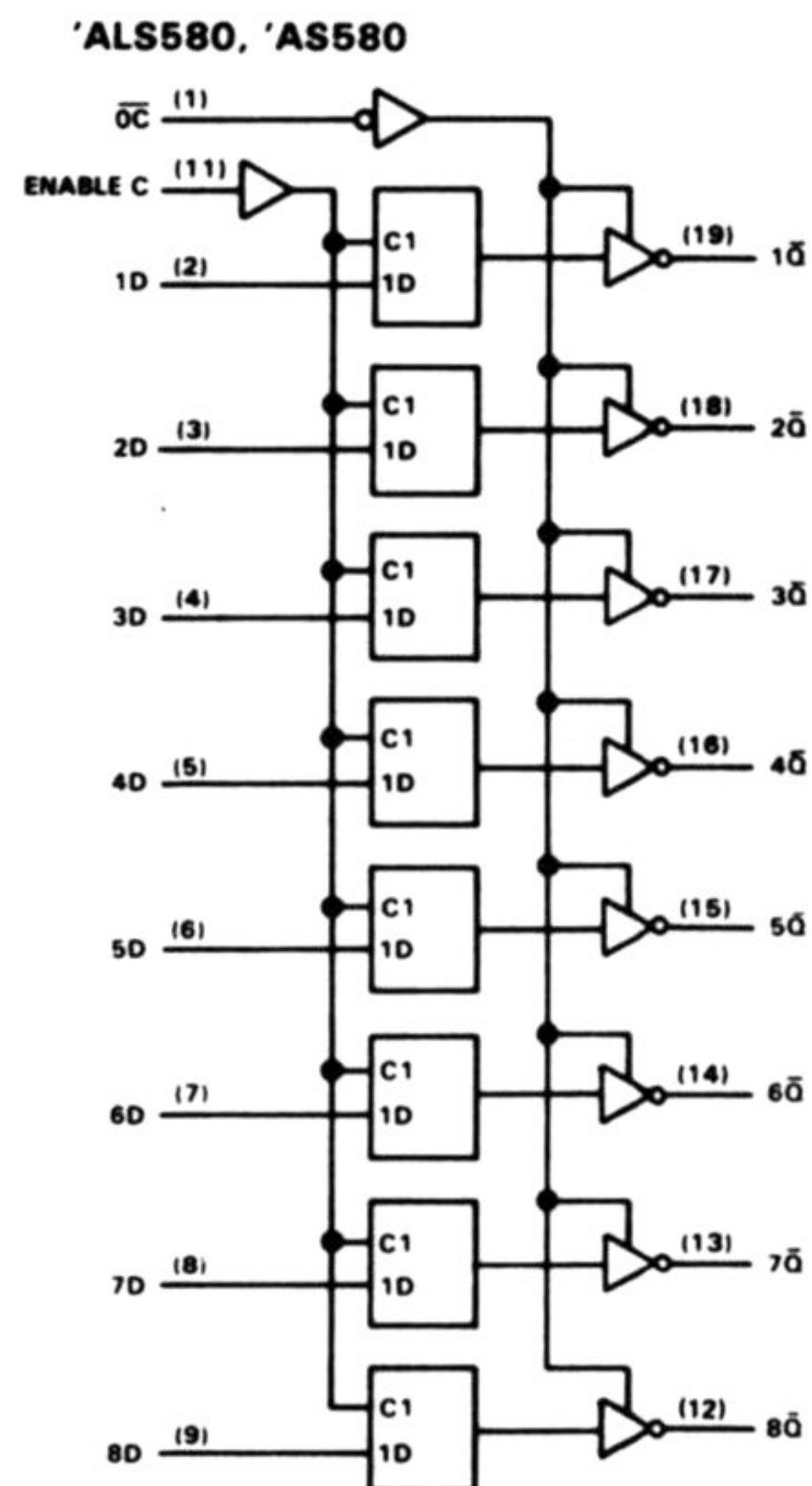
ナンバー	出力	ピン接	
74364	正	隣接	Hレベル3.65V
74374	正	隣接	
74534	負	隣接	
74564	負	対向	
74574	正	対向	
74575	正	対向	同期クリア
74576	負	対向	
74577	負	対向	同期クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK						30			125								MHz
tw	min	CLK						16.5			4								ns
tsu	min	-CLEAR						15↑			5.5¯								ns
thold	min	-CLEAR						0↑			0↑								ns
tpd	max	CLK		-Q				14			9								ns
tpd	max	OUT.C.	N	-Q				13			6								ns
tpd	max	OUT.C.	A	-Q				18			10								ns
Icc	max							27			142								mA
IIH	max	D	H					20			20								μA
IIL	max	D	L					0.2			2								mA
IIH	max	OTHERS	H					20			20								μA
IIL	max	OTHERS	L					0.2			0.5								mA
IOH	max			Q	H			2.6			15								mA
IOL	max			Q	L			24			48								mA
IZH	max			Q	H			20			50								μA
IZL	max			Q	L			20			50								UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI			D			D								
東芝														
SGS														
CYPRES														
IDT														

74580　Octal 3-State D-Latches (Inverted)

○74563と同じ

'ALS580, 'AS580

入　力		動　作
Output Control	Latch Enable	
L	L	ラッチ(ホールド)
L	H	Q=$\overline{D}$
H	X	High-Z

ナンバー	出力	ピン接	
74363	正	隣接	Hレベル3.65V
74373	正	隣接	
74533	負	隣接	
74563	負	対向	
74573	正	対向	
74580	**負**	**対向**	

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	ENABLE						15			2								ns
tsu	min	DATA						10↓			2↑								ns
thold	min	DATA						10↓			3↑								ns
tpd	max	ENABLE		-Q				22			9								ns
tpd	max	DATA		-Q				18			7.5								ns
tpd	max	OUT.C.	N	-Q				13			7								ns
tpd	max	OUT.C.	A	-Q				18			9.5								ns
Icc	max							27			115								mA
IIH	max	ALL	H					20											μA
IIL	max	ALL	L					0.1											mA
IOH	max			Q	H			2.6			15								mA
IOL	max			Q	L			24			48								mA
IZH	max			Q	H			20			50								μA
IZL	max			Q	L			20			50								UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS			DF										
PHIL													
RCA													
SIGNE													
TI			DF			D							
東芝													
SGS													
CYPRES													
IDT													

74583　　4-Bit Full Adder with Fast Carry

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B, Ci		Σ						19.5				17		21			ns
tpd	max	Cin		Cn+4						8.5				10		14			ns
tpd	max	A, B		Cn+4						13				12		17			ns
IIH	max	ALL	H							20									μA
IIL	max	ALL	L							0.6									mA
IOH	max			ALL	H					1				4		4			mA
IOL	max			ALL	L					20				4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS					DF								
PHIL													
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT													

参考品種
7483
74283

74589 8-bit Serial or Parallel-input/Serial-output Shift Register (with 3-state outputs)

Vcc 16, A 15, S_A 14, Serial Shift/Parallel Load 13, Latch Clock 12, Shift Clock 11, Output Enable 10, Q_H 9

B 1, C 2, D 3, E 4, F 5, G 6, H 7, GND 8

機能表

LCK	SCK	S Load	$\overline{OE}$	動作
↑	×	×	×	インプットラッチへデータをロード
↑	×	L	L	インプットからシフトレジスタへデータをロード
×	×	L	L	インプットラッチからシフトレジスタへデータを移動
L,H,↓	L, H,↓	×	H	ハイインピーダンス状態でシリアルアウト
×	↑	H	L	シフトレジスタをクロック $Q_n = Q_{n-1}$, $Q_0 = SER$

SCK, S_A, Shift/Load, A, B, C, D, E, F, G, H, LCK, $\overline{OE}$, Vcc, Q_H

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	L-CLK		Q	L→H									40					ns
tpd	max	L-CLK		Q	H→L									40					ns
tpd	max	S-CLK		Q	L→H									35					ns
tpd	max	S-CLK		Q	H→L									35					ns
tpd	max	SFT/LD		Q	L→H									30					ns
tpd	max	SFT/LD		Q	H→L									30					ns
Icc	max													4					μA
IOH	max																		mA
IOL	max													6					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT									DF				
日電													
NS									DF				
PHIL													
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT													

74590 8-Bit Binary Counter with Output Register

○パラレル出力レジスタ内蔵
○非同期クリア(カウンタ)
○スリー・ステート出力
○最大動作周波数………20MHz
○74AC11XXXファミリーはセンタ・ピン・タイプ

機 能 表

Inputs					動 作
$\overline{G}$	RCK	$\overline{CCLR}$	$\overline{CCKEN}$	CCK	
H	×	×	×	×	Q出力ディスエーブル
L	×	×	×	×	Q出力イネーブル
×	↑	×	×	×	カウンタをレジスタにストア
×	↓	×	×	×	レジスタ状態は変化なし
×	×	L	×	×	カウンタクリア
×	×	H	L	↑	1カウント進む
×	×	H	L	↓	ノーカウント
×	×	H	H	×	ノーカウント

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	ANY		Q	L→H		18							12					ns
tpd	max	ANY		Q	H→L		33							12					ns
tpd	max	EN		Q	Z→L		45							21					ns
tpd	max	EN		Q	Z→H		38							21					ns
tpd	max	EN		Q	L→Z		38							17					ns
tpd	max	EN		Q	H→Z		30							17					ns
Icc	max						65							.004					mA
IOH	max																		mA
IOL	max						24							6					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI		DF					DF						
東芝									DF				
SGS									DF				
CYPRES													
IDT													

74592　8-Bit Binary Counter with Input Register

○パラレル入力レジスタ内蔵
○非同期ロード(カウンタ)
○非同期クリア(カウンタ)
○最大動作周波数………20MHz

機 能 表

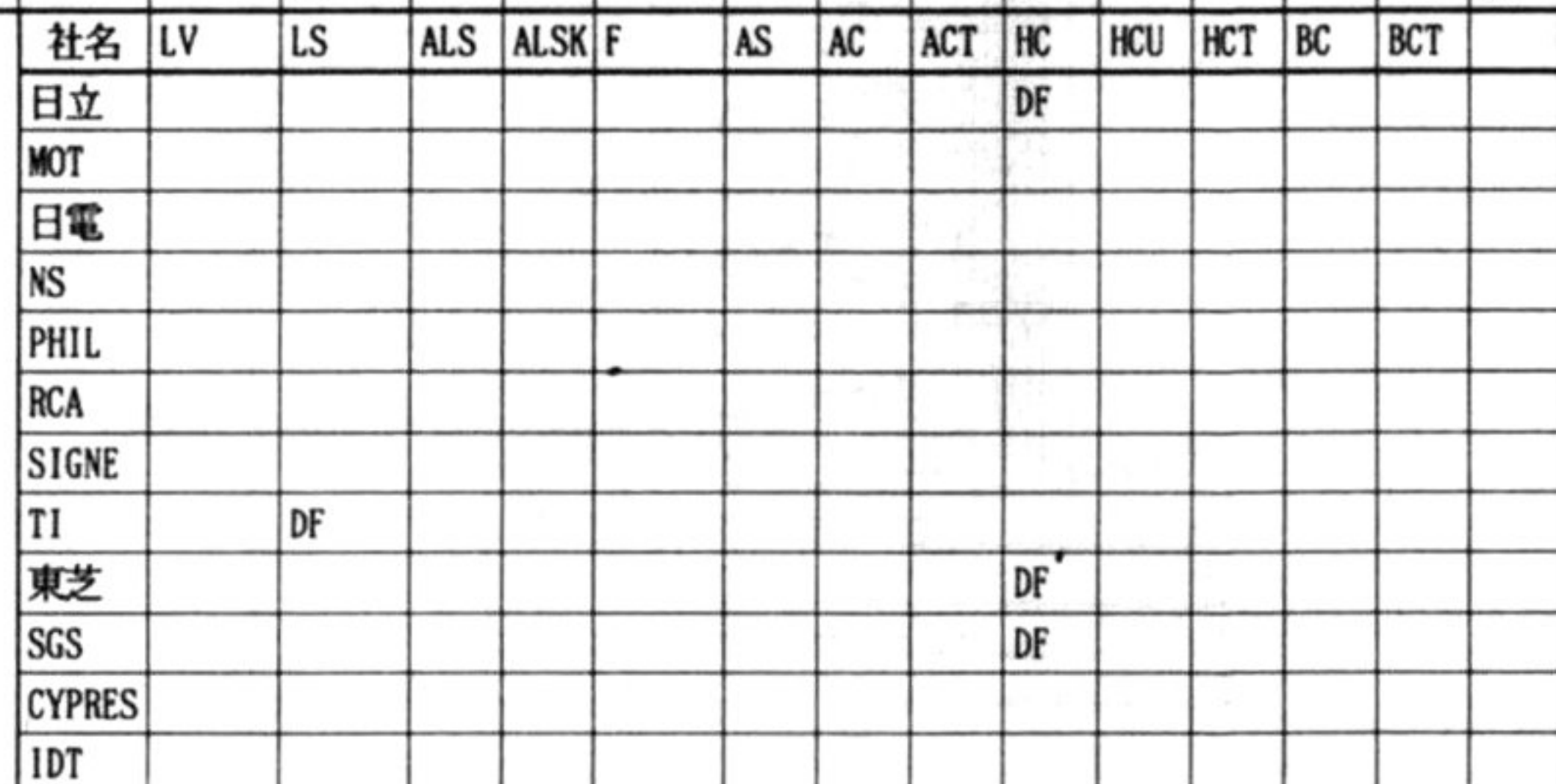
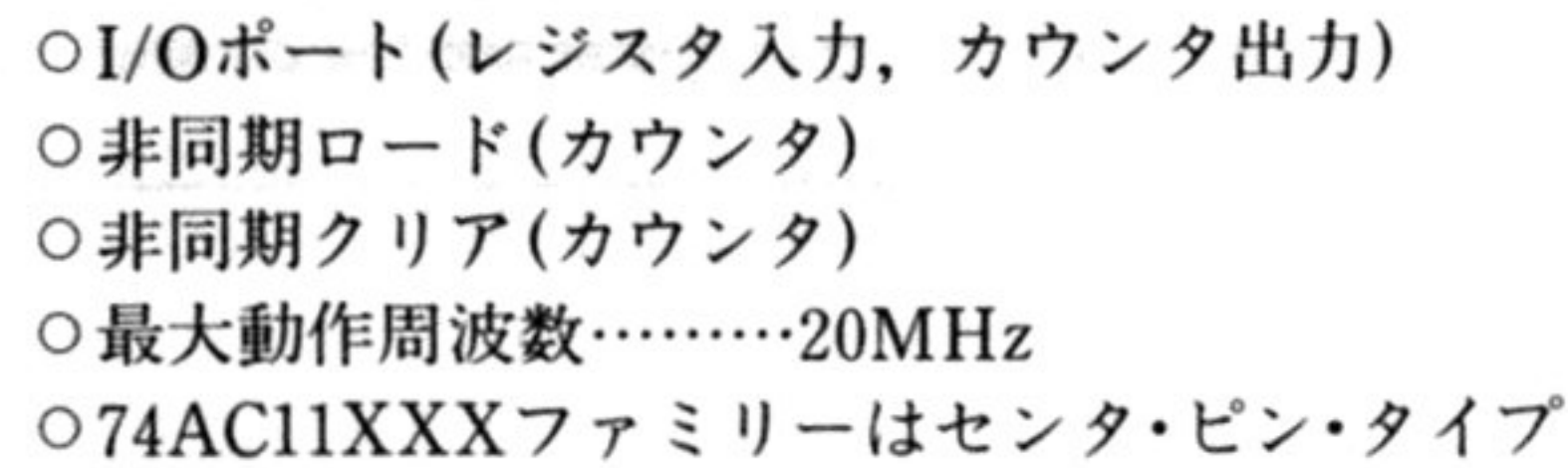
Inputs					動 作
RCK	CLoad	CCLR	CCKEN	CCK	
×	L	H	×	×	レジスタデータをカウンタにロード
×	H	L	×	×	カウンタをクリア
／	H	H	×	×	A～H入力のデータをレジスタにストア
＼	H	H	×	×	レジスタ状態は変化なし
×	H	H	L	／	カウントアップ
×	H	H	L	＼	ノーカウント
×	H	H	H	×	ノーカウント

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	CCK		RCO	L→H		23							33					ns
tpd	max	CCK		RCO	H→L		30							33					ns
tpd	max	CLOAD		RCO	L→H		23							47					ns
tpd	max	CLOAD		RCO	H→L		17							47					ns
tpd	max	RCK		RCO	L→H		53							52					ns
tpd	max	RCK		RCO	H→L		45							52					ns
Icc	max						60							.004					mA
IOH	max																		mA
IOL	max						60							4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI		DF											
東芝									DF'				
SGS									DF				
CYPRES													
IDT													

74593　8-Bit Binary Counter with Input Register

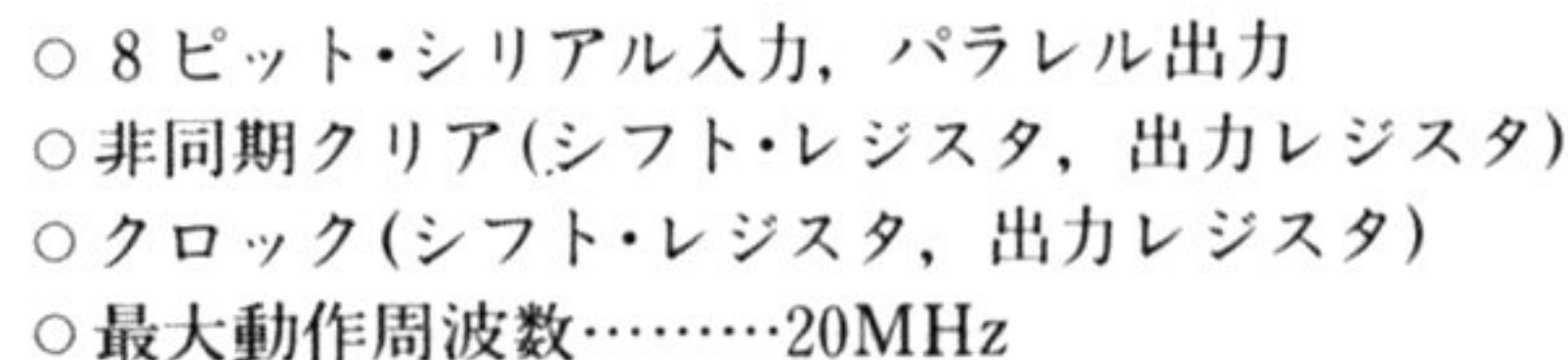
○I/Oポート(レジスタ入力，カウンタ出力)
○非同期ロード(カウンタ)
○非同期クリア(カウンタ)
○最大動作周波数………20MHz
○74AC11XXXファミリーはセンタ・ピン・タイプ

機　能　表

INPUTS									FUNCTION
G	$\overline{G}$	$\overline{CCLR}$	CCKEN	$\overline{CCKEN}$	CCK	$\overline{CLOAD}$	$\overline{RCKEN}$	RCK	
L	H	X	X	X	X	X	X	X	ALL Q BUS BECOME HIGH Z AND CAN BE APPLIED ANY DATA
H	X	X	X	X	X	X	X	X	THE OUTPUT DATA OF THE COUNTER IS ENABLE ON QA THRU QH
X	L	X	X	X	X	X	X	X	
X	X	L	X	X	X	H	X	X	COUNTER IS CLEARED TO ZERO
X	X	H	X	X	X	L	X	X	THE DATA OF Q BUS IS LOADED INTO COUNTER
X	X	H	H	X	↑	H	X	X	COUNTER ADVANCES THE COUNT
X	X	H	X	L	↑	H	X	X	
X	X	H	H	X	↓	H	X	X	NO COUNT
X	X	H	X	L	↓	H	X	X	
X	X	H	L	H	X	H	X	X	NO COUNT
X	X	X	X	X	X	X	H	X	REGISTER DATA IS NOT CHANGED
X	X	X	X	X	X	X	L	↓	REGISTER DATA IS NOT CHANGED
X	X	X	X	X	X	X	L		THE DATA OF Q BUS IS STORED INTO REGISTER

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	CCK		Q	L→H		21							42					ns
tpd	max	CCK		Q	H→L		39							42					ns
tpd	max	CLOAD		Q	L→H		51							42					ns
tpd	max	CLOAD		Q	H→L		42							42					ns
tpd	max	CCLR		Q	L→H									44					ns
tpd	max	CCLR		Q	H→L		38							44					ns
Icc	max						85							.004					μA
IOH	max																		mA
IOL	max						24							7.8					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI		DF												
東芝														
SGS									DF					
CYPRES														
IDT														

74594 8-Bit Shift Register with Output Latche

機能表

INPUTS					OUTPUTS		FUNCTION
SH_{CP}	ST_{CP}	$\overline{SH}_R$	$\overline{ST}_R$	D_S	Q_7'	Q_n	
X	X	L	X	X	L	NC	a LOW level on $\overline{SH}_R$ only affects the shift registers.
X	X	X	L	X	NC	L	a LOW level on $\overline{ST}_R$ only affects the storage registers.
X	↑	L	H	X	L	L	empty shift register loaded into storage register.
↑	X	H	X	H	Q_6'	NC	logic HIGH level shifted into shift register stage 0. Contents of all shift register stages shifted through, e.g. previous state of stage 6 (internal Q_6') appears on the serial output (Q_7').
X	↑	H	H	X	NC	Q_n'	contents of shift register stages (internal Q_n') are transferred to the storage register and parallel output stages.
↑	↑	H	H	X	Q_6n	Q_n'	contents of shift register shifted through. Previous contents of shift register transferred to the storage register and the parallel output stages.

○ 8ビット・シリアル入力，パラレル出力
○非同期クリア(シフト・レジスタ，出力レジスタ)
○クロック(シフト・レジスタ，出力レジスタ)
○最大動作周波数………20MHz

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	STCP		Q	L→H		18							30		32			ns
tpd	max	STCP		Q	H→L		30							30		32			ns
tpd	max	STR		Q	H→L		57							25		30			ns
Icc	max						65												mA
IOH	max																		mA
IOL	max						24												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS													
PHIL									DF				
RCA													
SIGNE													
TI		DF											
東芝													
SGS									DF				
CYPRES													
IDT													

74595　8-Bit Shift Registers with Output Latches

VCC QA SER $\overline{G}$ RCK SCK $\overline{SCLR}$ QH'
16 15 14 13 12 11 10 9
QB QC QD QE QF QG QH GND
1 2 3 4 5 6 7 8

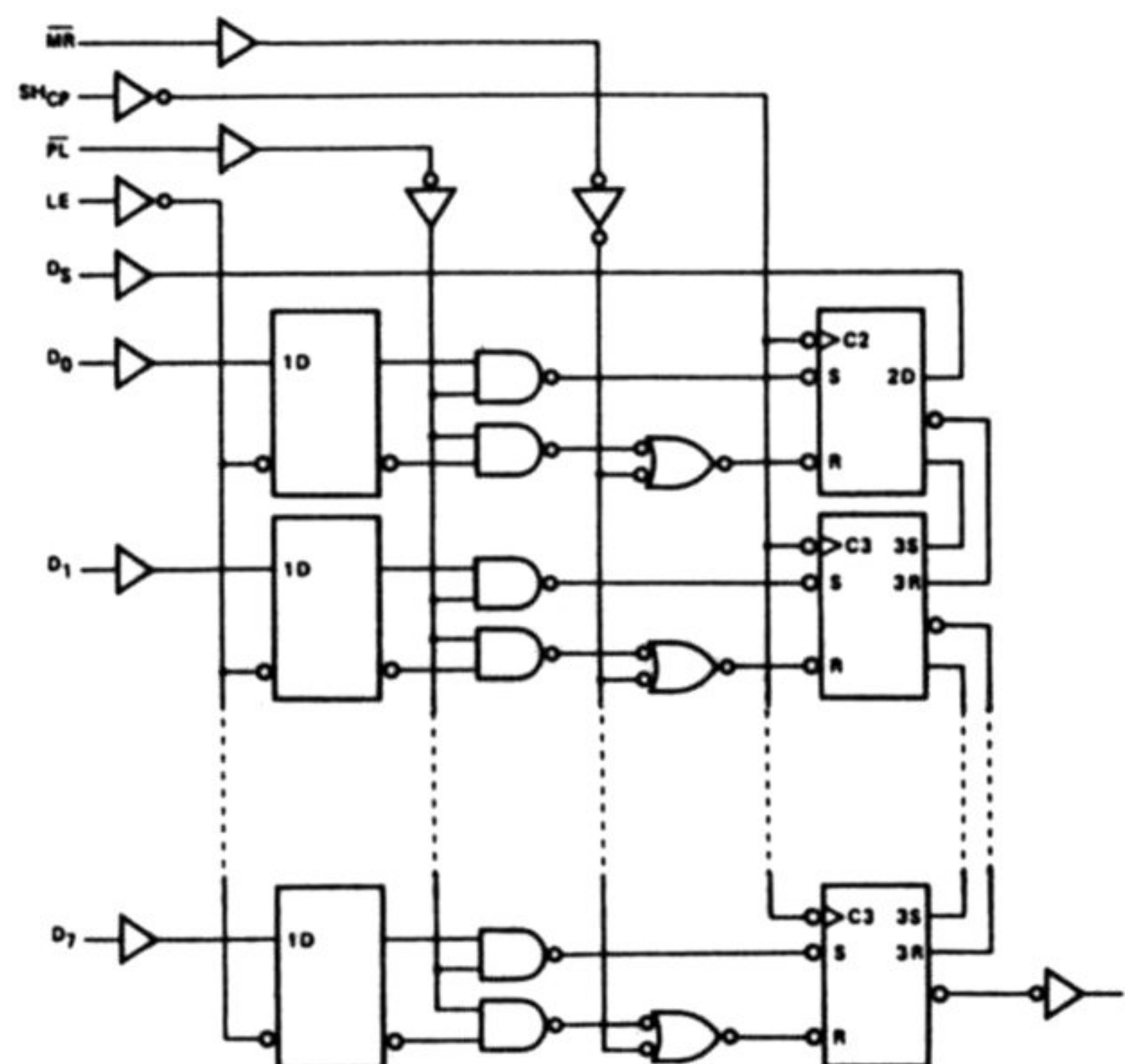
○ 3ステートラッチ付のシフト・レジスタ

Serial Data Input A 14
Shift Register
Latch
15 QA, 1 QB, 2 QC, 3 QD, 4 QE, 5 QF, 6 QG, 7 QH — Parallel Data Outputs
Shift Clock 11
Reset 10
Latch Clock 12
Output Enable 13
9 SQH — Serial Data Output
VCC = 16ピン
GND = 8ピン

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	SRCK		L→H	↑		18			12.0				53					ns
tpd	max	SRCK		H→L	↓		25			7.5				53					ns
tpd	max	RCK		L→H	↑		18			13.5				44					ns
tpd	max	RCK		H→L	↓		35			8.5				44					ns
tpd	max	-G		H→Z	▲		30			8.5				38					ns
tpd	max	-G		L→Z	▼		38			10.0				38					ns
tpd	max	-G		Z→H	△		30			10.5				38					ns
tpd	max	-G		Z→L	▽		38			9.5				38					ns
tpd	max	-SRCLR		Qh'			35			8.5				44					ns
Icc	max						65							0.08					mA
IIH	max	SER	H				20												μA
IIL	max	SER	L				0.4												mA
IIH	max	OTHERS	H				20												μA
IIL	max	OTHERS	L				0.2												mA
IOH	max			Qh'	H		1							4					mA
IOL	max			Qh'	L		16							4					mA
IOH	max			OTHERS	H		2.6							6					mA
IOL	max			OTHERS	L		24							6					mA
IZL	max			Q	H		20												μA
IZH	max			Q	L		20												UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT									DF				
日電									DF				
NS									DF				
PHIL									DF		DF		
RCA													
SIGNE					DF								
TI		DF											
東芝									DF				
SGS									DF				
CYPRES													
IDT													

74597 8-Bit Shift Register with Input Frip-Frops

機能表

ST_{CP}	SH_{CP}	$\overline{PL}$	$\overline{MR}$	FUNCTION
↑	X	X	X	data loaded to input latches
↑	X	L	H	data loaded from inputs to shift register
no clock edge	X	L	H	data transferred from input latches to shift register
X	X	L	L	invalid logic, state of shift register indeterminate when signals removed
X	X	H	L	shift register cleared
X	↑	H	H	shift register clocked $Q_n = Q_{n-1}$, $Q_0 = D_s$

H = HIGH voltage level
L = LOW voltage level
X = don't care
↑ = LOW-to-HIGH CP transition

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					35							50		45			MHz
tw	min	CLK					20							17		20			ns
tsu	min	DS					20							17		20			ns
thold	min	DS					0							2		2			ns
tpd	max	SHCP		Q			28							17		19			ns
Icc	max	ALL	L	OPEN			53												mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0.8												mA
IOH	max			ALL	H		1												mA
IOL	max			ALL	L		16												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF					
MOT									DF					
日電														
NS									DF					
PHIL									DF					
RCA									DF		DF			
SIGNE					DF									
TI		DF												
東芝									DF					
SGS									DF					
CYPRES														
IDT														

74620　　Octal 3-State Bus Transceivers

VCC　ENABLE $\overline{G}$BA　B1　B2　B3　B4　B5　B6　B7　B8
20　19　18　17　16　15　14　13　12　11
1　2　3　4　5　6　7　8　9　10
ENABLE GAB　A1　A2　A3　A4　A5　A6　A7　A8　GND

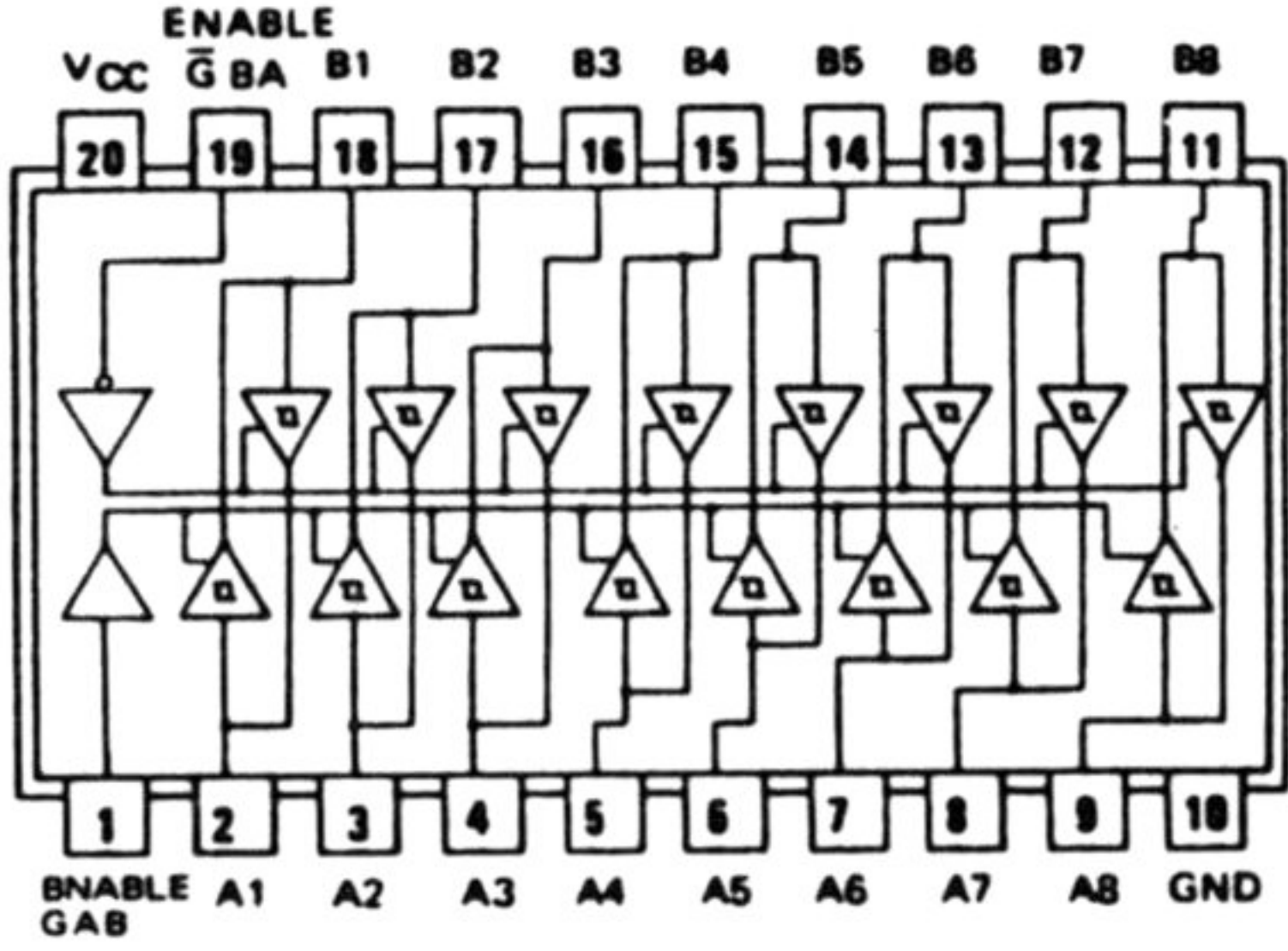
○Channel ごと Enable 独立
○ALS620-1 は I_{OL}(max) 48mA
○ALS1620-1 は I_{OL}(max) 24mA

ナンバー	論　理	出　力　回　路
74620	反　転	3ステート
74621	非反転	オープンコレクタ
74622	反　転	オープンコレクタ
74623	非反転	3ステート

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
Hys	min						0.2												V
tpd	max			L→H	↑		10	12	9	7.5	8	7.5	8.5	25			9.5	5.8	ns
tpd	max			H→L	↓		15	12	6	5.0	6	7.0	9.0	25			8.0	6.9	ns
tpd	max	G		Z→X			40	34	17	11.5	9	10.0	12.0	38			12.5	11.1	ns
tpd	max	G		X→Z			25	34	11	10.5	13	10.0	11.0	38			12.5	10.0	ns
Icc	max						95	43	21	110	122	0.08	0.08	0.08			27	84	mA
IIH	max	A, B	H				20	20	20	20	50								μA
IIL	max	A, B	L				0.4	0.1	0.1	20	0.75								mA
IIH	max	G	H				20	20	20	20	20								μA
IIL	max	G	L				0.4	0.1	0.1	20	0.5								mA
IOH	max			ALL	H		3	15	15	15	15	24	24	6			3	15	mA
IOL	max			ALL	L		24	24	16	64	64	24	24	6			24	64	mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		DF	DF		
MOT					D		D	D						
日電														
NS			DF		D	D		D						
PHIL														
RCA														
SIGNE			DF		DF									
TI			DF		D	D	DF	DF					DF	
東芝												DF		
SGS									DF					
CYPRES														
IDT								DF						

参考品種
74623
74640
74242

74621 Octal O. C. Bus Transceivers

○Channel ごと Enable 独立
○ALS621-1 は I_{OL}(max) 48mA
○ALS1621-1 は I_{OL}(max) 24mA

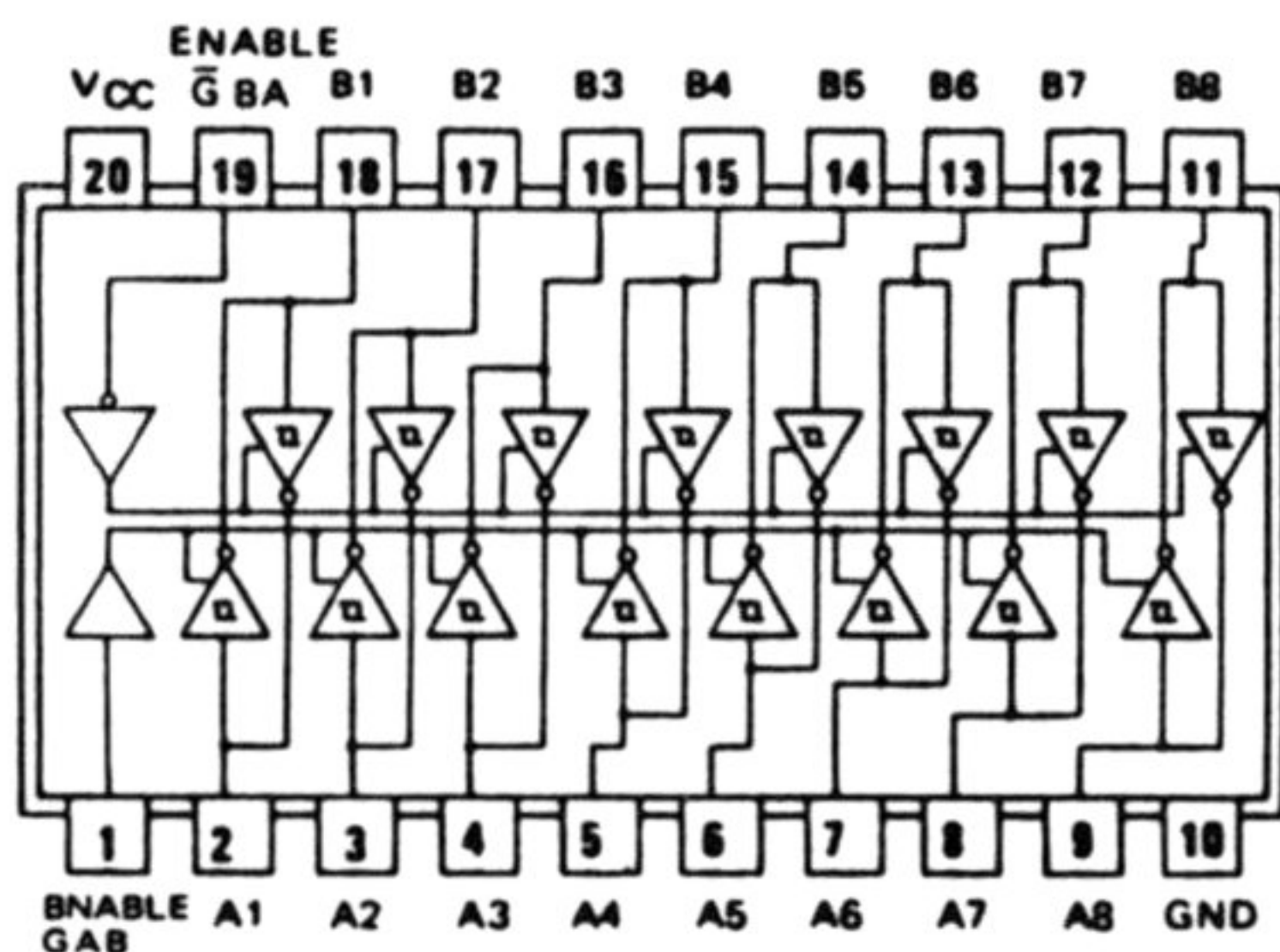
ナンバー	論　理	出　力　回　路
74620	反　転	3 ステート
74621	非反転	オープンコレクタ
74622	反　転	オープンコレクタ
74623	非反転	3 ステート

参考品種
74622
74641

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
Hys	min						0. 2												V
tpd	max			L→H	↑		25	33	22	13	24								ns
tpd	max			H→L	↓		25	20	14	8. 5	7. 5								ns
tpd	max	G		L→OFF			40	45	33	14	21								ns
tpd	max	G		H→OFF			50	45	24	11	10								ns
Icc	max						90	45	16	140	189								mA
IIH	max	ALL	H				20	20	20	70	20								μA
IIL	max	ALL	L				0. 4	0. 1	0. 1	0. 65	0. 5								mA
IOH	max			ALL	H		100	100	100	100	100								μA
IOL	max			ALL	L		24	24	16	24	64								mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE					DF								
TI		DF	DF		D	D							
東芝													
SGS													
CYPRES													
IDT								DF					

74622 Octal O.C. Bus Transceivers

ENABLE
VCC $\overline{G}$BA B1 B2 B3 B4 B5 B6 B7 B8
20 19 18 17 16 15 14 13 12 11
1 2 3 4 5 6 7 8 9 10
ENABLE GAB A1 A2 A3 A4 A5 A6 A7 A8 GND

○Channel ごと Enable 独立
○ALS622-1 は I_{OL}(max) 48mA
○ALS1622-1 は I_{OL}(max) 24mA

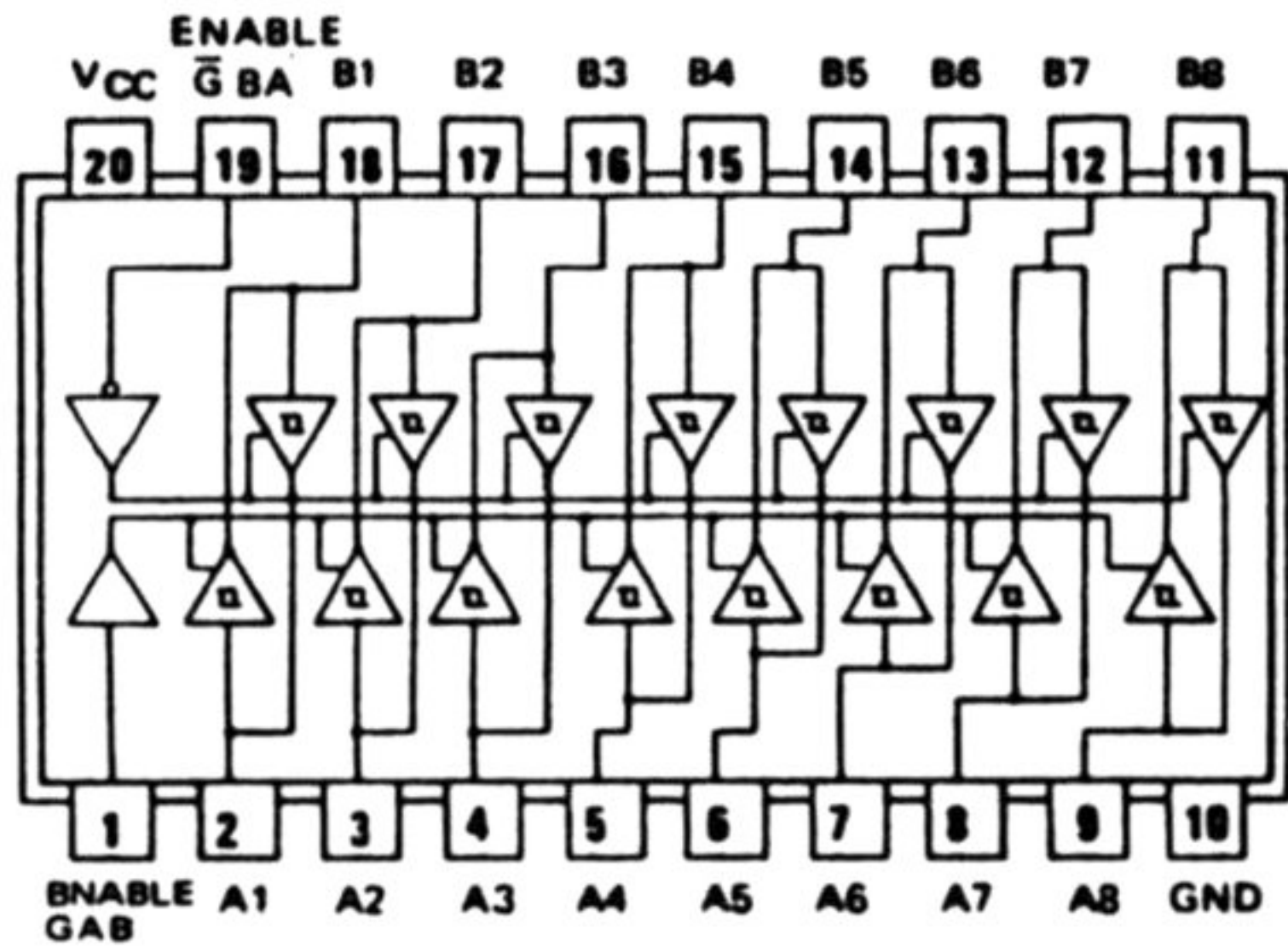
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
Hys	min						0.2												V
tpd	max			L→H	↑		25	38	25	13	20								ns
tpd	max			H→L	↓		25	19	13	8.5	6								ns
tpd	max	G		L→OFF			40	40	31	14	23								ns
tpd	max	G		H→OFF			60	45	28	11	9								ns
Icc	max						90	25	18	90	62								mA
IIH	max	ALL	H				20	20	20	70	20								μA
IIL	max	ALL	L				0.4	0.1	0.1	0.65	0.5								mA
IOH	max			ALL	H		100	100	100	100	100								μA
IOL	max			ALL	L		24	24	16	24	64								mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI			DF		D	D								
東芝														
SGS														
CYPRES														
IDT														

ナンバー	論理	出力回路
74620	反転	3ステート
74621	非反転	オープンコレクタ
74622	**反転**	**オープンコレクタ**
74623	非反転	3ステート

参考品種
74621
74642

74623 Octal 3-State Bus Transceivers

VCC ENABLE G̅BA B1 B2 B3 B4 B5 B6 B7 B8
20 19 18 17 16 15 14 13 12 11
1 2 3 4 5 6 7 8 9 10
ENABLE GAB A1 A2 A3 A4 A5 A6 A7 A8 GND

○Channel ごと Enable 独立
○ALS623-1 は I_{OL}(max) 48mA
○ALS1623-1 は I_{OL}(max) 24mA

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
Hys	min						0.2												V
tpd	max			L→H	↑		15	13	8	6.5	5	7.5	8.5	30		25	8.0	6.7	ns
tpd	max			H→L	↓		15	13	8	7.5	5	7.0	9.0	30		25	8.0	8	ns
tpd	max	G		Z→X			40	22	21	12.0	7	10.0	12.0	45		38	12.5	10.7	ns
tpd	max	G		X→Z			25	26	13	10.0	5	10.0	11.0	45		38	14	9.8	ns
Icc	max						95	53	18	140	116	0.04	0.04	0.16		0.04	27	9.2	mA
IIH	max	A, B	H				20	20	20	20	50								μA
IIL	max	A, B	L				0.4	0.1	0.1	20	0.75								mA
IIH	max	G	H				20	20	20	20	20								μA
IIL	max	G	L				0.4	0.1	0.1	20	0.5								mA
IOH	max			ALL	H		3	15	15	15	15	24	6	4		6	3	15	mA
IOL	max			ALL	L		24	24	16	64	64	24	6	4		6	24	64	mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		DF	DF		
MOT		D			D		D	D						
日電														
NS					DF									
PHIL														
RCA							DF	DF						
SIGNE			DF		DF									
TI		DF	DF		D	D	DF	DF	DF		DF		DF	
東芝							DF		DF			DF		
SGS									DF					
CYPRES														
IDT								DF						

ナンバー	論　理	出　力　回　路
74620	反　転	3 ステート
74621	非反転	オープンコレクタ
74622	反　転	オープンコレクタ
74623	非反転	3 ステート

参考品種
74620
74245
74645

74638 　　Octal O. C./3-State Bus Transceiver

FUNCTION TABLE

CONTROL INPUTS		OPERATION		
$\overline{G}$	DIR	638 640 642	639 641 645	643 644
L	L	$\overline{B}$ data to A bus	B data to A bus	B data to A bus
L	H	$\overline{A}$ data to B bus	A data to B bus	$\overline{A}$ data to B bus
H	X	Isolation	Isolation	Isolation

H = High level, L = low level, X = irrelevant

○B→A は O. C.　A→B は 3-State
○74ALS638-1 は I_{OL} 48mA
○74ALS1638-1 は I_{OL} 24mA

ナンバー	論　　理	出力回路	
74LS638	反　転	OC／3ステート	
74LS639	非反転	OC／3ステート	
74LS640	反　転	3ステート	(8287)
74LS641	非反転	オープンコレクタ	
74LS642	反　転	オープンコレクタ	
74LS643	反転／非反転	3ステート	
74LS644	反転／非反転	オープンコレクタ	
74LS645	非反転	3ステート	(8286, 74245)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A		B			15	12	21		7								ns
tpd	max	B		A(OC)			25	30	8		20								ns
tpd	max	-G		A(OC)			60	45	23		19								ns
tpd	max	-G		B			40	22	15		10								ns
VOH	max			A(OC)			5.5	5.5	5.5		5.5								V
Icc	max						95	41	25		122								mA
IIH	max	A, B	H				20	20	20		50								μA
IIL	max	A, B	L				0.4	0.1	0.1		0.75								mA
IIH	max	-G, DIR	H				20	20	20		20								μA
IIL	max	-G, DIR	L				0.4	0.1	0.1		0.5								mA
IOH	max			3S	H		15	15	15		15								mA
IOL	max			3S	L		24	24	16		64								mA
IZL	max			3S	H		400												μA
IZH	max			3S	L		20												UA
IOH	max			OC	H		100	100	100		100								μA
IOL	max			OC	L		24	24	16		64								mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI			DF			DF								
東芝														
SGS														
CYPRES														
IDT														

74639 Octal O. C./3-State Bus Transceiver

VCC ENABLE G B1 B2 B3 B4 B5 B6 B7 B8
20 19 18 17 16 15 14 13 12 11
1 2 3 4 5 6 7 8 9 10
DIR A1 A2 A3 A4 A5 A6 A7 A8 GND

FUNCTION TABLE

CONTROL INPUTS		OPERATION		
		638 640 642	639 641 645	643 644
G̅	DIR			
L	L	B̅ data to A bus	B data to A bus	B data to A bus
L	H	A̅ data to B bus	A data to B bus	A̅ data to B bus
H	X	Isolation	Isolation	Isolation

H = High level, L = low level, X = irrelevant

○B→AはO. C.　A→Bは3-State
○74ALS639-1は I_{OL} 48mA
○74ALS1639-1は I_{OL} 24mA

ナンバー	論　　理	出力回路	
74LS638	反　転	OC／3ステート	
74LS639	非反転	OC／3ステート	
74LS640	反　転	3ステート	(8287)
74LS641	非反転	オープンコレクタ	
74LS642	反　転	オープンコレクタ	
74LS643	反転／非反転	3ステート	
74LS644	反転／非反転	オープンコレクタ	
74LS645	非反転	3ステート	(8286, 74245)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A		B			15	12	21		9.5								ns
tpd	max	B		A(OC)			25	30	9		22								ns
tpd	max	-G		A(OC)			50	35	23		21.5								ns
tpd	max	-G		B			40	25	17		10.5								ns
VOH	max			A(OC)			5.5	5.5	5.5		5.5								V
Icc	max						95	54	25		154								mA
IIH	max	A, B	H				20	20	20		50								μA
IIL	max	A, B	L				0.4	0.1	0.1		0.75								mA
IIH	max	-G, DIR	H				20	20	20		20								μA
IIL	max	-G, DIR	L				0.4	0.1	0.1		0.5								mA
IOH	max			3S	H		15	15	15		15								mA
IOL	max			3S	L		24	24	16		64								mA
IZL	max			3S	H		400												μA
IZH	max			3S	L		20												UA
IOH	max			OC	H		100	100	100		100								μA
IOL	max			OC	L		24	24	16		64								mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI			DF			D								
東芝														
SGS														
CYPRES														
IDT														

74640 Octal 3-State Bus Transceiver

FUNCTION TABLE

CONTROL INPUTS		OPERATION		
		638 640 642	639 641 645	643 644
$\bar{G}$	DIR			
L	L	$\bar{B}$ data to A bus	B data to A bus	B data to A bus
L	H	$\bar{A}$ data to B bus	A data to B bus	$\bar{A}$ data to B bus
H	X	Isolation	Isolation	Isolation

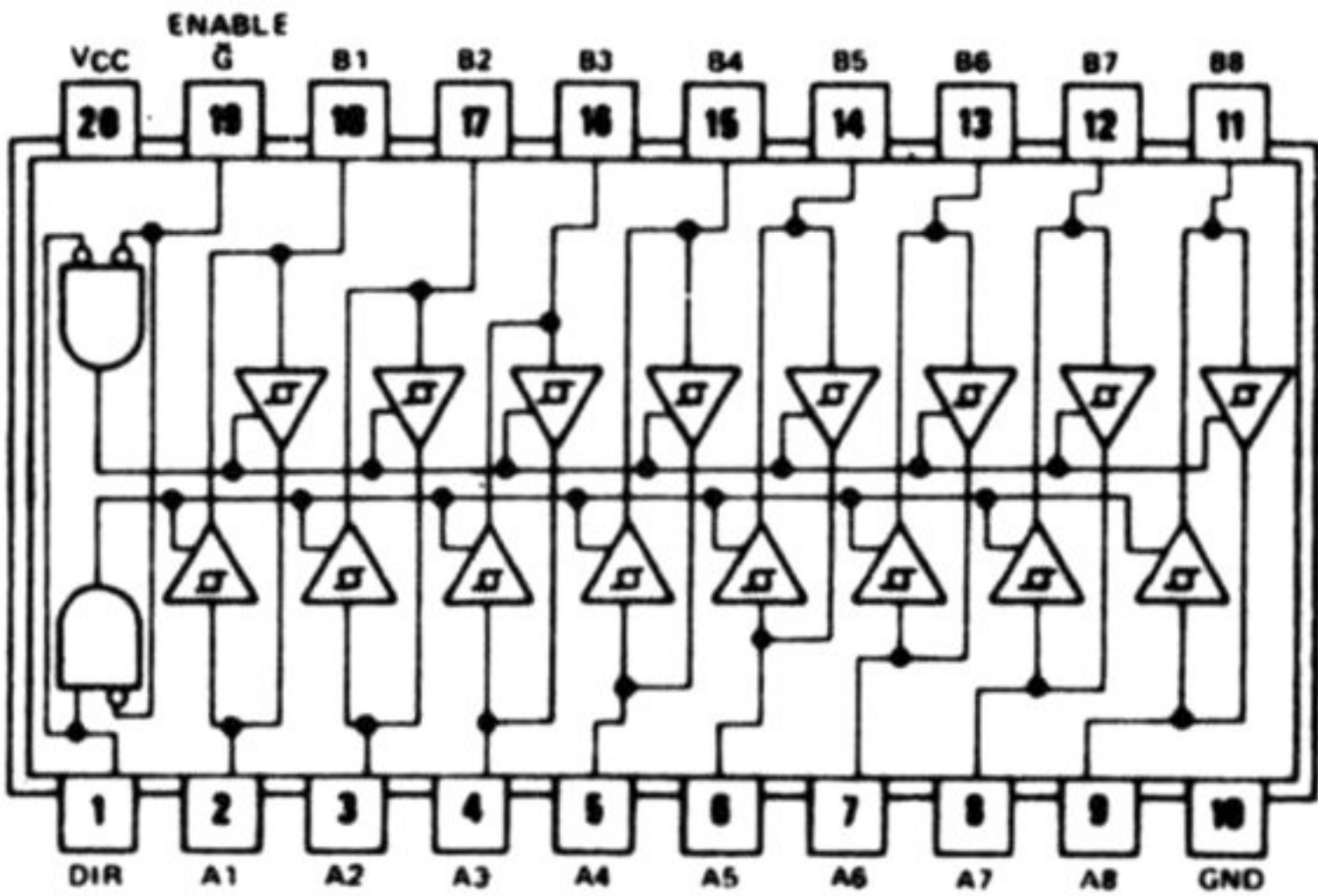
H = High level, L = low level, X = irrelevant

○74LS640-1, 74ALS640-1は I_{OL} 48mA
○74ALS1640-1は I_{OL} 24mA

ナンバー	論　　理	出 力 回 路	
74LS638	反　転	OC／3ステート	
74LS639	非反転	OC／3ステート	
74LS640	反　転	3ステート	(8287)
74LS641	非反転	オープンコレクタ	
74LS642	反　転	オープンコレクタ	
74LS643	反転／非反転	3ステート	
74LS644	反転／非反転	オープンコレクタ	
74LS645	非反転	3ステート	(8286, 74245)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		INVERT			15	11	15	8.0	7	8.5		22		29	9.5	6.5	ns
tpd	max	-G		Z→X			45	24	22	13	10	12.0		56		38	12.5	10.7	ns
tpd	max	-G		X→Z			15	15	13	9.0	13	10.0		52		38	14	10.2	ns
Icc	max						95	43	32	120	123	0.08		0.08		0.08	27	9.4	mA
IIH	max	A, B					20	20	20	100	50								μA
IIL	max	A, B					0.4	0.1	0.1	1.0	0.75								mA
IIH	max	-G, DIR					20	20	20	40	20								μA
IIL	max	-G, DIR					0.4	0.1	0.1	40	0.5								mA
IOH	max			3S	H		3	15	15	15	15	24		6		6	3	15	mA
IOL	max			3S	L		24	24	16	64	64	24		6		6	24	64	mA
IZL	max			3S	L		400			70		5.0		5		5	3		μA
IZH	max			3S	H		20			70		5.0		5		5	24		μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF		D	DF	
MOT		D			D		D	D	DF		DF		
日電									DF		DF		
NS			DF		DF	DF							
PHIL									DF		DF		
RCA									DF		DF		
SIGNE					DF								
TI		DF	DF	DF		DF	DF	DF	DF		DF		DF
東芝							DFS	DFS	DF		DF	DF	
SGS									DF		DF		
CYPRES													
IDT								DF					

74641　Octal O.C. Bus Transceiver

FUNCTION TABLE

CONTROL INPUTS		OPERATION		
$\overline{G}$	DIR	638 640 642	639 641 645	643 644
L	L	$\overline{B}$ data to A bus	B data to A bus	B data to A bus
L	H	$\overline{A}$ data to B bus	A data to B bus	$\overline{A}$ data to B bus
H	X	Isolation	Isolation	Isolation

H = High level, L = low level, X = irrelevant

○74LS641-1, 74ALS641-1 は I_{OL} 48mA
○74ALS1641-1 は I_{OL} 24mA

ナンバー	論　理	出力回路	
74LS638	反　転	OC／3ステート	
74LS639	非反転	OC／3ステート	
74LS640	反　転	3ステート	(8287)
74LS641	**非反転**	**オープンコレクタ**	
74LS642	反　転	オープンコレクタ	
74LS643	反転／非反転	3ステート	
74LS644	反転／非反転	オープンコレクタ	
74LS645	非反転	3ステート	(8286, 74245)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		NORMAL			25	25	22	13.0	21								ns
tpd	max	-G		NORMAL			50	30	26	13.5	21								ns
VOH	max							5.5	5.5		5.5								V
Icc	max						95	47	23	120	136								mA
IIH	max	A, B	H				20	20	20	20	50								μA
IIL	max	A, B	L				0.4	0.1	0.1	20	0.75								mA
IIH	max	-G, DIR	H				20	20	20	40	20								μA
IIL	max	-G, DIR	L				0.4	0.1	0.1	40	0.5								mA
IOH	max			OC	H		100	100	100	250	100								μA
IOL	max			OC	L		24	24	16	64	64								mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF											
MOT		DF											
日電													
NS													
PHIL													
RCA													
SIGNE					DF								
TI		DF	DF			D							
東芝													
SGS													
CYPRES													
IDT													

74642　Octal O. C. Bus Transceiver

FUNCTION TABLE

CONTROL INPUTS		OPERATION		
G̅	DIR	638 640 642	639 641 645	643 644
L	L	B̅ data to A bus	B data to A bus	B data to A bus
L	H	A̅ data to B bus	A data to B bus	A̅ data to B bus
H	X	Isolation	Isolation	Isolation

H = High level, L = low level, X = irrelevant

○74LS642-1, 74ALS642-1 は I_{OL} 48mA
○74LS1642-1 は I_{OL} 24mA

ナンバー	論　　理	出　力　回　路	
74LS638	反　転	OC／3ステート	
74LS639	非反転	OC／3ステート	
74LS640	反　転	3ステート	(8287)
74LS641	非反転	オープンコレクタ	
74LS642	反　転	オープンコレクタ	
74LS643	反転／非反転	3ステート	
74LS644	反転／非反転	オープンコレクタ	
74LS645	非反転	3ステート	(8286, 74245)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		INVERT			25	30	25	14.5	24								ns
tpd	max	-G		INVERT			60	38	29	14.0	22								ns
VOH	max							5.5	5.5	4.5	5.5								V
Icc	max						95	28	20	40	104								mA
IIH	max	A, B	H				20	20	20	20	50								μA
IIL	max	A, B	L				0.4	0.1	0.1	20	0.75								mA
IIH	max	-G, DIR	H				20	20	20	40	20								μA
IIL	max	-G, DIR	L				0.4	0.1	0.1	40	0.5								mA
IOH	max			OC	H		100	100	100	250	100								μA
IOL	max			OC	L		24	24	16	64	64								mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF											
MOT		D											
日電													
NS													
PHIL													
RCA													
SIGNE			DF		DF								
TI		DF				D							
東芝													
SGS													
CYPRES													
IDT													

74643 Octal 3-State Bus Transceiver

FUNCTION TABLE

CONTROL INPUTS		OPERATION		
$\overline{G}$	DIR	638 640 642	639 641 645	643 644
L	L	$\overline{B}$ data to A bus	B data to A bus	B data to A bus
L	H	$\overline{A}$ data to B bus	A data to B bus	$\overline{A}$ data to B bus
H	X	Isolation	Isolation	Isolation

H = High level, L = low level, X = irrelevant

○74LS643-1, 74ALS643-1は I_{OL} 48mA
○74ALS1643-1は I_{OL} 24mA

ナンバー	論　　理	出 力 回 路	
74LS638	反　転	OC／3ステート	
74LS639	非反転	OC／3ステート	
74LS640	反　転	3ステート	(8287)
74LS641	非反転	オープンオレクタ	
74LS642	反　転	オープンコレクタ	
74LS643	反転／非反転	3ステート	
74LS644	反転／非反転	オープンコレクタ	
74LS645	非反転	3ステート	(8286, 74245)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		INVERT			15	13	8		10	7.5		22		29	9.5		ns
tpd	max	DATA		NORMAL			15	13	7		8	7.5		22		29	8.0		ns
tpd	max	-G		Z→X			45	25	21		11	10.0		56		38	13		ns
tpd	max	-G		X→Z			15	17	13		10.5	10.0		52		38	14		ns
Icc	max						95	48	22		143	0.04		0.08		0.08	27		mA
IIH	max	A, B	H				20	20	20		50								μA
IIL	max	A, B	L				0.4	0.1	0.1		0.75								mA
IIH	max	-G, DIR	H				20	20	20		20								μA
IIL	max	-G, DIR	L				0.4	0.1	0.1		0.5								mA
IOH	max			3S	H		3	15	15		15	24		6		6	3		mA
IOL	max			3S	L		24	24	16		64	24		6		6	24		mA
IZL	max			3S	H		400					5.0		5		5	3		μA
IZH	max			3S	L		20					5.0		5		5	24		UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		D			
MOT					D									
日電									DF		DF			
NS														
PHIL									DF		DF			
RCA									DF		DF			
SIGNE														
TI		D	DF			D	DF	DF						
東芝												DF		
SGS									DF		DF			
CYPRES														
IDT														

74644　　Octal O. C. Bus Transceiver

VCC 20 ENABLE $\overline{G}$ 19 B1 18 B2 17 B3 16 B4 15 B5 14 B6 13 B7 12 B8 11

DIR 1 A1 2 A2 3 A3 4 A4 5 A5 6 A6 7 A7 8 A8 9 GND 10

FUNCTION TABLE

CONTROL INPUTS		OPERATION		
		638 640 642	639 641 645	643 644
$\overline{G}$	DIR			
L	L	$\overline{B}$ data to A bus	B data to A bus	B data to A bus
L	H	$\overline{A}$ data to B bus	A data to B bus	$\overline{A}$ data to B bus
H	X	Isolation	Isolation	Isolation

H = High level, L = low level, X = irrelevant

○74LS644-1, 74ALS644-1は IOL 48mA
○74ALS1644-1は IOL 24mA

ナンバー	論　　理	出力回路	
74LS638	反　転	OC／3ステート	
74LS639	非反転	OC／3ステート	
74LS640	反　転	3ステート	(8287)
74LS641	非反転	オープンコレクタ	
74LS642	反　転	オープンコレクタ	
74LS643	反転／非反転	3ステート	
74LS644	反転／非反転	オープンコレクタ	
74LS645	非反転	3ステート	(8286, 74245)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		INVERT			25	35	24		21								ns
tpd	max	DATA		NORMAL			25	35	27		24								ns
tpd	max	-G		INVERT			60	30	30		22								ns
tpd	max	-G		NORMAL			50	30	30		21								ns
VOH	max							5.5	5.5		5.5								V
Icc	max						95	40	22		124								mA
IIH	max	A, B	H				20	20	20		50								μA
IIL	max	A, B	L				0.4	0.1	0.1		0.75								mA
IIH	max	-G, DIR	H				20	20	20		20								μA
IIL	max	-G, DIR	L				0.4	0.1	0.1		0.5								mA
IOH	max			OC	H		100	100	100		100								μA
IOL	max			OC	L		24	24	1.6		64								mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI						D							
東芝													
SGS													
CYPRES													
IDT													

74645 Octal 3-State Bus Transceiver

FUNCTION TABLE

CONTROL INPUTS		OPERATION		
$\overline{G}$	DIR	638 640 642	639 641 645	643 644
L	L	$\overline{B}$ data to A bus	B data to A bus	B data to A bus
L	H	$\overline{A}$ data to B bus	A data to B bus	$\overline{A}$ data to B bus
H	X	Isolation	Isolation	Isolation

H = High level, L = low level, X = irrelevant

○74LS645-1, 74ALS645-1は I_{OL} 48mA
○74ALS1645-1は I_{OL} 24mA

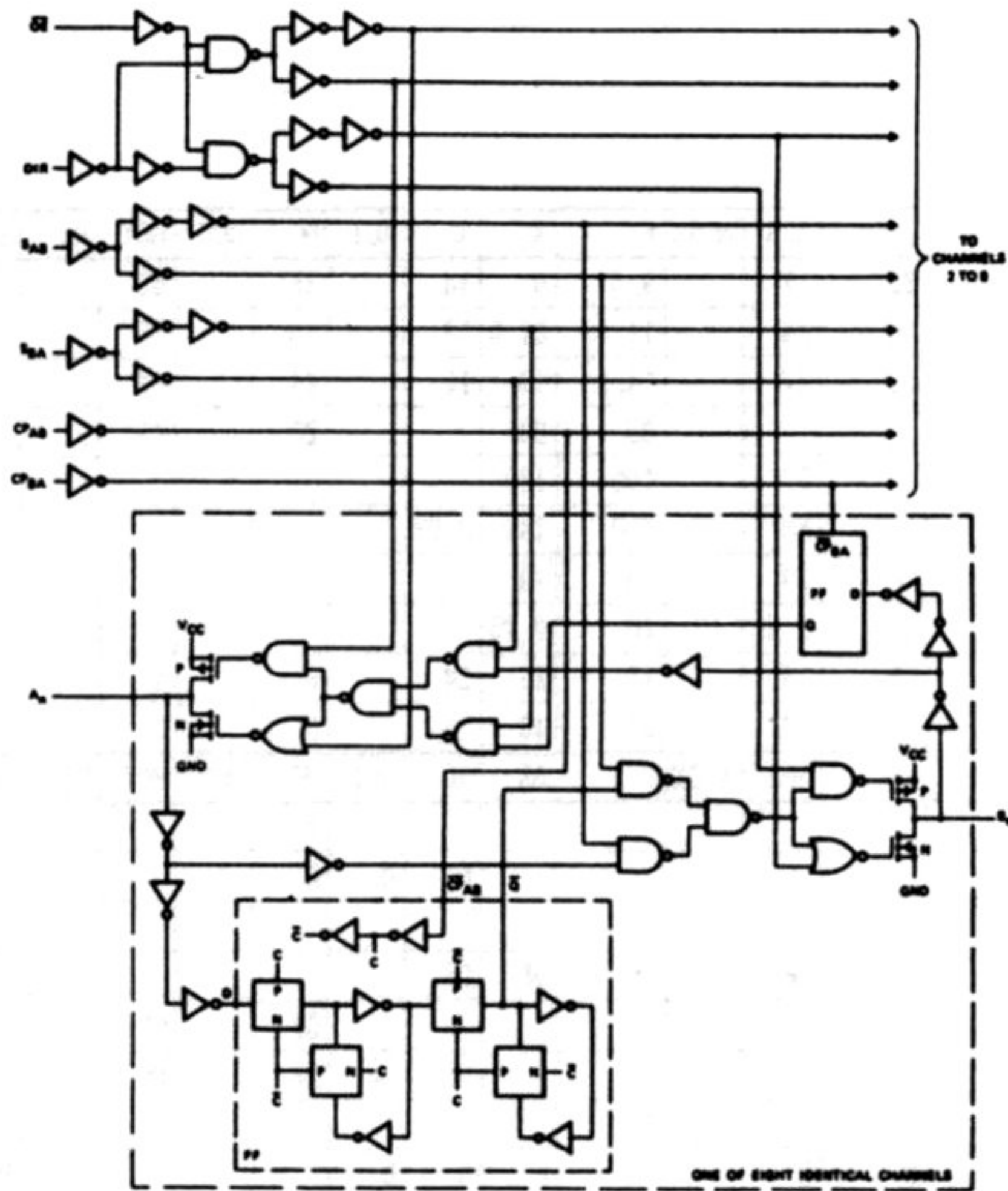
ナンバー	論　　理	出力回路	
74LS638	反　転	OC／3ステート	
74LS639	非反転	OC／3ステート	
74LS640	反　転	3ステート	(8287)
74LS641	非反転	オープンコレクタ	
74LS642	反　転	オープンコレクタ	
74LS643	反転／非反転	3ステート	
74LS644	反転／非反転	オープンコレクタ	
74LS645	非反転	3ステート	(8286, 74245)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		NORMAL			15	10	13		9.5			30		34	8		ns
tpd	max	-G		Z→X			45	20	25		11			45		43	13		ns
tpd	max	-G		X→Z			15	15	18		12			38		43	13		ns
Icc	max						95	58	36		149			0.08		0.08	27		mA
IIH	max	ALL	H				20	20	20										μA
IIL	max	ALL	L				0.4	0.1	0.1										mA
IOH	max			3S	H		3	15	15		15			6		6	3		mA
IOL	max			3S	L		24	24	16		64			6		6	24		mA
IZL	max			3S	H		400							5		5			μA
IZH	max			3S	L		20							5		5			μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF										DF	
MOT		D											
日電													
NS		DF	DF		D	DF			DF				
PHIL													
RCA													
SIGNE			DF										
TI		DF	DF	DF		D			DF		DF		
東芝												DF	
SGS													
CYPRES													
IDT								DF					

74646 Octal BUS Transceiver

FUNCTION TABLE

INPUTS						DATA I/O		FUNCTION
$\overline{OE}$	DIR	CP_{AB}	CP_{BA}	S_{AB}	S_{BA}	A_0 to A_7	B_0 to B_7	
H H	X X	H or L ↑	H or L ↑	X X	X X	input	input	isolation store A and B data
L L	L L	X X	X X	X X	L H	output	input	real-time B data to A bus stored B data to A bus
L L	H H	X H or L	X X	L H	X X	input	output	real-time A data to B bus stored A data to B bus

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B		B, A			50	20		10.0	9	18.5	11.5	38		46			ns
tpd	max	CP, S		B, A			35	35		11.5	9	15.5	12.5	55		55			ns
tpd	max	OTHERS		OTHERS			65	30		13.0	18	13.5	16	44		44			ns
fmax	min						90			9.0	90			22		25			MHz
Icc	typ				H		103	55		12.5	130								mA
Icc	max				L		165	88		210	211	0.08	0.04						mA
IIH	max	ALL	H				20	20		20	70								μA
IIL	max	ALL	L				0.4	0.2		0.02	0.75								mA
IOH	max			ALL	H		15	15		15	15	24	24	4					mA
IOL	max			ALL	L		24	24		64	48	24	24	4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									D					
MOT							D	D	D					
日電														
NS			DF		DF	DF	DF	D	DF					
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF	D	DF									
TI		D	DF			D	D	D			D		DF	
東芝									D		D			
SGS									DF		DF			
CYPRES					DF									
IDT								DF						

74648 Octal BUS Transceiver

FUNCTION TABLE

INPUTS						DATA I/O *		FUNCTION
$\overline{OE}$	DIR	CP_{AB}	CP_{BA}	S_{AB}	S_{BA}	$\overline{A}_0$ to $\overline{A}_7$	$\overline{B}_0$ to $\overline{B}_7$	
H	X	H or L	H or L	X	X	input	input	isolation
H	X	↑	↑	X	X	input	input	store $\overline{A}$ and $\overline{B}$ data
L	L	X	X	X	L	output	input	real-time $\overline{B}$ data to $\overline{A}$ bus
L	L	X	X	X	H	output	input	stored $\overline{B}$ data to $\overline{A}$ bus
L	H	X	X	L	X	input	output	real-time $\overline{A}$ data to $\overline{B}$ bus
L	H	H or L	X	H	X	input	output	stored $\overline{A}$ data to $\overline{B}$ bus

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B		B, A			25	17		9.5	9	14		38		46			ns
tpd	max	CP, S		B, A			40	39		11.0	11.0	17		55		55			ns
tpd	max	OTHERS		OTHERS			55	27		14.0	18	15		44		44			ns
fmax	min									90	90			22		25			MHz
Icc	typ				H			57		160	120								mA
Icc	max				L		165	88		210	195	0.08							mA
IIH	max	ALL	H				20	20		20	70								μA
IIL	max	ALL	L				0.4	0.2		20	0.75								mA
IOH	max			ALL	H		15	15		15	15	24		6		6			mA
IOL	max			ALL	L		24	24		64	48	24		6		6			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									D					
MOT							D	D	D					
日電														
NS			DF		DF	DF	DF							
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE					DF									
TI		D	D			D	D	D					DF	
東芝														
SGS									DF					
CYPRES					DF									
IDT								DF						

74651 Octal Bus Transceivers and Registers

- ○レジスタ付双方向バス・トランシーバ
- ○Aポート，Bポートそれぞれ独自のレジスタとイネーブル内蔵
- ○リアル・タイムとデータのストア
- ○反転出力
- ○スリー・ステート出力
- ○74AC11XXXファミリーはセンタ・ピン・タイプ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	An		Bn	L→H		18				8			38		30			ns
tpd	max				H→L		30				7			38		30			ns
tpd	max				Z→L		44				10			44		33			ns
tpd	max				Z→H		60				16			44		33			ns
tpd	max				L→Z		38				9			44		35			ns
tpd	max				H→Z		30				9			44		35			ns
Icc	max						165				195			.004		0.01			mA
IOH	max																		mA
IOL	max						24				64			6		6			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									D				
MOT													
日電													
NS			DF		DF	DF							
PHIL													
RCA							DF	DF					
SIGNE			DF		DF								
TI			D			D	D	D					
東芝													
SGS								DF	DF		DF		
CYPRES													
IDT								DF					

機能表

入力						データI/O		機能・動作
GAB	$\overline{\text{GBA}}$	CAB	CBA	SAB	SBA	A1からA8	B1からB8	
L L	H H	HまたはL ↑	HまたはL ↑	X X	X X	入力	入力	アイソレーション Aデータ，Bデータ・ストア
X H	H H	↑ ↑	HまたはL ↑	X X	X X	入力 入力	不定 出力	ストアA，ホールドB 両方のレジスタにAデータをストア
L L	X L	HまたはL ↑	↑ ↑	X X	X X	不定 出力	入力 入力	ホールドA，ストアB 両方のレジスタにBデータをストア
L L	L L	X X	X HまたはL	X X	L H	出力	入力	リアル・タイムで$\overline{\text{B}}$データをAバスへ ストアされた$\overline{\text{B}}$データをAバスへ
H H	H H	X HまたはL	X X	L H	X X	入力	出力	リアル・タイムで$\overline{\text{A}}$データをBバスへ ストアされた$\overline{\text{A}}$データをBバスへ
H	L	HまたはL	HまたはL	H	H	出力	出力	ストアされた$\overline{\text{A}}$データをBバスへ ストアされた$\overline{\text{B}}$データをAバスへ

74652 Octal Bus Tranceivers and Registers

○ レジスタ付双方向バス・トランシーバ
○ Aポート，Bポートそれぞれ独自の
　レジスタとイネーブル内蔵
○ リアル・タイムとデータのストア
○ 非反転出力
○ スリー・ステート出力
○ 74AC11XXXファミリーは
　センタ・ピン・タイプ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	An		Bn	L→H		18				8	8.6		38		30	5.7	10.5	ns
tpd	max				H→L		20				7	9.6		38		30	5.7	9.9	ns
tpd	max				Z→L		43				10	12.2		44		33	6.8	12	ns
tpd	max				Z→H		54				16	10.9		44		33	4.6	10.6	ns
tpd	max				L→Z		38				9	7.1		44		35	6.3	10	ns
tpd	max				H→Z		30				11	7.6		44		35	7.7	9.5	ns
Icc	max						180				211	0.08		.004		0.01	250	69	mA
IOH	max																		mA
IOL	max						24				64	24		6		6	64	64	mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									D					
MOT							D	D						
日電														
NS			DF		D	DF								
PHIL									DF					
RCA							DF	DF			DF			
SIGNE			DF		DF									
TI			D			D	D	D			DF	DF		
東芝									D		D			
SGS									DF		DF			
CYPRES					DF									
IDT								DF	DF					

機　能　表

入		力				データ I/O		機能・動作
GAB	$\overline{GBA}$	CAB	CBA	SAB	SBA	A1からA8	B1からB8	
L L	H H	HまたはL ↑	HまたはL ↑	X X	X X	入　力	入　力	アイソレーション Aデータ，Bデータ・ストア
X H	H H	↑ ↑	HまたはL ↑	X X	X X	入　力 入　力	不　定 出　力	ストアA，ホールドB 両方のレジスタにAデータをストア
L L	X L	HまたはL ↑	↑ ↑	X X	X X	不　定 出　力	入　力 入　力	ホールドA，ストアB 両方のレジスタにBデータをストア
L L	L L	X X	X HまたはL	X X	L H	出　力	入　力	リアル・タイムでBデータをAバスへ ストアされたBデータをAバスへ
H H	H H	X HまたはL	X X	L H	X X	入　力	出　力	リアル・タイムでAデータをBバスへ ストアされたAデータをBバスへ
H	L	HまたはL	HまたはL	H	H	出　力	出　力	ストアされたAデータをBバスへ ストアされたBデータをAバスへ

74668 Synchronous Presettable Up/Down BCD Counter

RIPPLE CARRY OUTPUT, OUTPUTS, ENABLE T, LOAD
VCC 16, 15, 14 QA, 13 QB, 12 QC, 11 QD, 10, 9
1 U/D̄, 2 CK, 3 A, 4 B, 5 C, 6 D, 7 ENABLE P̄, 8 GND
DATA INPUTS

○74LS168A、74LS169Aの低速タイプ
○4ビット同期式アップダウンカウンタ(U/D切換式)
○同期プリセット
○クリアなし

動作状態

入力					出力		動作
Load	U/D̄	CK	Enable P̄	Enable T̄	QAQBQCQD	Ripple Carry	
H	H	↑	L	L	—	—	カウントup
H	L	↑	L	L	—	—	カウントdn
L	X	↑	X	X	DADBDCDD	—	データセット
X	H	X	X	L	H L L H	L	—
X	L	X	X	L	L L L L	L	—

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25							21					MHz
tw	min	CLK					25							20					ns
tsu	min	DATA					20↑							25					ns
tsu	min	ENABLE					20↑							38					ns
tsu	min	LOAD					25↑							38					ns
ten	min	UP/DWN					30↑							38					ns
thold	min	ALL					0↑							5					ns
tpd	max	CLK		Qa～Qd			27							56					ns
tpd	typ	CLK		CARRY			60							50					ns
tpd	typ	ENB. T		CARRY			45							38					ns
tpd	typ	UP/DWN		CARRY			40							50					ns
Icc	max						34							0.04					mA
IIH	max	LOAD	H				40												μA
IIL	max	LOAD	L				0.8												mA
IIH	max	OTHERS	H				20												μA
IIL	max	OTHERS	L				0.4												mA
IOH	max			ALL	H		0.4							4					mA
IOL	max			ALL	L		8							4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI		DF												
東芝														
SGS														
CYPRES														
IDT														

参考品種
74168
74169

74669 Synchronous Presettable Up/Down Binary Counter

○74LS168A, 74LS169Aの低速タイプ
○4ビット同期式アップダウンカウンタ(U/D切換式)
○同期プリセット
○クリアなし

動作状態

入力					出力		動作
Load	U/$\overline{D}$	CK	Enable $\overline{P}$	Enable $\overline{T}$	$Q_AQ_BQ_CQ_D$	Ripple Carry	動作
H	H	↑	L	L	–	–	カウントup
H	L	↑	L	L	–	–	カウントdn
L	X	↑	X	X	$D_AD_BD_CD_D$	–	データセット
X	H	X	X	L	H H H H	L	–
X	L	X	X	L	L L L L	L	–

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25							21					MHz
tw	min	CLK					25							20					ns
tsu	min	DATA					20↑							25					ns
tsu	min	ENABLE					20↑							38					ns
tsu	min	LOAD					25↑							38					ns
ten	min	UP/DWN					30↑							38					ns
thold	min	ALL					0↑							5					ns
tpd	max	CLK		Qa～Qd			27							56					ns
tpd	typ	CLK		CARRY			60							50					ns
tpd	typ	ENB. T		CARRY			45							38					ns
tpd	typ	UP/DWN		CARRY			40							50					ns
Icc	max						34							0.04					mA
IIH	max	LOAD	H				40												μA
IIL	max	LOAD	L				0.8												mA
IIH	max	OTHERS	H				20												μA
IIL	max	OTHERS	L				0.4												mA
IOH	max			ALL	H		0.4							4					mA
IOL	max			ALL	L		8							4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		D											
日電													
NS													
PHIL													
RCA													
SIGNE													
TI		DF											
東芝													
SGS													
CYPRES													
IDT													

参考品種
74168
74169

74668, 74669

74LS668

74LS669

74670 4-4 Register Files (3-States)

○3ステート出力、他は74170と同じ

○G_RをHにすることによりR_A、R_Bに無関係に出力Qをハイインピーダンス状態にする

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	ENABLE					25			8.5		5.0		23		31			ns
tsu	min	DATA					10↑			7.0		4.5		15		15			ns
tsu	min	W-SEL					15↓			0		4.5		15		23			ns
thold	min	W-SEL					5↑			0		0		5		5			ns
thold	min	DATA					15↑			1.0		0		5		5			ns
tlch	min	DATA					25							56		63			ns
tpd	max	GR		Q			40			13		15.0		44		50			ns
tpd	max	R-SEL		Q			45			10.0		13.0		56		63			ns
tpd	max	GW		Q			50			12.5		15.0		63		66			ns
tpd	max	DATA		Q			45					12.5		63		63			ns
Icc	max	DATA	L	OPEN			50					0.08							mA
IIH	max	GW	H				40												μA
IIL	max	GW	L				0.8												mA
IIH	max	GR	H				60												μA
IIL	max	GR	L				1.2												mA
IIH	max	OTHERS	H				20												μA
IIL	max	OTHERS	L				0.4												mA
IOH	max			ALL	H		2.6					24							mA
IOL	max			ALL	L		8					24							mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF		DF					
MOT		D												
日電									DF					
NS		DF												
PHIL									DF		DF			
RCA									DF		DF			
SIGNE					DF									
TI		DF												
東芝		D					DF		DF					
SGS									DF					
CYPRES														
IDT														

参考品種
74170

74673 16-Bit Shift Register

STORAGE REGISTER OUTPUTS

Vcc 24, Y15 23, Y14 22, Y13 21, Y12 20, Y11 19, Y10 18, Y9 17, Y8 16, Y7 15, Y6 14, Y5 13

CHIP SELECT 1, SH CLOCK 2, READ/WRITE 3, STORE CLR 4, STORE CK 5, DATA I/O 6, Y0 7, Y1 8, Y2 9, Y3 10, Y4 11, GND 12

STORAGE REGISTER OUTPUTS

○シリアル → パラレル変換用

レジスタ 16 3state

INPUTS					SERIAL	OPERATION
CHIP	SHIFT REG		STORAGE		I/O	
SELECT	R/W	CLOCK	CLEAR	CLOCK	PORT	
X	L	X	L	X	Z	L input to ST CLR clears
H	X	X	L	X	Z	Storage registers; I/O depends
L	H	X	L	X	Q15	on CS and R/W.
H	X	X	X	X	Z	No shifting or loading
L	L	↓	X	X	Z	Shift and write (load)
L	H	↓	X	L	Q14n	Shift and read
L	H	↓	L	H	L	Reload shift register from
L	H	↓	H	H	Y15n	storage, no shifting
L	L	X	H	↑	Z	Load storage from shift register

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					20			100				21					MHz
tw	min	CK, CLR					20			7				20					ns
tsu	min	I/O					20↓			3				25					ns
tsu	min	OTHERS					35↑			7				25					ns
thold	min	ALL					0↑			0				5					ns
tpd	max	ST-CLR		Y0～15			40			14				50					ns
tpd	max	ST-CLK		Y0～15			45			22				50					ns
tpd	max	SH-CLK		I/O			40			12.5				50					ns
tpd	max	CS, R/W	A	I/O			45			7				38					ns
tpd	max	CS, R/W	N	I/O			(40)			7				38					ns
Icc	max	Vc=MAX					80			160				0.04					mA
IIH	max	I/O					40			70									μA
IIL	max	I/O					0.4			0.6									mA
IIH	max	OTHERS	H				20			20									μA
IIL	max	OTHERS	L				0.4			0.6									mA
IOH	max			Y0～15	H		0.4			1				4					mA
IOL	max			Y0～15	L		8			20				4					mA
IOH	max			I/O	H		2.6			1				6					mA
IOL	max			I/O	L		24			20				6					mA
IZL	max			I/O	L		400							50					μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									D					
MOT														
日電														
NS					F									
PHIL														
RCA														
SIGNE														
TI		D												
東芝														
SGS														
CYPRES														
IDT														

74674 16-Bit Shift Register

○パラレル → シリアル変換用

FUNCTION TABLE

INPUTS				I/O	OPERATION
CS	R/W	MODE	CLOCK	PORT	
H	X	X	X	Z	Do nothing
L	L	X	↓	Z	Shift and write (serial load)
L	H	L	↓	Q14n	Shift and read
L	H	H	↓	P15	Parallel load

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					20			100				21					MHz
tw	min	CK, CLR					20			5				20					ns
tsu	min	I/O, P					20↓			7↓				25↓					ns
tsu	min	OTHERS					35↓			5↓				25↓					ns
thold	min	ALL					0↓			0↓				5↓					ns
tpd	max	CLOCK					40			12.5				50					ns
tpd	max	CS, R/W		I/O	Z→X		45			7				38					ns
tpd	max	CS, R/W		I/O	X→Z		(40)			7				38					ns
Icc	max						40			80				0.04					mA
IIH	max	I/O	H				40			70									μA
IIL	max	I/O	L				0.4			0.6									mA
IIH	max	OTHERS	H				20			20									μA
IIL	max	OTHERS	L				0.4			0.6									mA
IOH	max			I/O	H		2.6			1				4					mA
IOL	max			I/O	L		24			20				4					mA
IZL	max			I/O	L		400												μA
IZH	max			I/O	H		40												μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									D				
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE					DF								
TI		D											
東芝													
SGS													
CYPRES													
IDT													

74679 Address Comparator

Vcc G̅ Y P3 P2 P1 P0 A12 A11 A10
20 19 18 17 16 15 14 13 12 11

G̅ Y P3 P2 P1 P0 A12 A11 A10

A1 A2 A3 A4 A5 A6 A7 A8 A9

1 2 3 4 5 6 7 8 9 10
A1 A2 A3 A4 A5 A6 A7 A8 A9 GND

○12ビット・アドレス・コンパレータ
（イネーブル付き）

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	P		Y	L→H			25						62					ns
tpd	max	P		Y	H→L			35						62					ns
tpd	max	A		Y	L→H			22						36					ns
tpd	max	A		Y	H→L			30						36					ns
tpd	max	G		Y	L→H			13						25					ns
tpd	max	G		Y	H→L			25						25					ns
Icc	max							28						4					mA
Icc	max																		mA
IIH	max																		μA
IIL	max																		mA
IOH	max																		mA
IOL	max							24						4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI			DF										
東芝													
SGS													
CYPRES													
IDT													

機能表

	入力																出力
G̅	P3	P2	P1	P0	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	Y
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	L
L	L	L	H	L	L	L	H	H	H	H	H	H	H	H	H	H	L
L	L	L	H	H	L	L	L	H	H	H	H	H	H	H	H	H	L
L	L	H	L	L	L	L	L	L	H	H	H	H	H	H	H	H	L
L	L	H	L	H	L	L	L	L	L	H	H	H	H	H	H	H	L
L	L	H	H	L	L	L	L	L	L	L	H	H	H	H	H	H	L
L	L	H	H	H	L	L	L	L	L	L	L	H	H	H	H	H	L
L	H	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	L
L	H	L	L	H	L	L	L	L	L	L	L	L	L	H	H	H	L
L	H	L	H	L	L	L	L	L	L	L	L	L	L	L	H	H	L
L	H	L	H	H	L	L	L	L	L	L	L	L	L	L	L	H	L
L	H	H	L	L	L	L	L	L	L	L	L	L	H	H	H	L	L
L	H	H	L	H	L	L	L	L	L	L	L	L	L	H	H	L	L
L	H	H	H	L	L	L	L	L	L	L	L	L	L	L	H	L	L
L	H	H	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L
L	他の組合わせ																H
H	任意の組合わせ																H

74680　Address Comparator

Pin	20	19	18	17	16	15	14	13	12	11
Signal	Vcc	C	Y	P3	P2	P1	P0	A12	A11	A10

Pin	1	2	3	4	5	6	7	8	9	10
Signal	A1	A2	A3	A4	A5	A6	A7	A8	A9	GND

○ 12ビット・アドレス・コンパレータ
(出力ラッチ付き)

機能表

	入力																出力
C	P3	P2	P1	P0	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	Y
H	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L
H	L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	L
H	L	L	H	L	L	L	H	H	H	H	H	H	H	H	H	H	L
H	L	L	H	H	L	L	L	H	H	H	H	H	H	H	H	H	L
H	L	H	L	L	L	L	L	L	H	H	H	H	H	H	H	H	L
H	L	H	L	H	L	L	L	L	L	H	H	H	H	H	H	H	L
H	L	H	H	L	L	L	L	L	L	L	H	H	H	H	H	H	L
H	L	H	H	H	L	L	L	L	L	L	L	H	H	H	H	H	L
H	H	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	L
H	H	L	L	H	L	L	L	L	L	L	L	L	L	H	H	H	L
H	H	L	H	L	L	L	L	L	L	L	L	L	L	L	H	H	L
H	H	L	H	H	L	L	L	L	L	L	L	L	L	L	L	H	L
H	H	H	L	L	L	L	L	L	L	L	L	L	H	H	H	L	L
H	H	H	L	H	L	L	L	L	L	L	L	L	L	H	H	L	L
H	H	H	H	L	L	L	L	L	L	L	L	L	L	L	H	L	L
H	H	H	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L
H	他の組合わせ																H
L	任意の組合わせ																ラッチ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	P		Y	L→H									66					ns
tpd	max	P		Y	H→L									66					ns
tpd	max	A		Y	L→H									42					ns
tpd	max	A		Y	H→L									42					ns
tpd	max	C		Y	L→H									30					ns
tpd	max	C		Y	H→L									30					ns
Icc	max													4					μA
Icc	max																		mA
IIH	max																		μA
IIL	max																		mA
IOH	max																		mA
IOL	max													4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF					
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI			DF											
東芝														
SGS														
CYPRES														
IDT														

74682　　8-Bit Magnitude Comparator

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B	-(A=B)				25							44					ns
tpd	max	A, B	-(A>B)				30							50					ns
Icc	max						70							0.04					mA
IIH	max	B	H				0.1												μA
IIL	max	B	L				0.4												mA
IIH	max	OTHERS	H				0.1												μA
IIL	max	OTHERS	L				0.2												mA
IOH	max			ALL	H		0.4							4					mA
IOL	max			ALL	L		24							4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									D				
MOT		D											
日電													
NS													
PHIL													
RCA													
SIGNE													
TI		DF											
東芝		D											
SGS													
CYPRES													
IDT													

タイプ	$\overline{P=Q}$	$\overline{P>Q}$	出力イネーブル	出力構成	プルアップ抵抗
LS682	有り	有り	無し	トーテン・ポール	有り
LS683	有り	有り	無し	オープン・コレクタ	有り
LS684	有り	有り	無し	トーテン・ポール	無し
LS685	有り	有り	無し	オープン・コレクタ	無し
LS686	有り	有り	有り	トーテン・ポール	無し
LS687	有り	有り	有り	オープン・コレクタ	無し
LS688	有り	無し	有り	トーテン・ポール	無し
LS689	有り	無し	有り	オープン・コレクタ	無し

74683 8-Bit Magnitude Comparator

VCC 20, $\overline{A=B}$ 19, B7 18, A7 17, B6 16, A6 15, B5 14, A5 13, B4 12, A4 11

$\overline{A>B}$ 1, A0 2, B0 3, A1 4, B1 5, A2 6, B2 7, A3 8, B3 9, GND 10

P7 (17), Q7 (18), P6 (15), Q6 (16), P5 (13), Q5 (14), P4 (11), Q4 (12), P3 (8), Q3 (9), P2 (6), Q2 (7), P1 (4), Q1 (5), P0 (2), Q0 (3)

(19) $\overline{P=Q}$

(1) $\overline{P>Q}$

タイプ	$\overline{P=Q}$	$\overline{P>Q}$	出力イネーブル	出力構成	プルアップ抵抗
LS682	有り	有り	無し	トーテン・ポール	有り
LS683	有り	有り	無し	オープン・コレクタ	有り
LS684	有り	有り	無し	トーテン・ポール	無し
LS685	有り	有り	無し	オープン・コレクタ	無し
LS686	有り	有り	有り	トーテン・ポール	無し
LS687	有り	有り	有り	オープン・コレクタ	無し
LS688	有り	無し	有り	トーテン・ポール	無し
LS689	有り	無し	有り	オープン・コレクタ	無し

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B	-(A=B)				35												ns
tpd	max	A, B	-(A>B)				45												ns
Icc	max						70												mA
IIH	max	B	H				0.1												μA
IIL	max	B	L				-0.4												mA
IIH	max	OTHERS	H				0.1												μA
IIL	max	OTHERS	L				-0.2												mA
IOH	max			ALL	H		0.1												mA
IOL	max			ALL	L		24												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI		DF												
東芝														
SGS														
CYPRES														
IDT														

74684 8-Bit Magnitude Comparator

タイプ	$\overline{P=Q}$	$\overline{P>Q}$	出力イネーブル	出力構成	プルアップ抵抗
LS682	有り	有り	無し	トーテン・ポール	有り
LS683	有り	有り	無し	オープン・コレクタ	有り
LS684	有り	有り	無し	トーテン・ポール	無し
LS685	有り	有り	無し	オープン・コレクタ	無し
LS686	有り	有り	有り	トーテン・ポール	無し
LS687	有り	有り	有り	オープン・コレクタ	無し
LS688	有り	無し	有り	トーテン・ポール	無し
LS689	有り	無し	有り	オープン・コレクタ	無し

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B	-(A=B)				25							44					ns
tpd	max	A, B	-(A>B)				30							50					ns
Icc	max						65							0.04					mA
IIH	max	ALL	H				0.1												μA
IIL	max	ALL	L				-0.2												mA
IOH	max			ALL	H		-0.4							4					mA
IOL	max			ALL	L		24							4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									D				
MOT		D											
日電													
NS													
PHIL													
RCA													
SIGNE													
TI		DF											
東芝													
SGS													
CYPRES													
IDT													

74685

8-Bit Magnitude Comparator

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B	-(A=B)				45												ns
tpd	max	A, B	-(A>B)				45												ns
Icc	max						65												mA
IIH	max	ALL	H				0.1												μA
IIL	max	ALL	L				-0.2												mA
IOH	max			ALL	H		0.1												mA
IOL	max			ALL	L		24												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

タイプ	$\overline{P=Q}$	$\overline{P>Q}$	出力イネーブル	出力構成	プルアップ抵抗
LS682	有り	有り	無し	トーテン・ポール	有り
LS683	有り	有り	無し	オープン・コレクタ	有り
LS684	有り	有り	無し	トーテン・ポール	無し
LS685	有り	有り	無し	オープン・コレクタ	無し
LS686	有り	有り	有り	トーテン・ポール	無し
LS687	有り	有り	有り	オープン・コレクタ	無し
LS688	有り	無し	有り	トーテン・ポール	無し
LS689	有り	無し	有り	オープン・コレクタ	無し

74686　8-Bit Magnitude Comparator

タイプ	$\overline{P=Q}$	$\overline{P>Q}$	出力イネーブル	出力構成	プルアップ抵抗
LS682	有り	有り	無し	トーテン・ポール	有り
LS683	有り	有り	無し	オープン・コレクタ	有り
LS684	有り	有り	無し	トーテン・ポール	無し
LS685	有り	有り	無し	オープン・コレクタ	無し
LS686	有り	有り	有り	トーテン・ポール	無し
LS687	有り	有り	有り	オープン・コレクタ	無し
LS688	有り	無し	有り	トーテン・ポール	無し
LS689	有り	無し	有り	オープン・コレクタ	無し

機能表

入力			出力	
データ	イネーブル			
P, Q	$\overline{G}$, $\overline{G1}$	$\overline{G2}$	$\overline{P=Q}$	$\overline{P>Q}$
P＝Q	L	L	L	H
P＞Q	L	L	H	L
P＜Q	L	L	H	H
X	H	H	H	H

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B	-(A=B)				30												ns
tpd	max	A, B	-(A>B)				30												ns
tpd	max	G1, G2	-(A=B)				30												ns
tpd	max	G1, G2	-(A>B)				30												ns
Icc	max						75												mA
IIH	max	ALL	H																μA
IIL	max	ALL	L																mA
IOH	max			ALL	H														mA
IOL	max			ALL	L														mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI		D											
東芝													
SGS													
CYPRES													
IDT													

74687　8-Bit Magnitude Comparator

機能表

入力			出力	
データ	イネーブル			
P, Q	$\overline{G}$, $\overline{G1}$	$\overline{G2}$	$\overline{P=Q}$	$\overline{P>Q}$
P＝Q	L	L	L	H
P＞Q	L	L	H	L
P＜Q	L	L	H	H
X	H	H	H	H

タイプ	$\overline{P=Q}$	$\overline{P>Q}$	出力イネーブル	出力構成	プルアップ抵抗
LS682	有り	有り	無し	トーテン・ポール	有り
LS683	有り	有り	無し	オープン・コレクタ	有り
LS684	有り	有り	無し	トーテン・ポール	無し
LS685	有り	有り	無し	オープン・コレクタ	無し
LS686	有り	有り	有り	トーテン・ポール	無し
LS687	有り	有り	有り	オープン・コレクタ	無し
LS688	有り	無し	有り	トーテン・ポール	無し
LS689	有り	無し	有り	オープン・コレクタ	無し

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B	-(A=B)				35												ns
tpd	max	A, B	-(A>B)				35												ns
tpd	max	G1, G2	-(A=B)				35												ns
tpd	max	G1, G2	-(A>B)				35												ns
Icc	max						75												mA
IIH	max	ALL	H																μA
IIL	max	ALL	L																mA
IOH	max			ALL	H														mA
IOL	max			ALL	L														mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

74688 8-Bit Equal-to Comparator

○74521と同じ

ナンバー	入　力	出　力	
74518	20KP. U.	一　致	O. C.
74519	——	一　致	O. C.
74520	20KP. U.	不一致	T. P.
74521	——	不一致	T. P.
74522	20KP. U.	不一致	O. C.
74689	——	不一致	O. C.

（74688、25LS521）

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B	-(A=B)				23	20						53		53			ns
tpd	max	-G	-(A=B)				20	22						30		30			ns
Icc	max						65	19						0. 08		0. 08			mA
IIH	max	ALL	H				20	20											μA
IIL	max	ALL	L				0. 2	0. 1											mA
IOH	max			ALL	H		0. 4	2. 6						4		6			mA
IOL	max			ALL	L		24	24						4		6			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		DF			
MOT		D							DF					
日電									DF		DF			
NS									DF		DF			
PHIL									DF		DF			
RCA									DF		DF			
SIGNE														
TI		DF	DF											
東芝		D							DF		DF			
SGS									DF		DF			
CYPRES														
IDT														

74689 8-Bit Equal-to Comparator

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B	-(A=B)				40	25											ns
tpd	max	-G	-(A=B)				35	25											ns
Icc	max						65	19											mA
IIH	max	ALL	H				20	20											μA
IIL	max	ALL	L				0.2	0.2											mA
IOH	max			-(A=B)	H		0.1	0.1											mA
IOL	max			-(A=B)	L		24	24											mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI			DF											
東芝														
SGS														
CYPRES														
IDT														

ナンバー	入　力	出　力	
74518	20K P.U.	一　致	O.C.
74519	——	一　致	O.C.
74520	20K P.U.	不一致	T.P.
74521	——	不一致	T.P.
74522	20K P.U.	不一致	O.C.
74689	——	不一致	O.C.

（74688，25LS521）

74690 BCD Synchronous Counters

○74160～74163に74175，74257を組み合わせたタイプ

74690	BCD	非同期クリア
74691	16 進	非同期クリア
74692	BCD	同期クリア
74693	16 進	同期クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CK					20							18					MHz
tw	min	CK					25							19					ns
tsu	min						30↑							38					ns
thold	min	CK					0↑							0					ns
tpd	max	CCK		RCO			40							46					ns
tpd	max	EMA-T		RCO			20							24					ns
tpd	max	CK		Q			25							64					ns
tpd	max	CCLR		Q			40							73					ns
tpd	max	RCCLR		Q			30							73					ns
tpd	max	R/C		Q			25							53					ns
tpd	max	G		Z→X			30							40					ns
tpd	max	G		X→Z			30							36					ns
Icc	max						70							0.04					mA
IIH	max						20												μA
IIL	max						0.4												mA
IIH	max						20												μA
IIL	max						0.2												mA
IOH	max				H		0.4								4				mA
IOL	max				L		8								4				mA
IOH	max				H		2.6												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS									DF					
CYPRES														
IDT														

74691 Binary Synchronous Counters

○74160～74163に74175，74257を組み合わせたタイプ

74690	B C D	非同期クリア
74691	16 進	非同期クリア
74692	B C D	同期クリア
74693	16 進	同期クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min						20							18					MHz
tw	min						25							19					ns
tsu	min	D					30↑							38					ns
thold	min	CK					0↑							0					ns
tpd	max	CCK		RCO			40							46					ns
tpd	max	ENA-T		RCO			20							24					ns
tpd	max	CK		Q			25							64					ns
tpd	max	CCLR		Q			40							73					ns
tpd	max	RCLR		Q			30							73					ns
tpd	max	R/C		Q			25							53					ns
tpd	max	G		Z→X			30							40					ns
tpd	max	G		X→Z			30							36					ns
Icc	max						70							0.04					mA
IIH	max						20												μA
IIL	max						0.4												mA
IIH	max						20												μA
IIL	max						0.2												mA
IOH	max		4				0.4							4					mA
IOL	max		4				8							4					mA
IOH	max						2.6												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI		DF												
東芝									DF					
SGS									DF					
CYPRES														
IDT														

74692 BCD Synchronous Counters

○74160～74163に74175, 74257を組み合わせたタイプ

74690	BCD	非同期クリア
74691	16　進	非同期クリア
74692	BCD	同期クリア
74693	16　進	同期クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min						20												MHz
tw	min						25												ns
tsu	min	D					30↑												ns
tsu	min	CCLR					40↑												ns
tsu	min	RCLR					20↑												ns
thold	min						0												ns
tpd	max	CCK		RCO			40												ns
tpd	max	ENA-T		RCO			20												ns
tpd	max	CK		Q			25												ns
tpd	max	R/C		Q			25												ns
tpd	max	G		Z→X			30												ns
tpd	max	G		X→Z			30												ns
Icc	max						70												mA
IIH	max						20												μA
IIL	max						0.4												mA
IIH	max						20												μA
IIL	max						0.2												mA
IOH	max						0.4												mA
IOL	max						8												mA
IOH	max						2.6												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS									DF					
CYPRES														
IDT														

74693 Binary Synchronous Counters

○74160～74163に74175, 74257を組み合わせたタイプ

74690	B C D	非同期クリア
74691	16 進	非同期クリア
74692	B C D	同期クリア
74693	16 進	同期クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min						20							18					MHz
tw	min						25							19					ns
tsu	min						30 ↑							38					ns
tsu	min						40 ↑							25					ns
tsu	min						20 ↑							25					ns
thold	min						0							0					ns
tpd	max						40							24					ns
tpd	max						20							64					ns
tpd	max						25							73					ns
tpd	max						25							53					ns
tpd	max						30							40					ns
tpd	max						30							36					ns
Icc	max						70							0.04					mA
IIH	max						20												μA
IIL	max						0.4												mA
IIH	max						20												μA
IIL	max						0.2												mA
IOH	max						0.4							4					mA
IOL	max						8							4					mA
IOH	max						2.6												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS									DF					
CYPRES														
IDT														

74696　BCD Synchronous Up/Down Counters

○74168または74169にクリアを加え74175, 74257を組み合わせたタイプ

74696	BCD U/D	非同期クリア
74697	16進 U/D	非同期クリア
74698	BCD U/D	同期クリア
74699	16進 U/D	同期クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min						20							20					MHz
tw	min						25							19					ns
tsu	min	D-ENT					30↑							38					ns
tsu	min	U/D					35↑							25					ns
thold	min	CCLR					0							6					ns
tpd	max	CCK		RCO			40							59					ns
tpd	max	ENA-T		RCO			20							34					ns
tpd	max	CK		Q			25							59					ns
tpd	max	CCLR		Q			40							59					ns
tpd	max	R/C		Q			25							46					ns
tpd	max	G		Z→X			30							39					ns
tpd	max	G		X→Z			30							29					ns
Icc	max						70							0.04					mA
IIH	max						20												μA
IIL	max						0.4												mA
IIH	max						20												μA
IIL	max						0.2												mA
IOH	max						0.4							4					mA
IOL	max						8							4					mA
IOH	max						2.6												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI													
東芝													
SGS									DF				
CYPRES													
IDT													

74697 Binary Synchronous Up/Down Counters

○74168または74169にクリアを加え74175、74257を組み合わせたタイプ

74696	BCD U/D	非同期クリア
74697	16進 U/D	非同期クリア
74698	BCD U/D	同期クリア
74699	16進 U/D	同期クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min						20												MHz
tw	min						25												ns
tsu	min						30↑												ns
tsu	min						35↑												ns
thold	min						0												ns
tpd	max						40												ns
tpd	max						20												ns
tpd	max						25												ns
tpd	max						40												ns
tpd	max						25												ns
tpd	max						30												ns
tpd	max						30												ns
Icc	max						70												mA
IIH	max						20												μA
IIL	max						0.4												mA
IIH	max						20												μA
IIL	max						0.2												mA
IOH	max						0.4												mA
IOL	max						8												mA
IOH	max						2.6												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI		DF												
東芝									DF					
SGS									DF					
CYPRES														
IDT														

74698　BCD Synchronous Up/Down Counters

○74168または74169にクリアを加え74175, 74257を組み合わせたタイプ

74696	BCD U/D	非同期クリア
74697	16進 U/D	非同期クリア
74698	BCD U/D	同期クリア
74699	16進 U/D	同期クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min						20							20					MHz
tw	min						25							19					ns
tsu	min						30↑							38					ns
tsu	min						35↑							25					ns
tsu	min						30↑							13					ns
thold	min						0							6					ns
tpd	max						40							59					ns
tpd	max						20							34					ns
tpd	max						25							59					ns
tpd	max						25							46					ns
tpd	max						30							39					ns
tpd	max						30							29					ns
Icc	max						70							0.04					mA
IIH	max						20												μA
IIL	max						0.4												mA
IIH	max						20												μA
IIL	max						0.2												mA
IOH	max						0.4							4					mA
IOL	max						8							4					mA
IOH	max						2.6												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS									DF					
CYPRES														
IDT														

74699 Binary Synchronous Up/Down Counters

VCC (20), RIPPLE CARRY OUTPUT (19), 3-STATE OUTPUTS: QA (18), QB (17), QC (16), QD (15), ENABLE T̄ (14), LOAD (13), OUTPUT CONTROL (12), R/C̄ SELECT (11)

UP/DOWN (1), COUNTER CLOCK (2), DATA INPUTS: A (3), B (4), C (5), D (6), ENABLE P̄ (7), COUNTER CLEAR (8), REGISTER CLOCK (9), GND (10)

○74168または74169にクリアを加え74175、74257を組み合わせたタイプ

74696	BCD U/D	非同期クリア
74697	16進 U/D	非同期クリア
74698	BCD U/D	同期クリア
74699	16進 U/D	同期クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min						20							20					MHz
tw	min						25							19					ns
tsu	min						30↑							38					ns
tsu	min						35↑							25					ns
tsu	min						30↑							13					ns
thold	min						0							6					ns
tpd	max						40							59					ns
tpd	max						20							34					ns
tpd	max						25							59					ns
tpd	max						25							46					ns
tpd	max						30							39					ns
tpd	max						30							29					ns
Icc	max						70							0.04					mA
IIH	max						20												μA
IIL	max						0.4												mA
IIH	max						20												μA
IIL	max						0.2												mA
IOH	max						0.4							4					mA
IOL	max						8							4					mA
IOH	max						2.6												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI		DF												
東芝									DF					
SGS									DF					
CYPRES														
IDT														

CCLR (8) CLEAR, CCK (2) CLOCK, A (3), B (4), C (5), D (6), ENA P̄ (7), LOAD (13), ENA T̄ (14) — 4-BIT SYNCHRONOUS COUNTER

U/D̄ (1), RCK (9) CLOCK — 4-BIT D-TYPE REGISTER

REGISTER/COUNTER SELECT R/C̄ (11)

3-STATE QUADRUPLE 2-LINE TO 1-LINE MULTIPLEXER

(19) RIPPLE-CARRY OUTPUT, (18) QA, (17) QB, (16) QC, (15) QD, (12) OUTPUT CONTROL Ḡ

74715 Programmable Video Sync Generator

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	CLK		ALL	L→H								15.5				4.8		ns
tpd	max	CLK		ALL	H→L								15.5				4.0		ns
tpd	max	CLK		OD/EVN	L→H								17				5.1		ns
tpd	max	CLK		OD/EVN	H→L								17				5.8		ns
tpd	max	LOAD		ALL	H→L								16				7.3		ns
Icc	max				H								0.08				0.25		mA
Icc	max				L								0.08				30		mA
IIH	max		H										1				50		μA
IIL	max		L										1						μA
IOH	max			ALL	H								8						mA
IOL	max			ALL	L												64		mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS							DF						
PHIL													
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT													

74810 Quad 2 Input EX-NOR

VCC 4B 4A 4Y 3B 3A 3Y
14 13 12 11 10 9 8
1 2 3 4 5 6 7
1A 1B 1Y 2A 2B 2Y GND

○ $Y = \overline{A \oplus B} = \overline{\overline{A}B + A\overline{B}}$

入力		出力
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	H

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	L, L→H	↑					20			6.5		10.5						ns
tpd	max	L, H→L	↓					14			6.5		10.5						ns
tpd	max	H, L→H	↑					18			7		11						ns
tpd	max	H, H→L	↓					14			7		11						ns
Icc	max							7.5			26		0.04						mA
IIH	max			A, B				20											μA
IIL	max			A, B				0.1											mA
IOH	max			Y				0.4			2		24						mA
IOL	max			Y				8			20		24						mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT							D	D						
日電														
NS						DF								
PHIL														
RCA														
SIGNE														
TI			DF				DF	D						
東芝														
SGS														
CYPRES														
IDT														

74811 Quad 2 Input EX-NOR Buffers

○74810のオープンコレクタタイプ

○ $Y=\overline{A\oplus B}=\overline{\overline{A}B+A\overline{B}}$

入力		出力
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	H

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	L, L→H	↑					55			4.5								ns
tpd	max	L, H→L	↓					28			8.5								ns
tpd	max	H, L→H	↑					50			4.5								ns
tpd	max	H, H→L	↓					23			9								ns
Icc	max							7.5			36								mA
IIH	max			A, B				20			20								μA
IIL	max			A, B				0.1			0.1								mA
IOH	max			Y				8			20								mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS						D		DF					
PHIL													
RCA													
SIGNE													
TI			DF										
東芝													
SGS													
CYPRES													
IDT													

74818 8-Bit Diagnostic Register

Inputs				Outputs			Operation
SDI	MODE	DCLK	PCLK	SDO	Diagnostic Reg.	Pipeline Reg.	
X	L	⟋	X	S7	SI<SI − 1, SO<SD_I	NA	Serial Shift; D_7–D_0 Disabled
X	L	X	⟋	S7	NA	PI<DI	Normal Load Pipeline Register
L	H	⟋	X	L	SI<YI	NA	Load Diagnostic Register from Y; DI Disabled
X	H	X	⟋	SDI	NA	PI<SI	Load Pipeline Register from Diagnostic Register
H	H	⟋	X	H	Hold	NA	Hold Diagnostic Register; DI Enabled

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	PCLK		Y	L→H								9				4.8		ns
tpd	max	PCLK		Y	H→L								9				4.0		ns
tpd	max	MODE		SDO	L→H								11.5				5.1		ns
tpd	max	MODE		SDO	H→L								11				5.8		ns
tpd	max	OE		Y	H→Z								11				7.3		ns
tpd	max	OE		Y	L→Z								8				7.7		ns
Icc	max				H								0.08				0.25		mA
Icc	max				L								0.08				30		mA
IOH	max			ALL	H														mA
IOL	max			ALL	L								32				64		mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS							DF							
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

74821 10-Bit 3-State D-FFs

Vcc 24, Q0 23, Q1 22, Q2 21, Q3 20, Q4 19, Q5 18, Q6 17, Q7 16, Q8 15, Q9 14, CLOCK 13

1 OUTPUT CONTROL, 2 D0, 3 D1, 4 D2, 5 D3, 6 D4, 7 D5, 8 D6, 9 D7, 10 D8, 11 D9, 12 GND

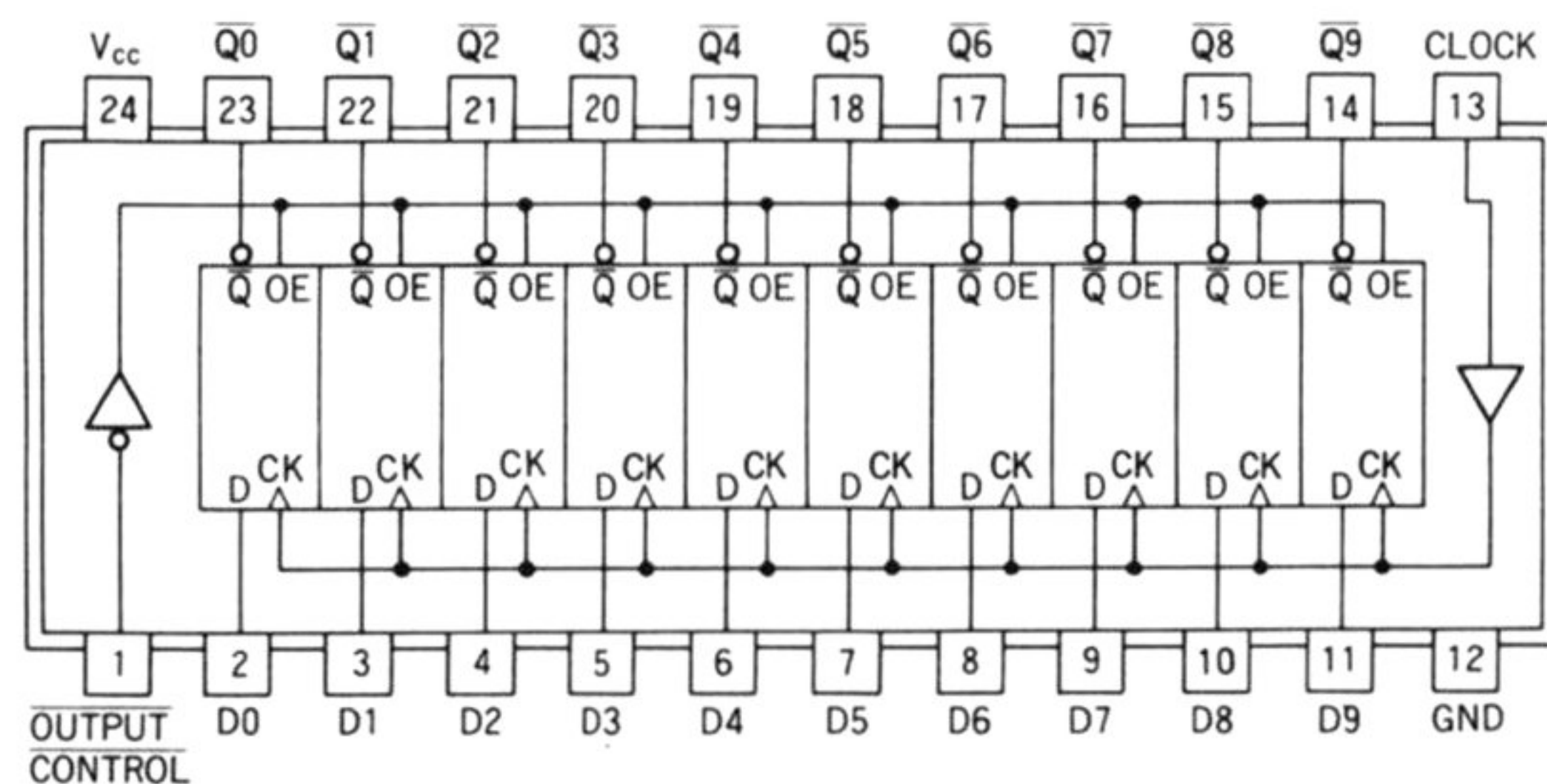
○74574の10Bit版
○74822は同じピン接の反転（$\overline{Q}$）タイプ
○使用法はどれも同じ

入力		動作
Output control	CK	
X	↑	データロード
H	X	High-Z

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK								70									MHz
tw	min	CLK								6.0	8								ns
tsu	min	DATA								3.0	6								ns
thold	min	DATA								2.0	0								ns
tpd	max	CLK		Q						10.5	10.5								ns
tpd	max	OUT.C.	X→Z	Q						7.5	8								ns
tpd	max	OUT.C.	Z→X	Q						11.5	12								ns
Icc	max									100	113								mA
IIH	max	CLK	H							20	20								μA
IIL	max	CLK	L							1.2	0.1								mA
IIH	max	others	H		H					20	20								μA
IIL	max	others	L	-Q	L					0.6	0.1								mA
IOH	max			-Q	H					3	0.8								mA
IOL	max			-Q	L					24	24								mA
IZH	max			-Q						50	50								μA
IZL	max									50	50								μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS					DF								
PHIL													
RCA													
SIGNE					DF								
TI			D			D							
東芝													
SGS													
CYPRES					DF								
IDT							DF						

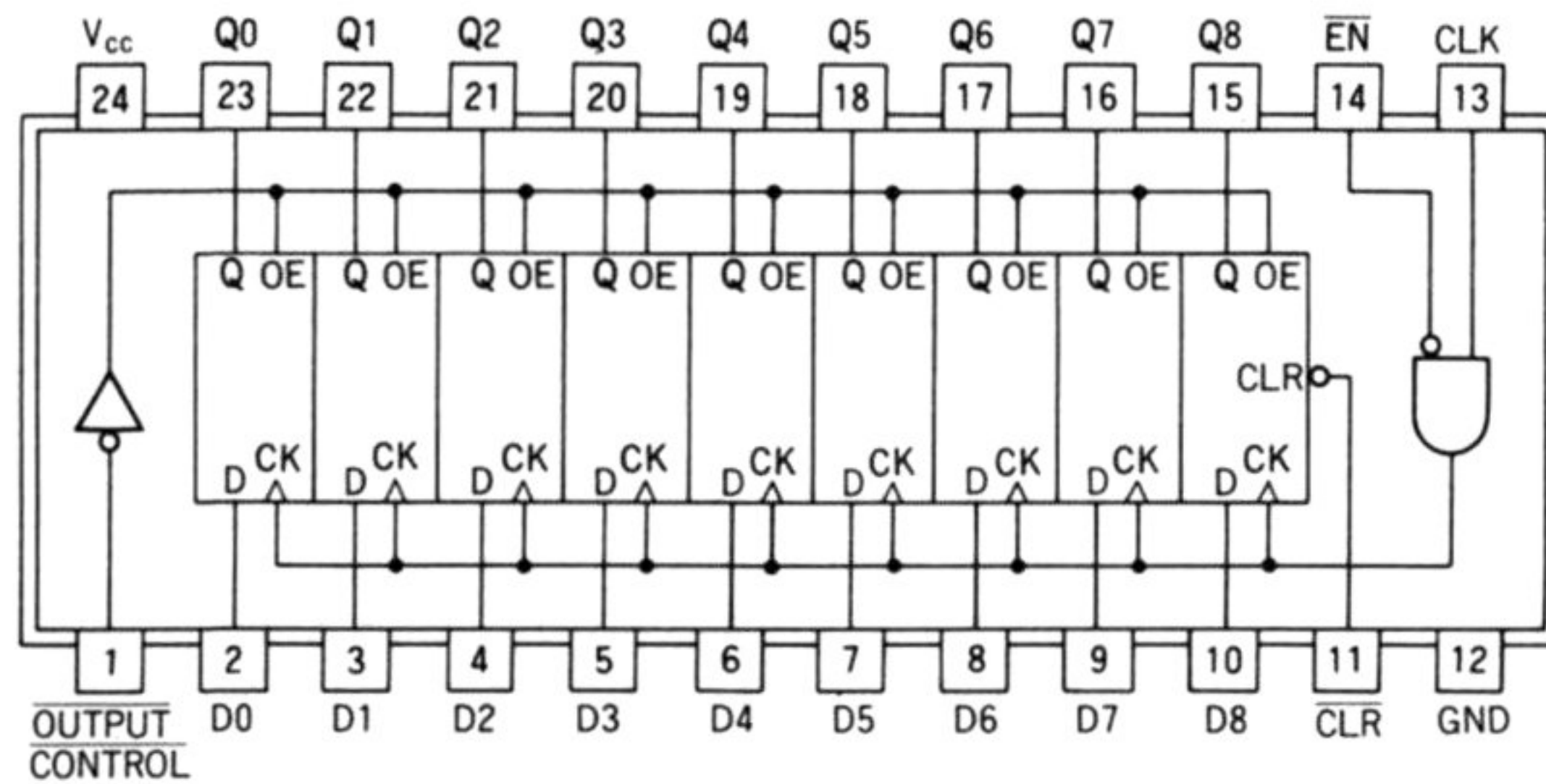
参考品種
74374
74574
74822

74822　10-Bit 3-State D-FFs(Inverted)

○74821の反転タイプ

入力		動作
Output control	CK	
X	↑	データロード
H	X	High-Z

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK																	MHz
tw	min	CLK									8								ns
tsu	min	DATA									6								ns
thold	min	DATA									0								ns
tpd	max	CLK		-Q							10.5								ns
tpd	max	OUT.C.	X→Z	-Q							8								ns
tpd	max	OUT.C.	Z→X	-Q							12								ns
Icc	max										113								mA
IIH	max	D	H								20								μA
IIL	max	D	L								0.1								mA
IIH	max	others	H		H						20								μA
IIL	max	others	L	-Q	L						0.1								mA
IOH	max			-Q	H						0.8								mA
IOL	max			-Q	L						24								mA
IZH	max			-Q							50								μA
IZL	max										50								μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI						D							
東芝													
SGS													
CYPRES													
IDT													

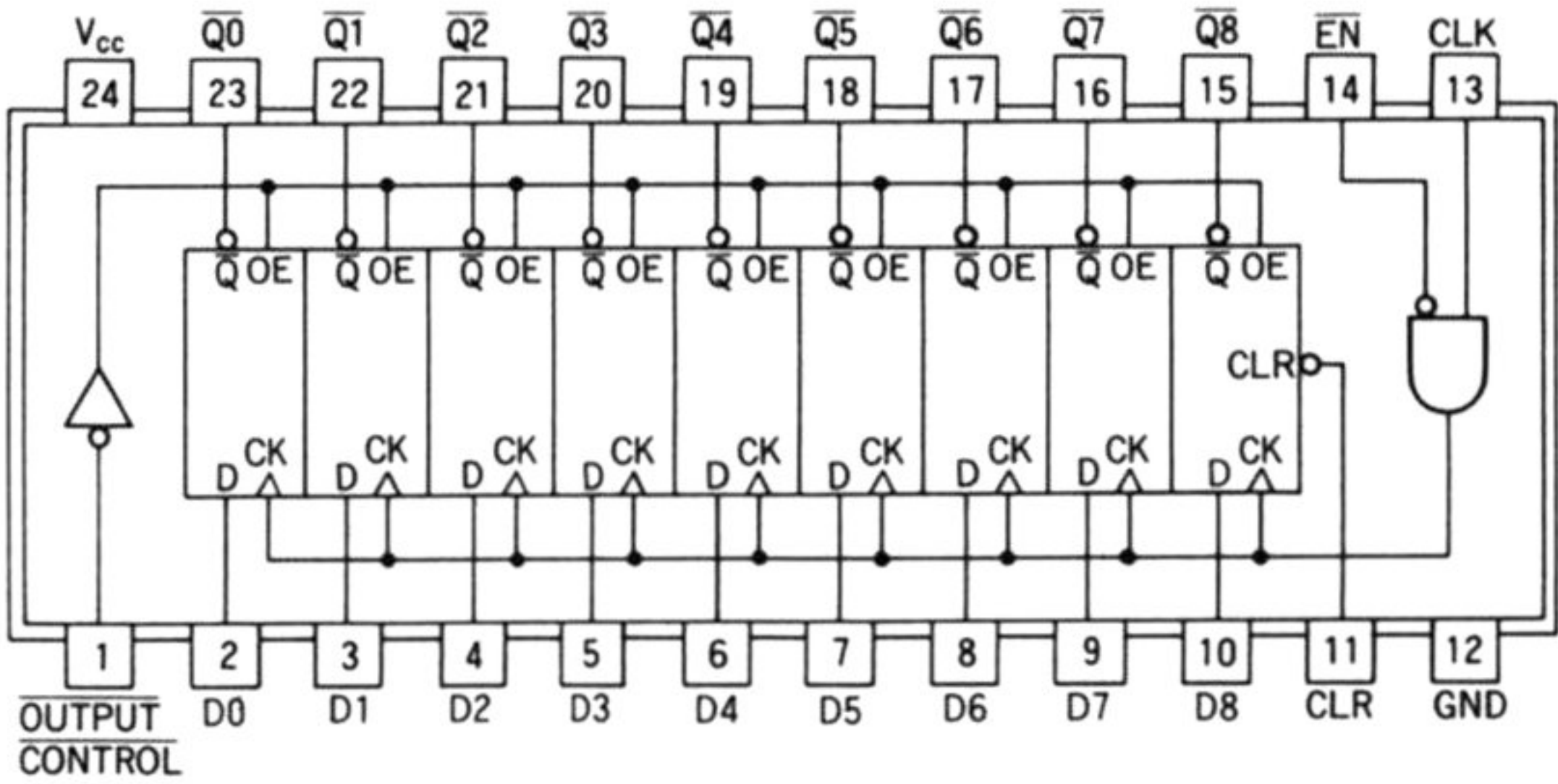
74823　9-Bit 3-State D-FFs with Clock Enable and Common Clear

○74574の 9 Bit版（クリア，クロックイネーブル付）
○74824は同じピン接の反転（$\overline{Q}$）タイプ
○使用法はどれも同じ

入力					内部	出力	動作
$\overline{OE}$	$\overline{CLR}$	$\overline{EN}$	CLK	Data	Q	$\overline{Q}$	
H	H	L	H	X	変化なし	High-Z	データホールド
H	H	L	L	X	変化なし	High-Z	データホールド
H	H	H	X	X	変化なし	High-Z	データホールド
L	H	H	X	X	変化なし	変化なし	データホールド
H	L	X	X	X	H	High-Z	データクリア
L	L	X	X	X	H	L	データクリア
H	H	L	↑	L	L	High-Z	データロード
H	H	L	↑	H	H	High-Z	データロード
L	H	L	↑	L	L	H	データ出力有効
L	H	L	↑	H	H	L	データ出力有効
L	H	L	H	X	変化なし	変化なし	データ無変化
L	H	L	L	X	変化なし	変化なし	データ無変化

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK		Q						70									MHz
tw	min	CLK		Q						6.0	8								ns
tsu	min	DATA		Q						3.0	6								ns
thold	min	DATA		Q						2.5	0								ns
tpd	max	CLK		Q						10.5	7.5								ns
tpd	max	CLR		Q						13.0	13								ns
tpd	max	OUT.C.	X→Z	Q						7.5	8								ns
tpd	max	OUT.C.	Z→X	Q						11.5	12								ns
Icc	max									100	103								mA
IIL	max	CLK	H							20	20								mA
IIH	max	CLK	L							1.2	0.1								μA
IIL	max	others	H							20	20								mA
IIL	max	others	L							0.6	0.1								mA
IOH	max			Q	H					3	24								mA
IOL	max			Q	L					24	48								mA
IZH	max			Q						50	50								μA
IZL	max			Q						50	50								μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT					D									
日電														
NS														
PHIL														
RCA														
SIGNE					DF									
TI						D								
東芝														
SGS														
CYPRES					DF									
IDT							DF							

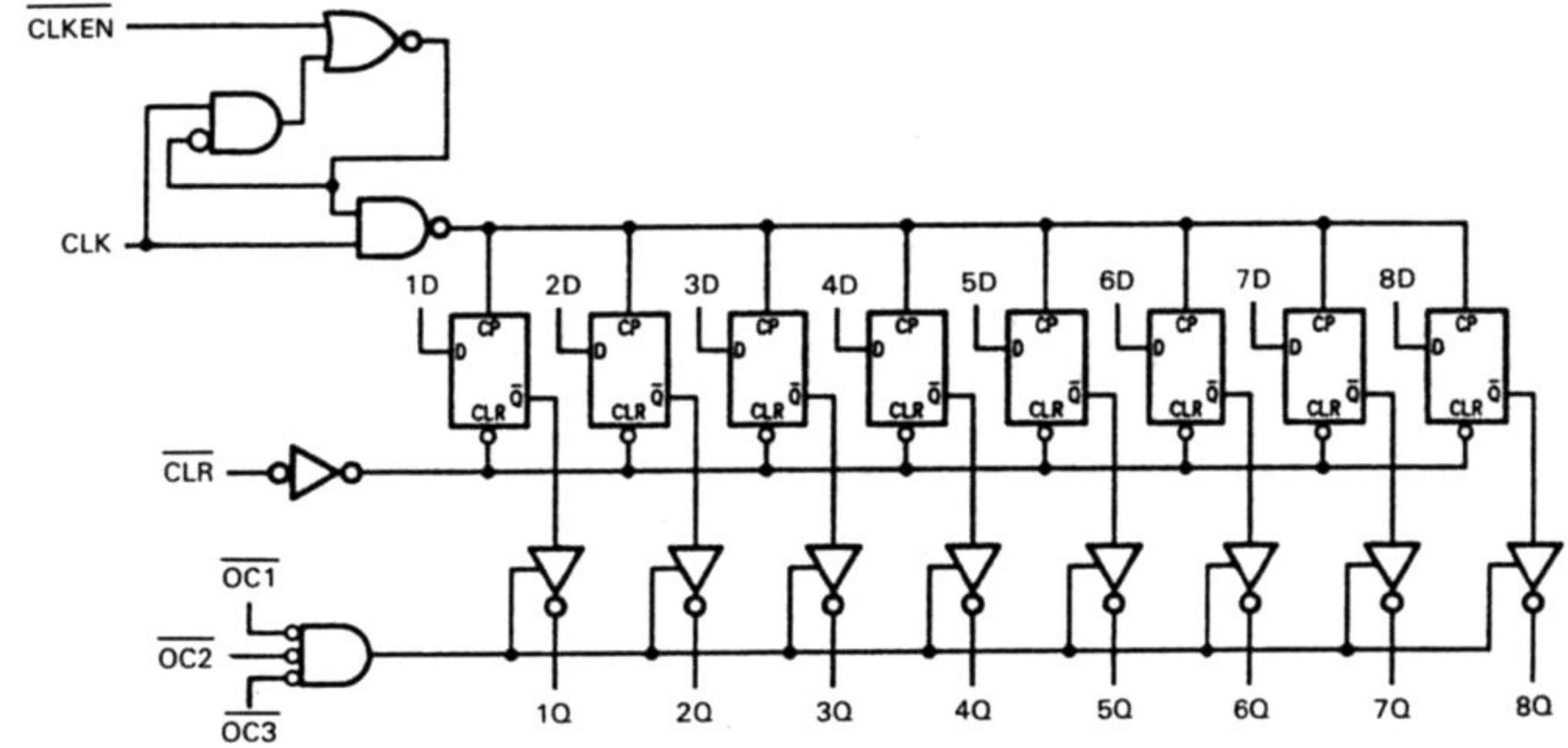
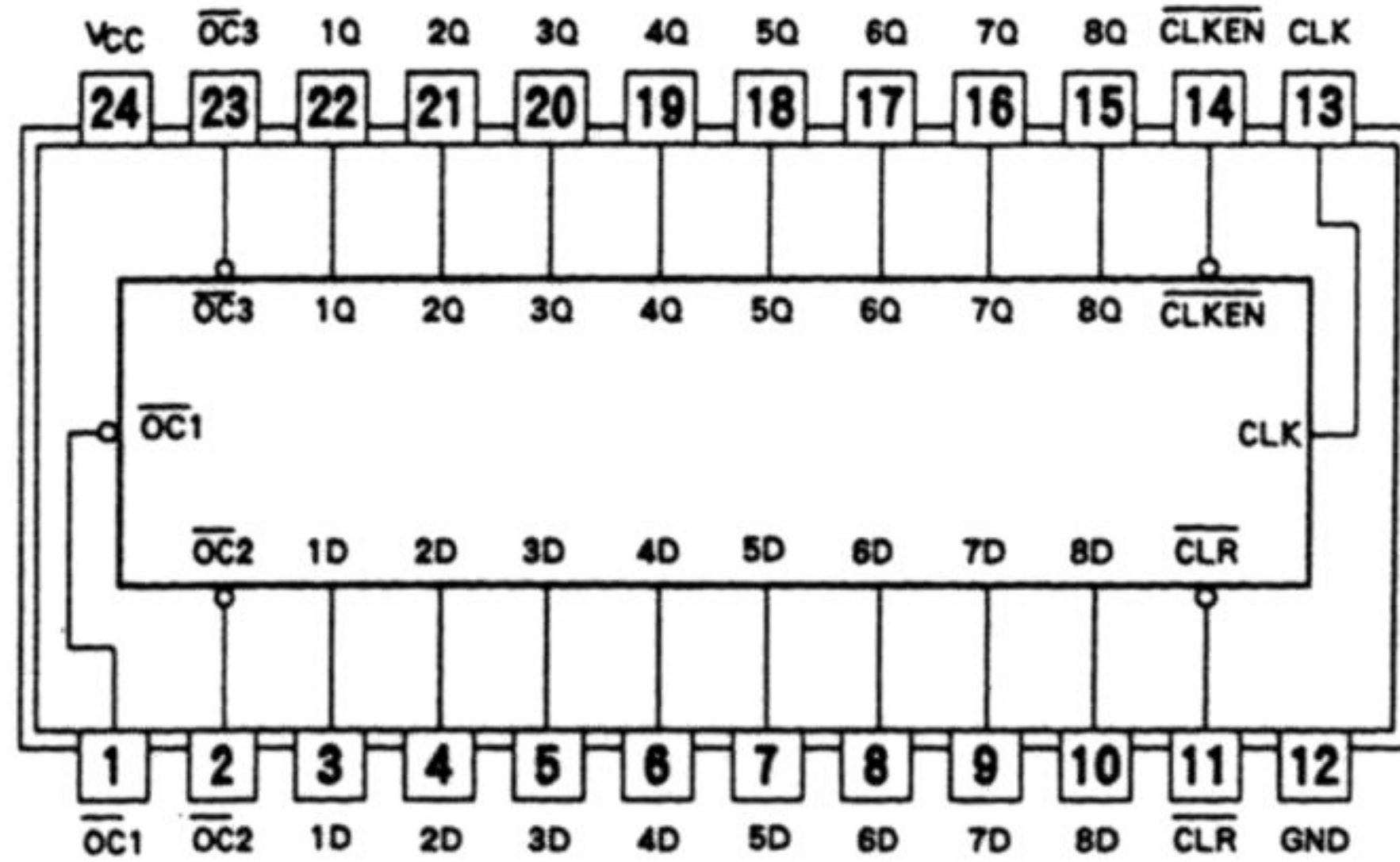
参考品種
74374
74574
74824

74824　9-Bit 3-State D-FFs (Inverted) with Clock Enable and Common Clear

○74823の反転タイプ

入力					内部	出力	動作
$\overline{OE}$	$\overline{CLR}$	$\overline{EN}$	CLK	Data	Q	$\overline{Q}$	
H H H L	H H H H	L L H H	H L X X	X X X X	変化なし	High-Z High-Z High-Z 変化なし	データホールド
H L	L L	X X	X X	X X	H H	High-Z L	データクリア
H H	H H	L L	↑ ↑	L H	H L	High-Z	データロード
L L	H H	L L	↑ ↑	L H	H L	L H	データ出力有効
L L	H H	L L	H L	X X	変化なし	変化なし	データ無変化

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK		-Q															MHz
tw	min	CLK		-Q							8								ns
tsu	min	DATA		-Q							6								ns
thold	min	DATA		-Q							0								ns
tpd	max	CLK		-Q							7.5								ns
tpd	max	CLR		-Q							13								ns
tpd	max	OUT.C.	X→Z	-Q							8								ns
tpd	max	OUT.C.	Z→X	-Q							12								ns
Icc	max										103								mA
IIL	max	D	H								20								mA
IIH	max	D	L								0.1								μA
IIL	max	others	H								20								mA
IIL	max	others	L								0.1								mA
IOH	max			-Q	H						24								mA
IOL	max			-Q	L						48								mA
IZH	max			-Q							50								μA
IZL	max			-Q							50								μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE					DF									
TI						D								
東芝														
SGS														
CYPRES														
IDT							DF							

74825　8-BIT BUS INTERFACE FLIP-FLOP WITH 3-STATE OUTPUT

○AS574の上位機能ークロック・イネーブル，クリア，多入力による出力コントロール付
○I_{OH}を改良(−24mA最大)
○出力のアンダーシュートを防止
○電源投入時には，ハイ・インピーダンス状態を保持
○74AC11XXXファミリーはセンタ・ピン・タイプ

機能表

入力					出力
OC	CLR	CLKEN	CLK	D	Q
L	L	x	x	x	L
L	H	L	↑	H	H
L	H	L	↑	L	L
L	H	H	x	x	Q_0
H	x	x	x	x	Z

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	CLK		Q	L→H					10	7.5		9.5						ns
tpd	max	CLK		Q	H→L					10	13		9.5						ns
tpd	max	OC		Q	Z→H					12	11		13.5						ns
tpd	max	OC		Q	Z→L					12	12		10.5						ns
tpd	max	OC		Q	L→Z					7	8		11						ns
tpd	max	OC		Q	H→Z					7	8		11						ns
Icc	max									1.5			.008						mA
Icc	max																		mA
IIH	max									5									μA
IIL	max																		μA
IOH	max																		mA
IOL	max									48	48		24						mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS					DF			DF					
PHIL													
RCA													
SIGNE					DF								
TI						D		D					
東芝							D	D					
SGS													
CYPRES					DF								
IDT								DF					

74827　　10-Bit 3-State Buffer

○３ステート出力
○非反転出力
○828は反転出力

入力		出力
E_1	E_2	
L	L	D
X X	X H	High-Z

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑					9.0									ns
tpd	max			H→L	↓					9.0									ns
tpd	max			Z→L	▽					9.5									ns
tpd	max			Z→H	△					10									ns
tpd	max			L→Z	▼					8.0									ns
tpd	max			H→Z	▲					9.0									ns
Icc	max									100									mA
IIH	max	ALL	H							20									μA
IIL	max	ALL	L							20									mA
IOH	max			ALL	H		3.0	15		15									mA
IOL	max			ALL	L		24	24		64									mA
IZH	max			ALL	H			20		50									μA
IZL	max			ALL	L			20		50									UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT					D									
日電														
NS					DF									
PHIL														
RCA														
SIGNE					DF									
TI														
東芝														
SGS														
CYPRES					DF									
IDT														

74828　10-Bit 3-State Buffer(Inverted)

V_{CC} 24, Y_0 23, Y_1 22, Y_2 21, Y_3 20, Y_4 19, Y_5 18, Y_6 17, Y_7 16, Y_8 15, Y_9 14, E_2 13

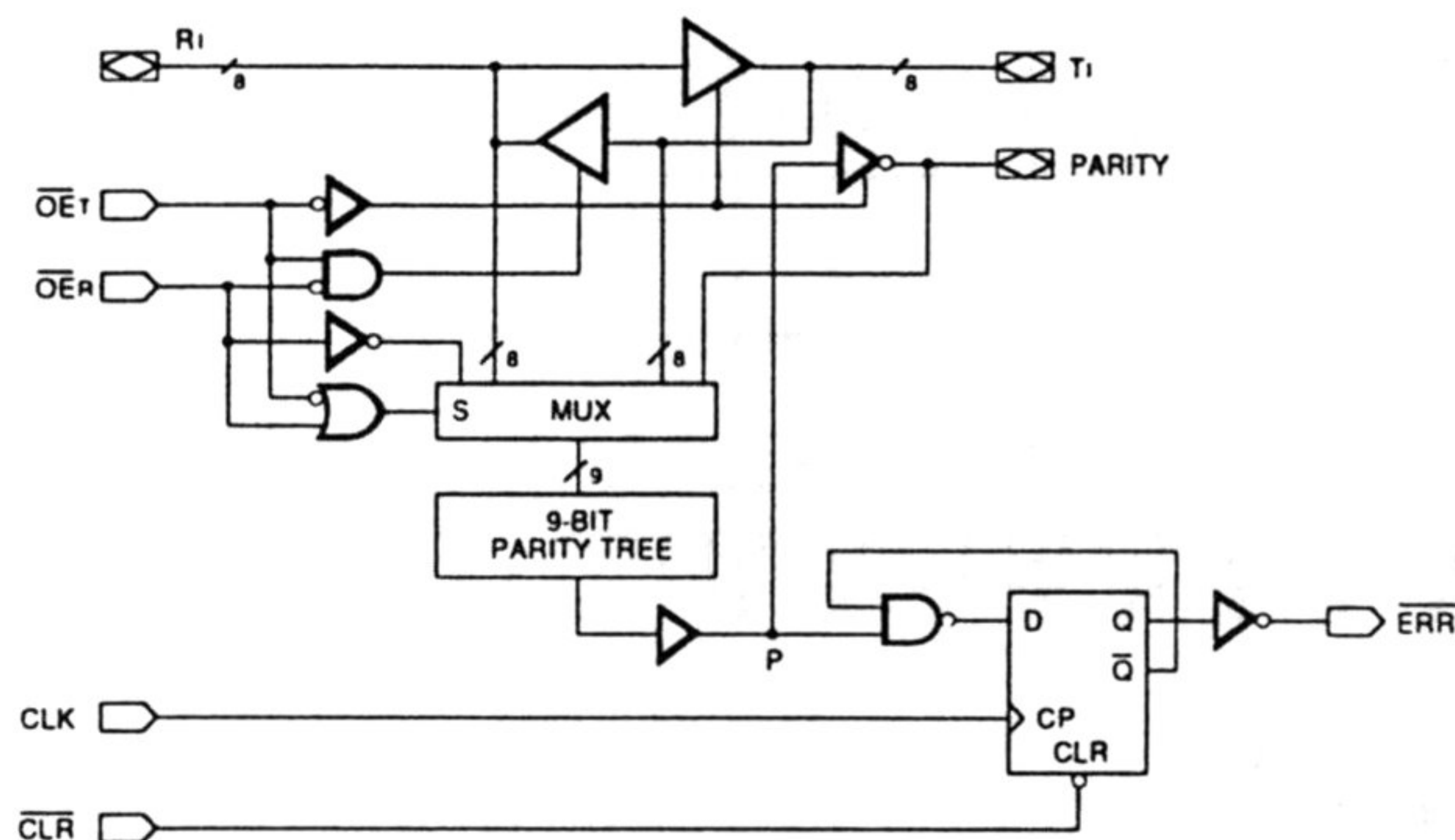
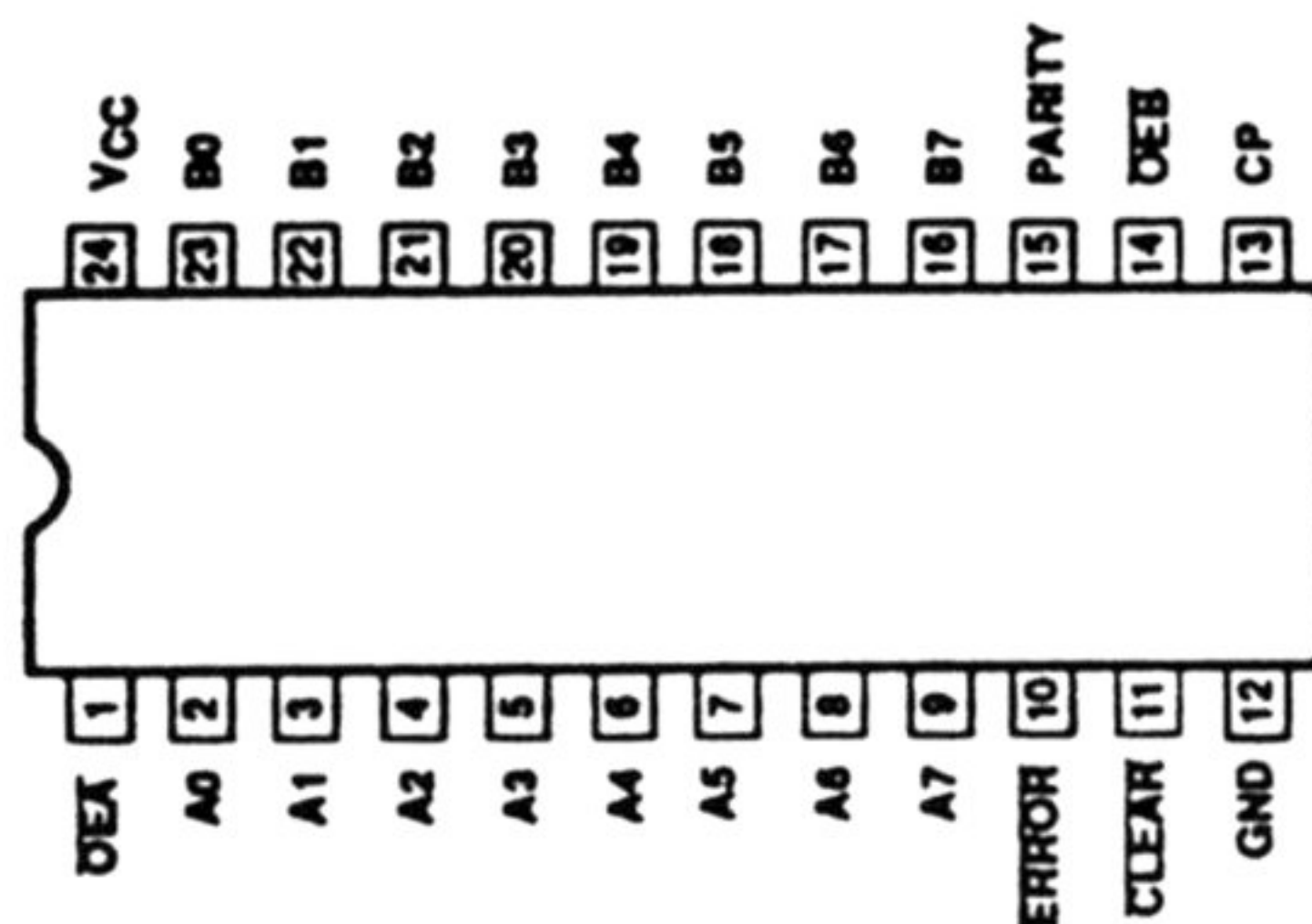
E_1 1, D_0 2, D_1 3, D_2 4, D_3 5, D_4 6, D_5 7, D_6 8, D_7 9, D_8 10, D_9 11, GND 12

○３ステート出力
○反転出力
○827は非反転出力

入力		出力
E_1	E_2	
L	L	$\overline{D}$
H X	X H	High-Z

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑					10									ns
tpd	max			H→L	↓					9.0									ns
tpd	max			Z→L	▽					9.5									ns
tpd	max			Z→H	△					10									ns
tpd	max			L→Z	▼					8.0									ns
tpd	max			H→Z	▲					9.0									ns
Icc	max									100									mA
IIH	max	ALL	H							20									μA
IIL	max	ALL	L							0.02									mA
IOH	max			ALL	H					15									mA
IOL	max			ALL	L					64									mA
IZH	max			ALL	H					50									μA
IZL	max			ALL	L					50									UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT					D									
日電														
NS														
PHIL														
RCA														
SIGNE					DF									
TI														
東芝														
SGS														
CYPRES														
IDT														

74833 Octal transceiver with parity generator/checker

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	Ax	H→L	Bx	L→H							10					4.8		ns
tpd	max		L→H		H→L							17.5					4.0		ns
tpd	max		H→L		Z→H							12					5.1		ns
tpd	max		L→H		Z→L							19.5					5.8		ns
tpd	max		H→L		H→Z							10.7					7.3		ns
tpd	max		L→H		L→Z							12					7.7		ns
Icc	max				H							1.5					0.25		mA
Icc	max				L												30		mA
IIH	max		H									15					50		μA
IIL	max		L																μA
IOH	max				H														mA
IOL	max				L							48					64		mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS													
PHIL												DF	
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT							DF						

機　能　表

MODE	INPUTS				OUTPUTS		
	$\overline{OEB}$	$\overline{OEA}$	An Σ of Highs	Bn + Parity Σ of Highs	An	Bn	PARITY
A data to B bus and generate odd parity output	L	H	Odd Even	(output)	(input)	An	L H
B data to A bus and check for parity error[1]	H	L	(output)	X	Bn	(input)	(input)
A bus and B bus disabled[2]	H	H	X	X	Z	Z	Z
A data to B bus and generate inverted parity output	L	L	Odd Even	(output)	(input)	An	H L

74841　　10-Bit 3-State D-Latches

○74573の10Bit版
○74842は同じピン接の反転（$\overline{Q}$）タイプ
○使用法はどれも同じ

入力		動作
Output Control	Latch Enable	
L	L	ラッチ(ホールド)
L	H	Q=D
H	X	High-Z

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	LE						20			4								ns
tsu	min	DATA						5↓			2.5								ns
thold	min	DATA						5↓			2.5								ns
tpd	max	DATA		Q				13			6.5								ns
tpd	max	LE		Q				26			12								ns
tpd	max	-OE		Q	X→Z			12			8								ns
tpd	max	-OE		Q	Z→X			12			13.5								ns
Icc	max							62			94								mA
IIH	max	ALL	H					20			20								μA
IIL	max	ALL	L					0.1			0.5								mA
IOH	max			ALL	H			2.6			15								mA
IOL	max			ALL	L			24			48								mA
IZL	max			ALL	L			20			50								μA
IZH	max			ALL	H			20			50								μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS					DF			DF					
PHIL													
RCA													
SIGNE					DF								
TI			D			D							
東芝							D	D					
SGS													
CYPRES					DF								
IDT								DF					

参考品種
74373
74573
74842

74842 10-Bit 3-State D-Latches(Inverted)

Vcc 24, $\overline{Q0}$ 23, $\overline{Q1}$ 22, $\overline{Q2}$ 21, $\overline{Q3}$ 20, $\overline{Q4}$ 19, $\overline{Q5}$ 18, $\overline{Q6}$ 17, $\overline{Q7}$ 16, $\overline{Q8}$ 15, $\overline{Q9}$ 14, G 13

$\overline{\text{OUTPUT CONTROL}}$ 1, D0 2, D1 3, D2 4, D3 5, D4 6, D5 7, D6 8, D7 9, D8 10, D9 11, GND 12

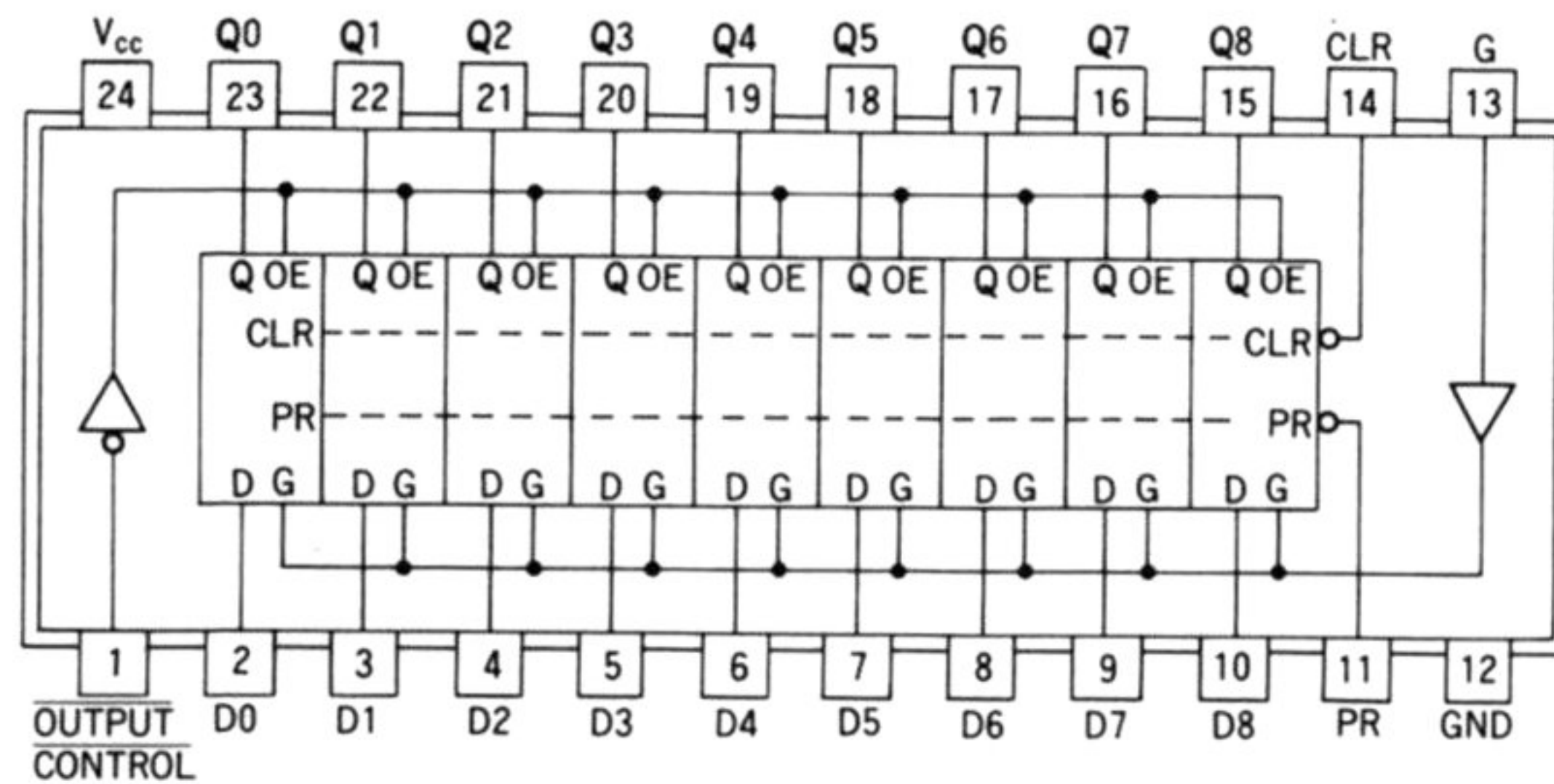
Q OE / D G

○74841の反転（$\overline{Q}$）タイプ

入	力	動　　作
Output Control	Latch Enable	
L	L	ラッチ(ホールド)
L	H	Q=$\overline{D}$
H	X	High-Z

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	ENABLE						20			5								ns
tsu	min	DATA						10			2.5								ns
thold	min	DATA						5			2.5								ns
tpd	max	ENABLE		-Q				27			12								ns
tpd	max	DATA		-Q				18			9								ns
tpd	max	OUT.C.		-Q	X→Z			12			8								ns
tpd	max	OUT.C.		-Q	Z→X			12			12.5								ns
Icc	max							74			97								mA
IIH	max	ALL	H					20			20								μA
IIL	max	ALL	L					0.1			0.5								mA
IOH	max			Q	H			2.6			15								mA
IOL	max			Q	L			24			48								mA
IZH	max			Q	H			20			50								μA
IZL	max			Q	L			20			50								UA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE					DF									
TI			D			D								
東芝														
SGS														
CYPRES														
IDT														

74843 9-Bit 3-State D-Latches with Common Preset and Common Clear

○74573の 9 Bit版（プリセット，クリア付）
○74844は同じピン接の反転（$\overline{Q}$）タイプ
○使用法はどれも同じ

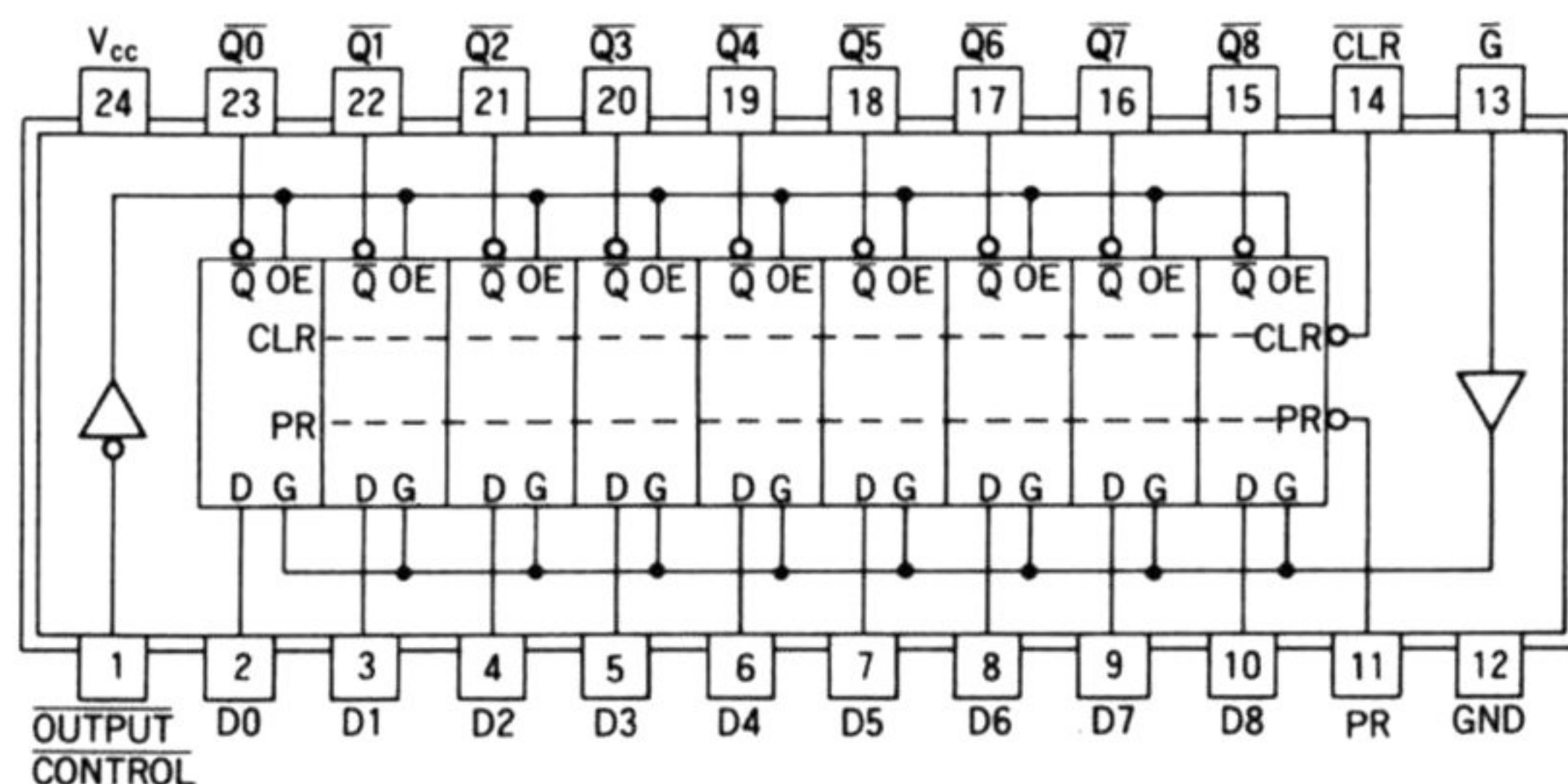
入　力				動　作
$\overline{PR}$	$\overline{CLR}$	$\overline{OE}$	G	
H	H	L	L	ラッチ(ホールド)
H	H	L	H	Q=D
X	X	H	X	High-Z
L	X	L	X	プリセット(H)
H	L	L	X	クリア(L)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	LE						20		3.5	4								ns
tsu	min	DATA						10		1.0	2.5								ns
thold	min	DATA						5		3.0	2.5								ns
tpd	max	DATA		Q				18		8.5	9								ns
tpd	max	LE		Q				21		10.0	12								ns
tpd	max	-OE	N	Q	X→Z			12		8.5	8								ns
tpd	max	-OE	A	Q	Z→X			14		10.5	13.5								ns
tpd	max	CLR		Q				22		8.0	13								ns
tpd	max	PR		Q				26		9.0	10								ns
Icc	max							67		115	92								mA
IIH	max	ALL	H					20		20	20								μA
IIL	max	ALL	L					0.1		0.2	0.5								mA
IOH	max			ALL	H			2.6		15	15								mA
IOL	max			ALL	L			24		48	48								mA
IZL	max			ALL	L			20		50	50								μA
IZH	max			ALL	H			20		50	50								μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS					DF		DF	DF					
PHIL													
RCA													
SIGNE					DF								
TI			D			D							
東芝							D	D					
SGS													
CYPRES													
IDT													

参考品種
74373
74573
74844

74844

9-Bit 3-State D-Latches(Inverted) with Common Preset and Common Clear

○74843の反転（$\overline{Q}$）タイプ

入力				動作
$\overline{PR}$	$\overline{CLR}$	$\overline{OE}$	G	
H	H	L	L	ラッチ(ホールド)
H	H	L	H	Q=$\overline{D}$
X	X	H	X	High-Z
L	X	L	X	プリセット(L)
H	L	L	X	クリア(L)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	LE						20		3.0	4								ns
tsu	min	DATA						10		0	2.5								ns
thold	min	DATA						5		4.0	2.5								ns
tpd	max	DATA		Q				20		9.5	10								ns
tpd	max	LE		Q				29		10.5	13								ns
tpd	max	-OE	N	Q	X→Z			12		8.5	8								ns
tpd	max	-OE	A	Q	Z→X			20		12.5	13.5								ns
tpd	max	CLR		Q				23		10.5	13.5								ns
tpd	max	PR		Q				22		9.5	10								ns
Icc	max							72		95	95								mA
IIH	max	ALL	H					20		20	20								μA
IIL	max	ALL	L					0.1		0.2	0.5								mA
IOH	max			ALL	H			2.6		15	15								mA
IOL	max			ALL	L			24		48	48								mA
IZL	max			ALL	L			20		50	50								μA
IZH	max			ALL	H			20		50	50								μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS							DF						
PHIL												DF	
RCA													
SIGNE					DF								
TI			D			D							
東芝													
SGS													
CYPRES													
IDT													

74845 8-bit bus interface latch with set and reset

VCC 24, $\overline{OE2}$ 23, Q0 22, Q1 21, Q2 20, Q3 19, Q4 18, Q5 17, Q6 16, Q7 15, $\overline{PRE}$ 14, LE 13

$\overline{OE0}$ 1, $\overline{OE1}$ 2, D0 3, D1 4, D2 5, D3 6, D4 7, D5 8, D6 9, D7 10, $\overline{MR}$ 11, GND 12

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	Dn	L→H	Qn	L→H								9.5				5.4		ns
tpd	max	Dn	L→H	Qn	H→L								9.5				6.8		ns
tpd	max	OE	H→L	Qn	Z→H								9.5				5.4		ns
tpd	max	OE	L→H	Qn	Z→L								9.5				6.1		ns
tpd	max	OE	H→L	Qn	H→Z								10.5				6.2		ns
tpd	max	OE	L→H	Qn	L→Z								10.5				6.4		ns
Icc	max				H								0.08				0.25		mA
Icc	max				L												30		mA
IIH	max	ALL	H														50		μA
IIL	max	ALL	L																μA
IOH	max			ALL	H														mA
IOL	max			ALL	L								24				64		mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS							DF						
PHIL												DF	
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT													

機 能 表

INPUTS					OUTPUTS	OPERATING MODE
$\overline{OEn}$	$\overline{PRE}$	$\overline{MR}$	LE	Dn	Qn	
L	L	X	X	X	H	Preset
L	H	L	X	X	L	Clear
L L	H H	H H	H H	L H	L H	Transparent
L L	H H	H H	↓ ↓	l h	L H	Latched
H	X	X	X	X	Z	High impedance
L	H	H	L	X	NC	Hold

74853 8-bit transceiver with 9-bit parity checker/generator and flag latch (3-State)

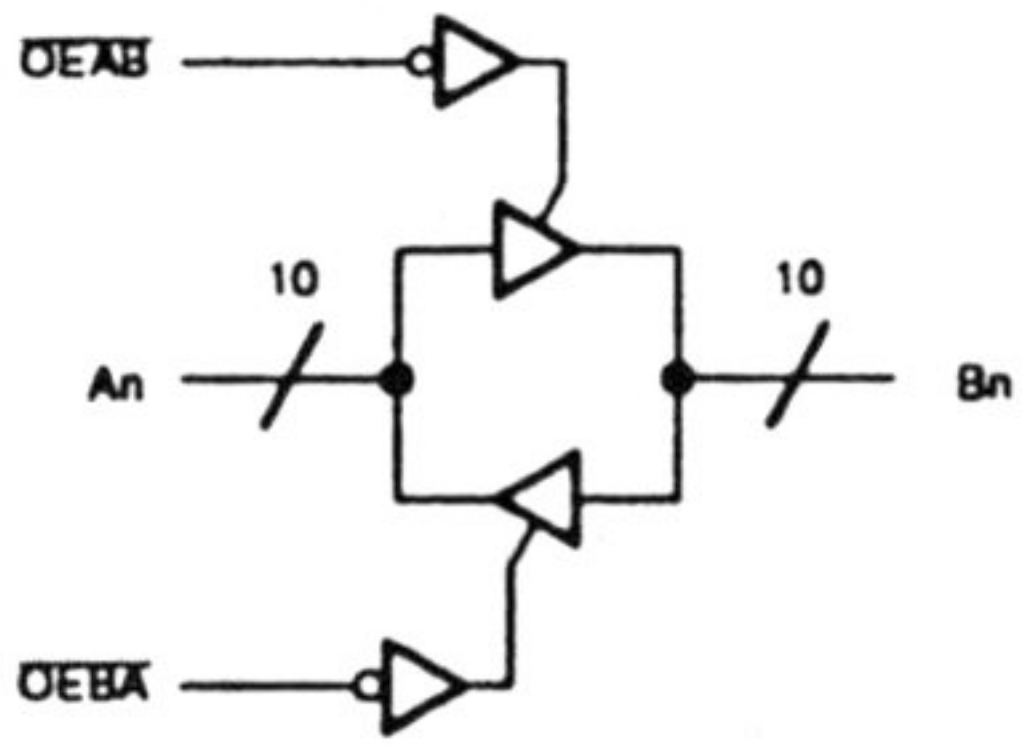
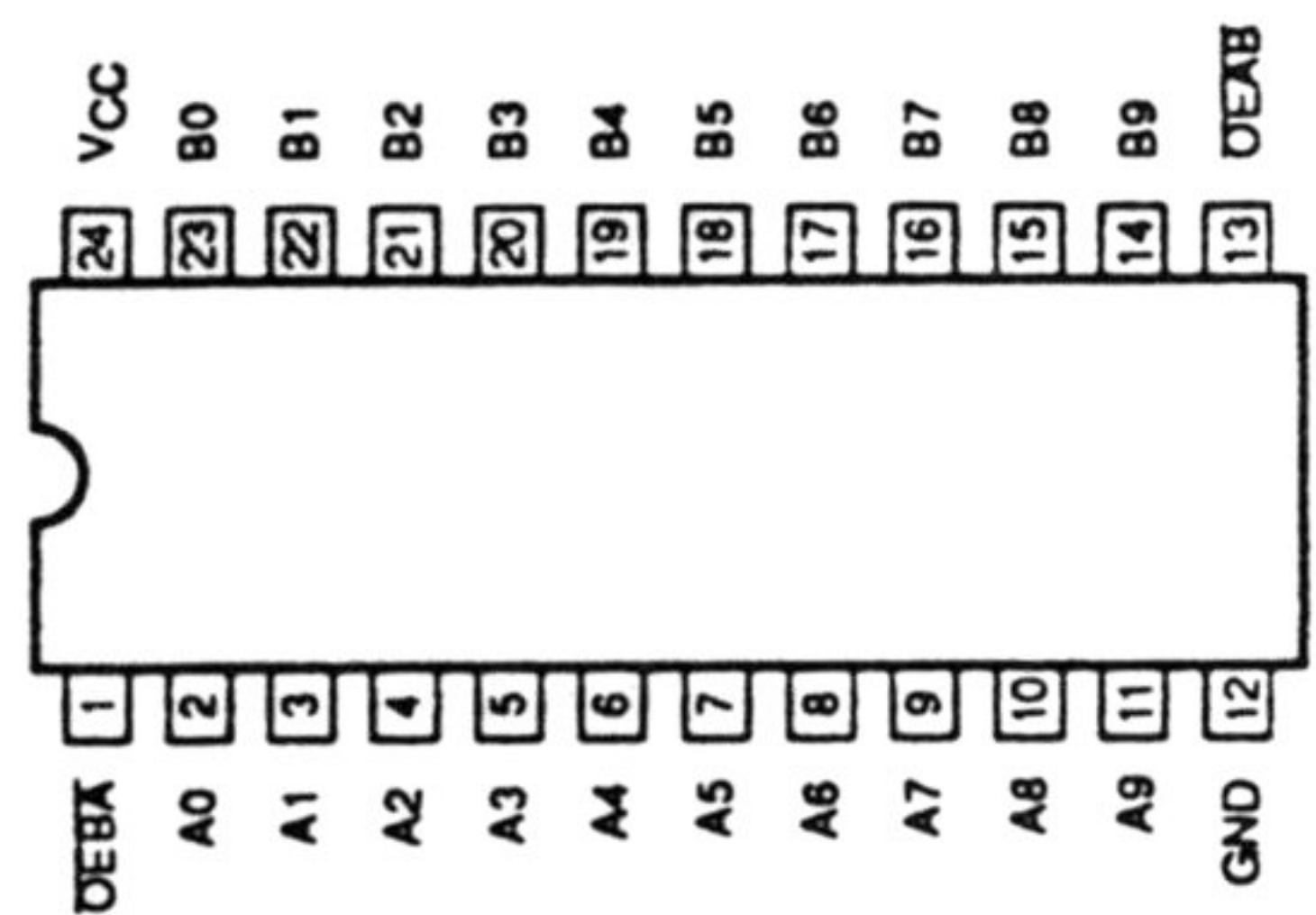
機 能 表

MODE	INPUTS				OUTPUTS		
	$\overline{OEB}$	$\overline{OEA}$	An Σ OF HIGHS	Bn + PARITY Σ OF HIGHS	An	Bn	PARITY
A data to B bus and generate odd parity output	L	H	Odd Even	(output)	(input)	An	L H
B data to A bus and check for parity error[1]	H	L	(output)	X	Bn	(input)	(input)
A bus and B bus disabled[2]	H	H	X	X	Z	Z	Z
A data to B bus and generate inverted parity output	L	L	Odd Even	(output)	(input)	An	H L

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	An	L→H	Bn	L→H												4.8		ns
tpd	max		H→L		H→L												4.0		ns
tpd	max		H→L		Z→H												5.1		mA
tpd	max		L→H		Z→L												5.8		mA
tpd	max		H→L		H→Z												7.3		mA
tpd	max		L→H		L→Z												7.2		mA
Icc	max				H												0.05		mA
Icc	max				L												38		mA
IIH	max		H														0.05		mA
IIL	max		L																mA
IOH	max				H														mA
IOL	max				L												64		mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS													
PHIL												DF	
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT													

74861 10-bit bus transceiver (3-State)

機 能 表

INPUTS		OPERATING MODE
$\overline{OEAB}$	$\overline{OEBA}$	
L	H	A data to B bus
H	L	B data to A bus
H	H	Z

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	An	L→H	Bn	L→H												4.9		ns
tpd	max		H→L		H→L												4.9		ns
tpd	max		H→L		Z→H												5.0		ns
tpd	max		H→L		Z→L												6.0		ns
tpd	max		L→H		H→Z												6.5		ns
tpd	max		L→H		L→Z												6.6		ns
Icc	max				H												0.05		mA
Icc	max				L												38		mA
IIH	max		H														0.05		mA
IIL	max		L																mA
IOH	max				H														mA
IOL	max				L												64		mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS													
PHIL												DF	
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT							DF						

74873　Dual 4-Bit 3-State D-Latches

○クリア端子つき

○3ステート出力

入力				出力
$\overline{OC}$	$\overline{CLR}$	イネーブルC	D	Q
L	L	X	X	L
L	H	H	H	H
L	H	H	L	L
L	H	L	X	Q_0
H	X	X	X	Z

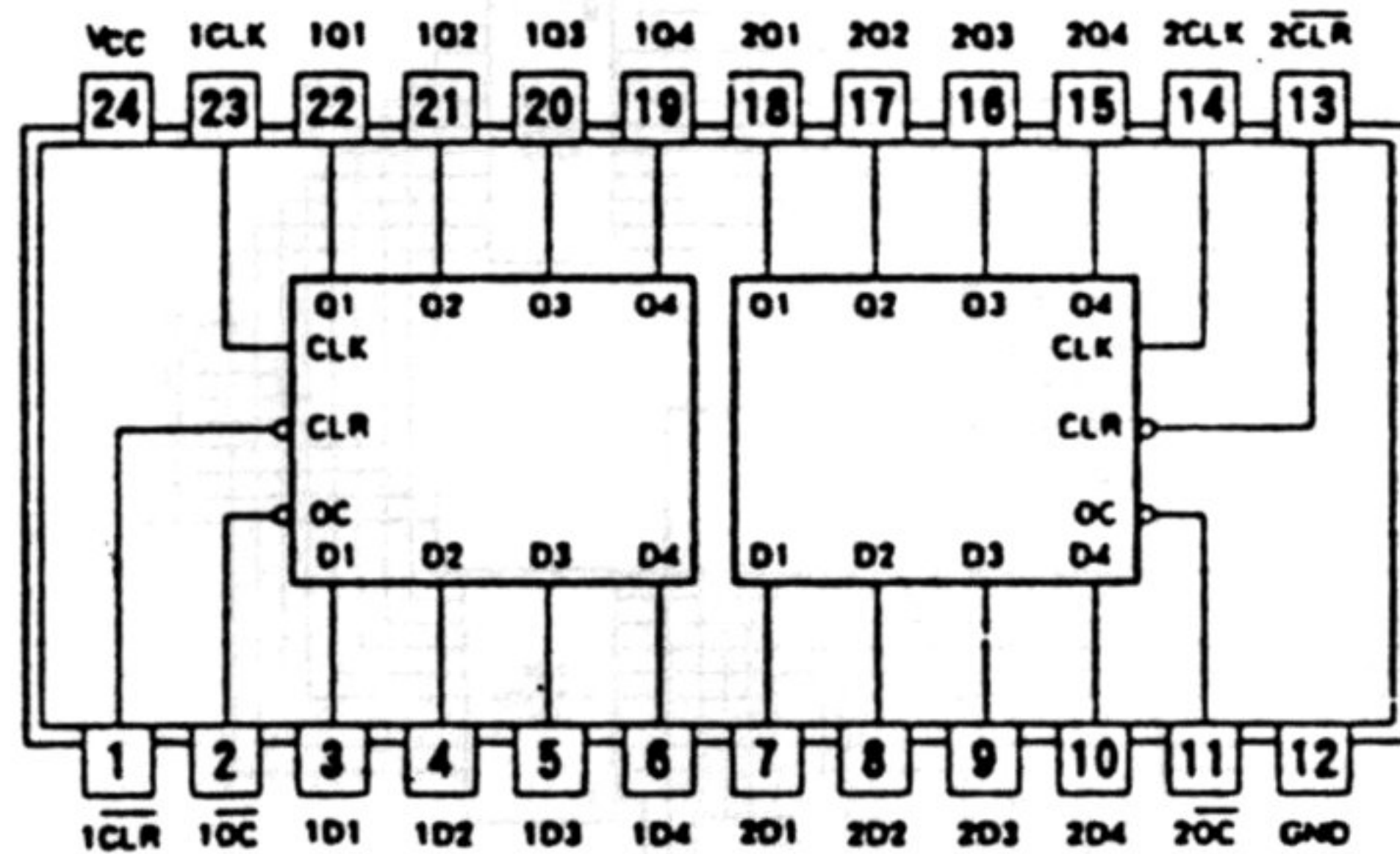
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	ENABLE						15			4.5								ns
tsu	min	DATA						10↓			2↓								ns
thold	min	DATA						7↓			3↓								ns
tpd	max	C		Q				22			11.5								ns
tpd	max	DATA		Q				14			6								ns
tpd	max	OUT.C.	N	Q	X→Z			13			7.5								ns
tpd	max	OUT.C.	A	Q	Z→X			18			9.5								ns
Icc	max							31			129								mA
IIH	max	ALL	H					20			20								μA
IIL	max	ALL	L					0.1			0.5								mA
IOH	max			Q	H			2.6			15								mA
IOL	max			Q	L			24			48								mA
IZL	max			Q	L			20			50								μA
IZH	max			Q	H			20			50								μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS			DF			DF								
PHIL														
RCA														
SIGNE							DF	DF						
TI			D			D	D	D						
東芝														
SGS														
CYPRES														
IDT														

74874　　Dual 4-Bit 3-State D-FFs

VCC 1CLK 1Q1 1Q2 1Q3 1Q4 2Q1 2Q2 2Q3 2Q4 2CLK 2$\overline{CLR}$
24 23 22 21 20 19 18 17 16 15 14 13

Q1 Q2 Q3 Q4 CLK CLR OC D1 D2 D3 D4
Q1 Q2 Q3 Q4 CLK CLR OC D1 D2 D3 D4

1 2 3 4 5 6 7 8 9 10 11 12
1$\overline{CLR}$ 1$\overline{OC}$ 1D1 1D2 1D3 1D4 2D1 2D2 2D3 2D4 2$\overline{OC}$ GND

○リーディングエッジトリガ（POS）
○クリア端子つき
○３ステート出力

入	力			出 力
$\overline{OC}$	$\overline{CLR}$	CLK	D	Q
L	L	X	X	L
L	H	↑	H	H
L	H	↑	L	L
L	H	L	X	Q_0
H	X	X	X	Z

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK						30			125								MHz
tw	min	CLK						16.5			4								ns
tsu	min	DATA						15↑			2↑								ns
thold	min	DATA						0↑			1↑								ns
tpd	max	CLK		Q				14			10.5								ns
tpd	max	OUT.C.	N	Q	X→Z			12			7.5								ns
tpd	max	OUT.C.	A	Q	Z→X			18			10.5								ns
Icc	max							32			160								mA
IIH	max	OC, CLK	H					20			20								μA
IIL	max	OC, CLK	L					0.2			0.5								mA
IIH	max	DATA	H					20			20								μA
IIL	max	DATA	L					0.2			2								mA
IOH	max			Q	H			2.6			15								mA
IOL	max			Q	L			24			48								mA
IZL	max			Q	H			20			50								μA
IZH	max			Q	L			20			50								μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS			DF			DF								
PHIL														
RCA														
SIGNE							DF	DF						
TI			DF			D	D	D						
東芝														
SGS														
CYPRES														
IDT														

74899 9-bit dual latch transceiver with 8-bit parity generator/checker (3-State)

Pin	Name	Pin	Name
1	ODD/$\overline{\text{EVEN}}$	28	VCC
2	$\overline{\text{ERRA}}$	27	$\overline{\text{OEB}}$
3	LEA	26	B0
4	A0	25	B1
5	A1	24	B2
6	A2	23	B3
7	A3	22	B4
8	A4	21	B5
9	A5	20	B6
10	A6	19	B7
11	A7	18	BPAR
12	APAR	17	LEB
13	$\overline{\text{OEA}}$	16	SEL
14	GND	15	$\overline{\text{ERRB}}$

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	An	L→H	Bn	L→H							15	11.5				4.5		ns
tpd	max		H→L		H→L							10	11.5				4.1		ns
tpd	max		H→L		Z→H							15.5	9				4.3		mA
tpd	max		H→L		Z→L							10.5	9				4.8		mA
tpd	max		L→H		H→Z							14	9.5				4.7		mA
tpd	max		L→H		L→Z							9.5	9.5				4.2		mA
Icc	max				H							0.08	0.08				0.25		mA
Icc	max				L												34		mA
IIH	max		H														0.05		mA
IIL	max		L																mA
IOH	max				H														mA
IOL	max				L							24	24				64		mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立													
MOT													
日電													
NS							DF	DF					
PHIL												DF	
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT													

機能表

INPUTS					OPERATING MODE
$\overline{\text{OEB}}$	$\overline{\text{OEA}}$	SEL	LEA	LEB	
H	H	X	X	X	3-State A bus and B bus (input A & B simultaneously)
H	L	L	L	H	B → A, transparent B latch, generate parity from B0 – B7, check B bus parity
H	L	L	H	H	B → A, transparent A & B latch, generate parity from B0 – B7, check A & B bus parity
H	L	L	X	L	B → A, B bus latched, generate parity from latched B0 – B7 data, check B bus parity
H	L	H	X	H	B → A, transparent B latch, parity feed-through, check B bus parity
H	L	H	H	H	B → A, transparent A & B latch, parity feed-through, check A & B bus parity
L	H	L	H	X	A → B, transparent A latch, generate parity from A0 – A7, check A bus parity
L	H	L	H	H	A → B, transparent A & B latch, generate parity from A0 – A7, check A & B bus parity
L	H	L	L	X	A → B, A bus latched, generate parity from latched A0 – A7 data, check A bus parity
L	H	H	H	L	A → B, transparent A latch, parity feed-through, check A bus parity
L	H	H	H	H	A → B, transparent A & B latch, parity feed-through, check A & B bus parity
L	L	X	X	X	Output to A bus and B bus (NOT ALLOWED)

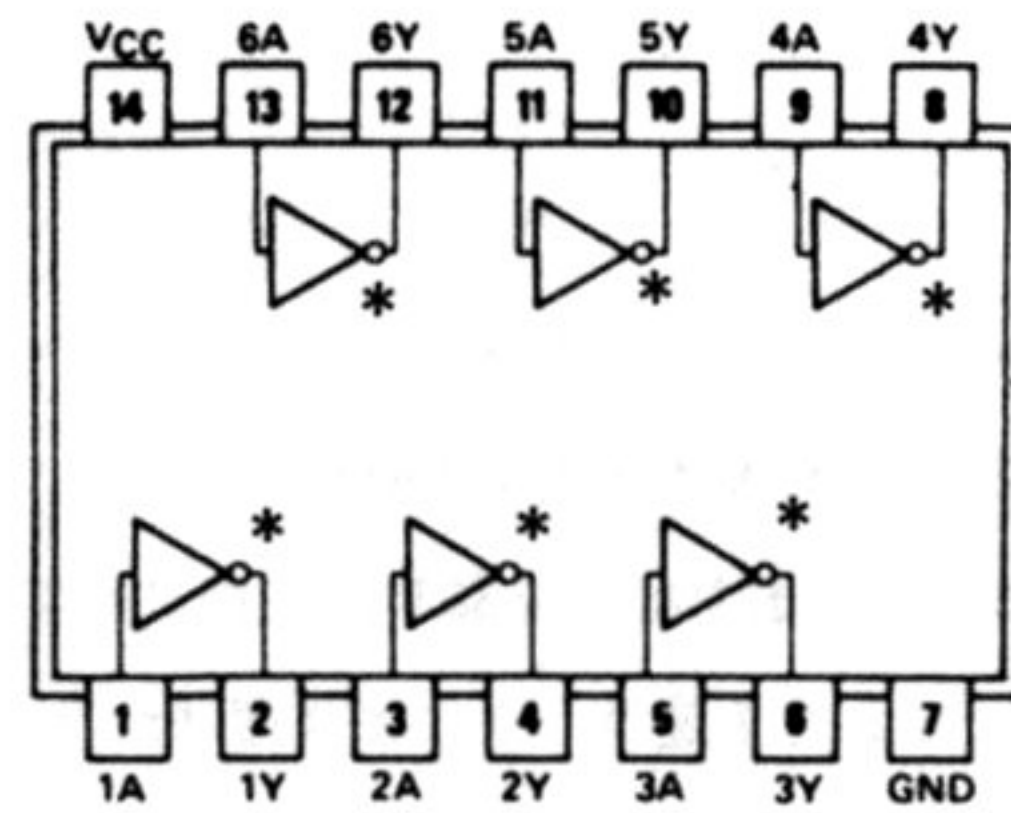
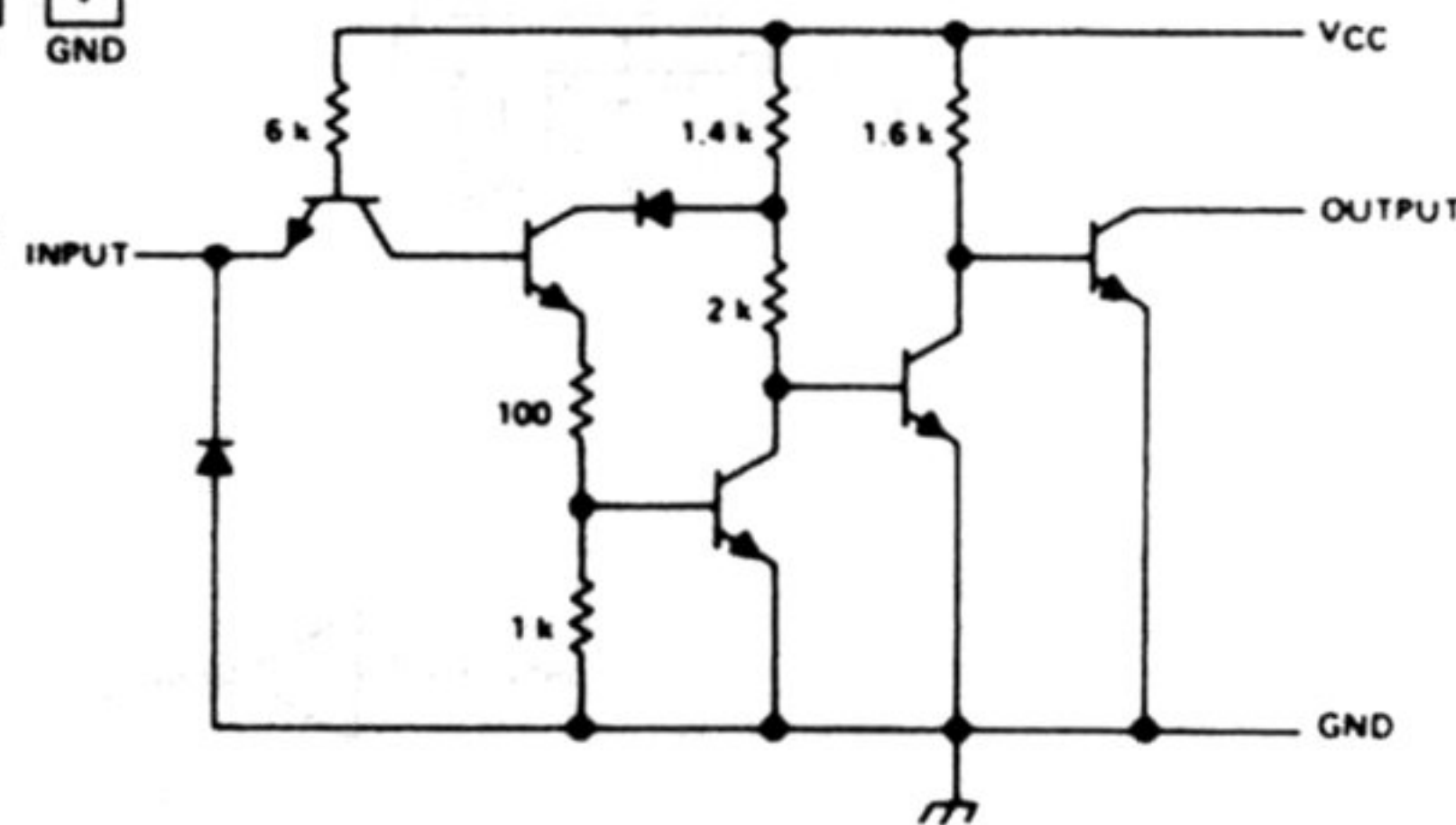
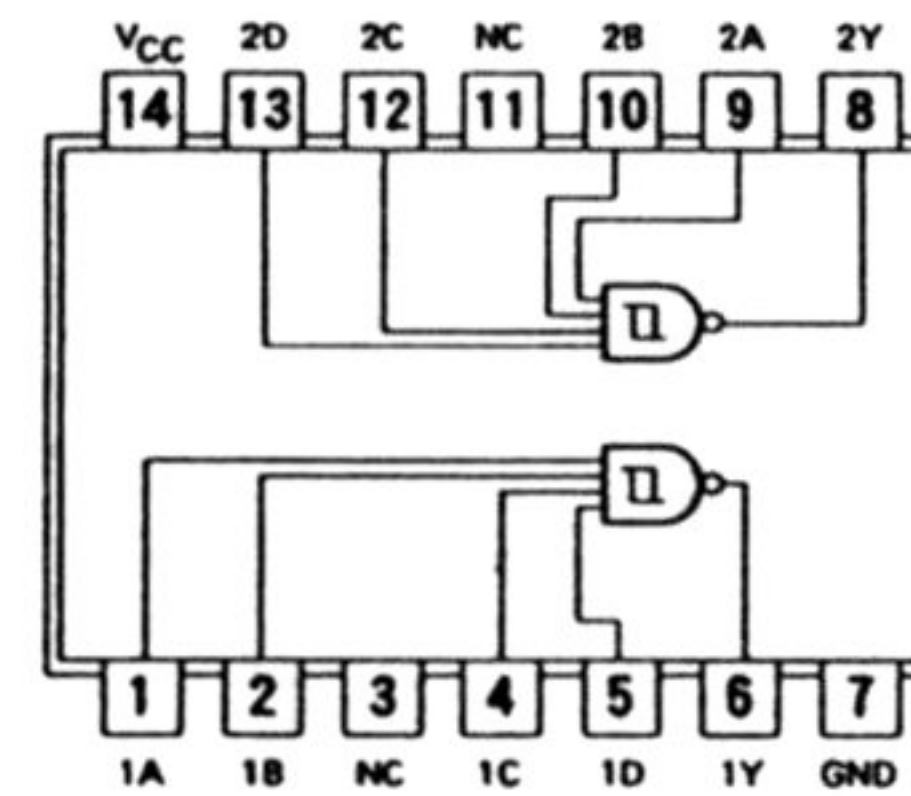
準推奨品一覧

ここには74シリーズＩＣの中でもあまり使われなくなった番号のものや，まだ使う人が少ないものを収録してあります．

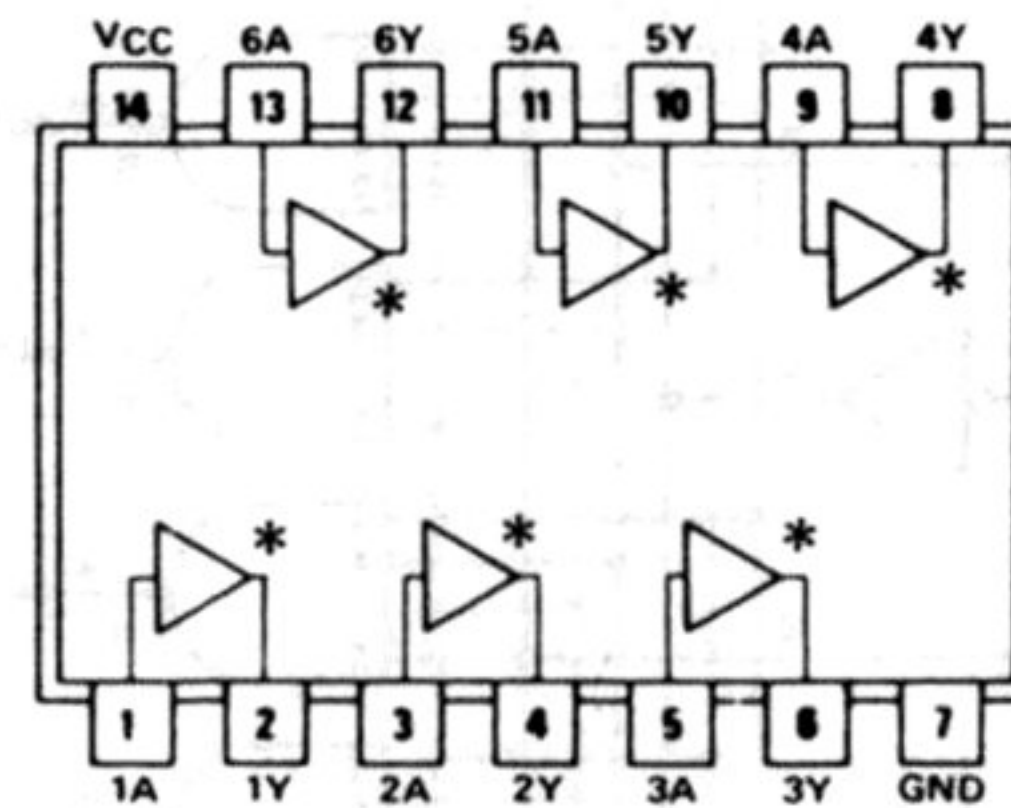
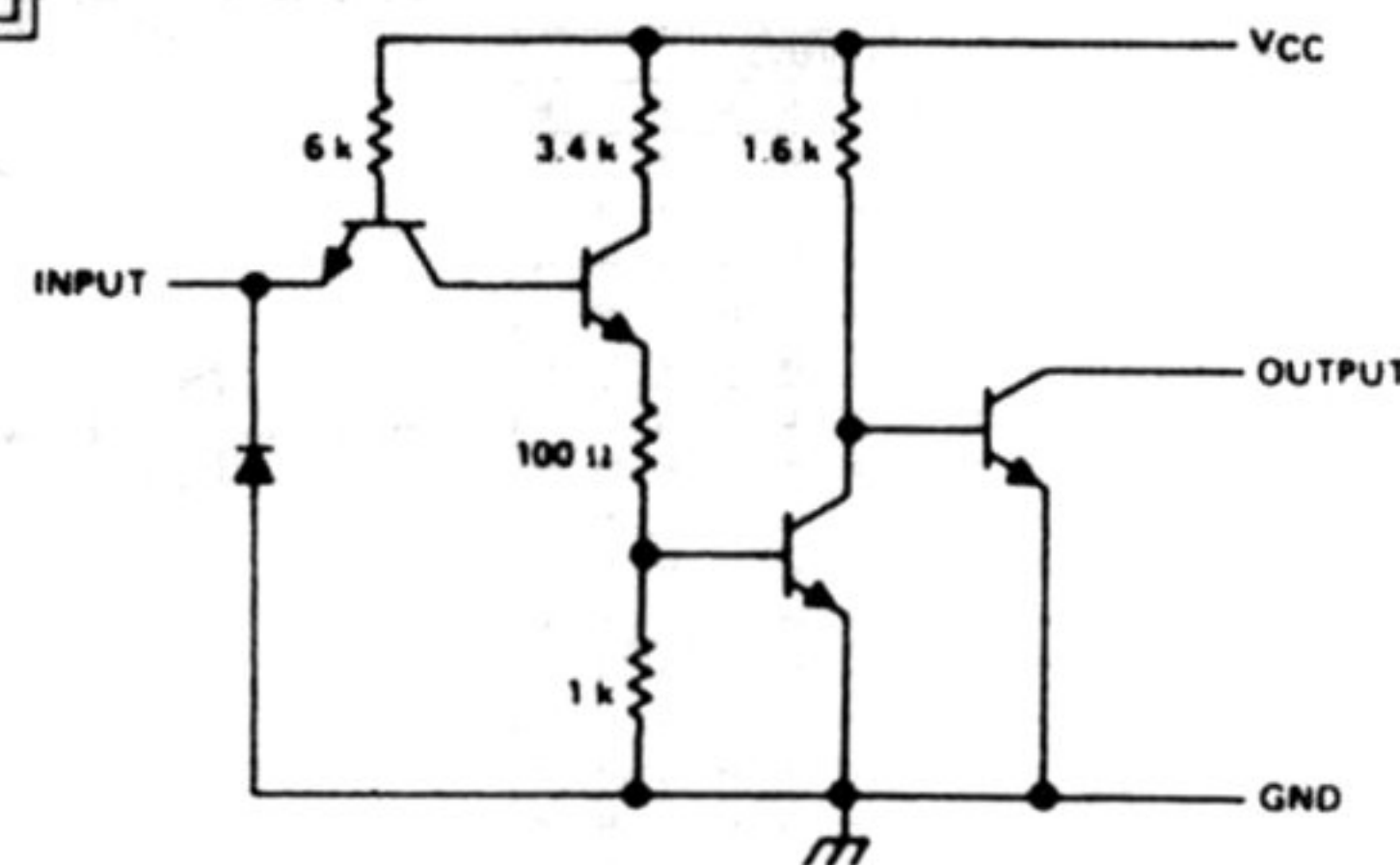
データ量の都合で，１ページを２～４分割にして載せてあります．そのため，伝搬遅延時間などの定量的なデータやセカンドソースのリストは割愛しました．今後セカンドソースが増えたり利用者が増えた時には，前半部の１ページタイプの規格表に移し，必要なデータを掲載する予定です．また，セカンドソースの減少など使われなくなった番号のものは，順次この２分割掲載に移します．

なおここにも掲載されていない番号は，64バイト以上のメモリとデータ不要と判断した番号です．非掲載の番号の規格は，メモリはメモリＩＣ規格表を参照し，74シリーズは各社版の規格表を参照してください．

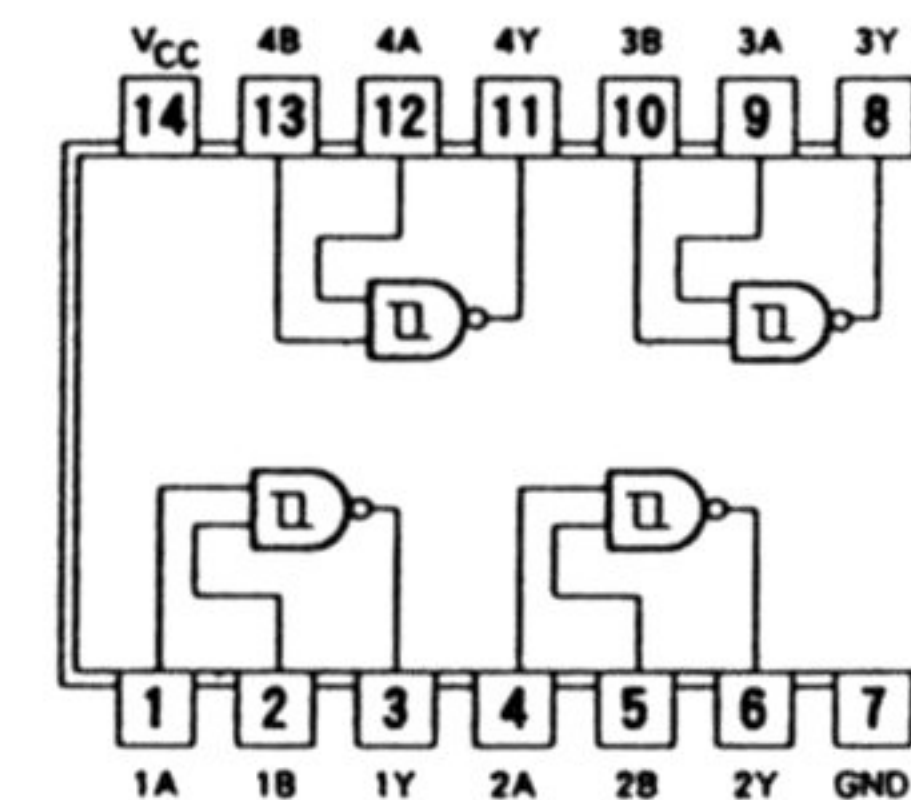
7416, 7417, 7418, 7424

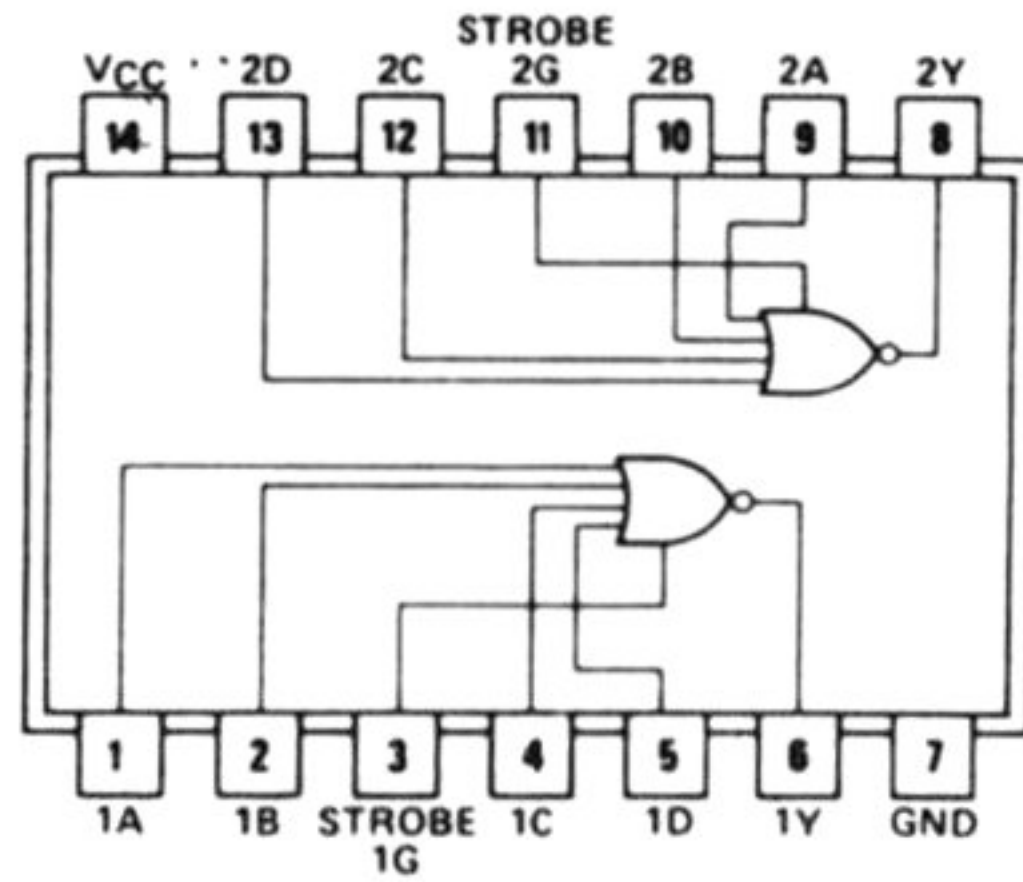
7416 HEX O. C. INVERTERS

○7405の高耐圧出力型（15V）

7418 DUAL 4-INPUT POSITIVE-NAND SCHMITT TRIGGERS

● PNP入力による低入力電流化
● ヒステリシス幅が0.9V（TYP）と広いため，波形整形などに最適

$Y=\overline{ABCD}$

7417 HEX O. C. BUFFERS

○高耐圧バッファ（15V）

7424 QUADRUPLE 2-INPUT POSITIVE-NAND SCHMITT TRIGGERS

● PNP入力による低入力電流化
● ヒステリシス幅が0.9V（TYP）と広いため，波形整形などに最適

$Y=\overline{AB}$

7425, 7439, 7445

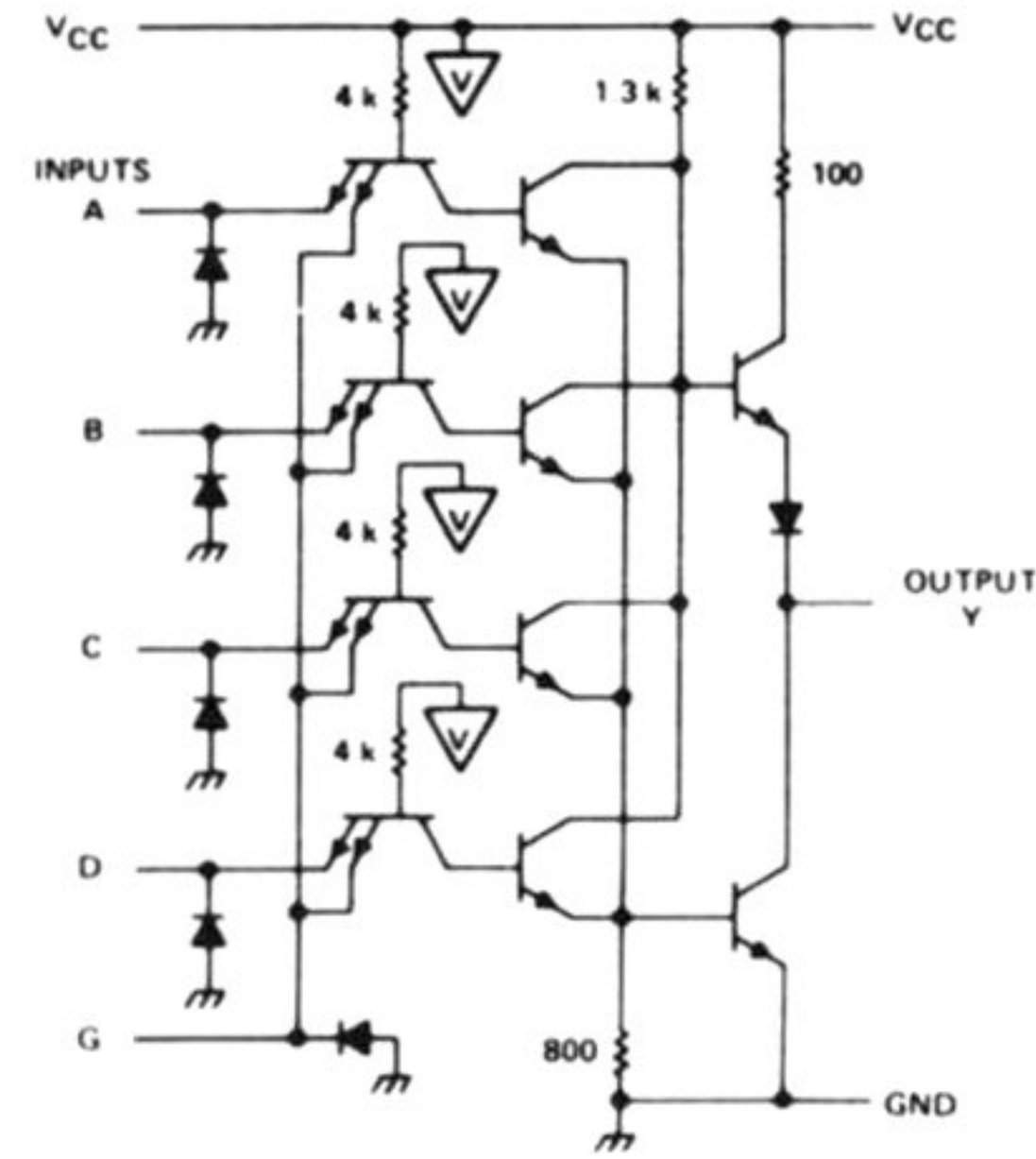
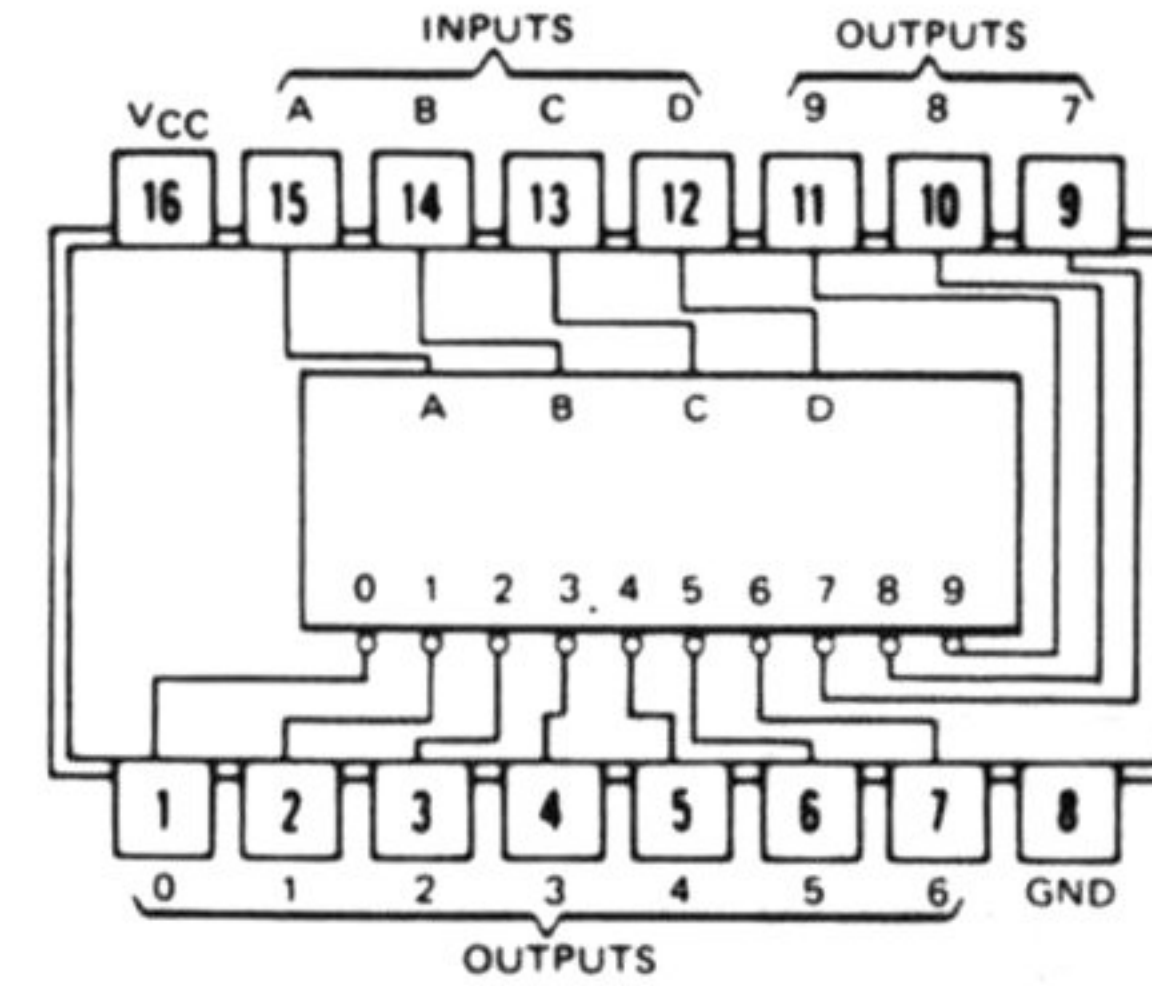
7425 DUAL 4 INPUT NOR (WITH STROBE)

○7423からEXP端子を省いたタイプ

○ストローブ入力は一般の入力に比べて4倍重いので注意

7439 QUAD 2 INPUT O. C. NAND BUFFERS

○7401のバッファタイプ

○入出力の向きは一般のゲートと逆（7401と同じ）

○特性は7438と同一

7445 O. C. BCD TO DECIMAL DECODER/DRIVER

○7442のオープンコレクタ、バッファタイプ

○出力端子の最大流入電流80mA

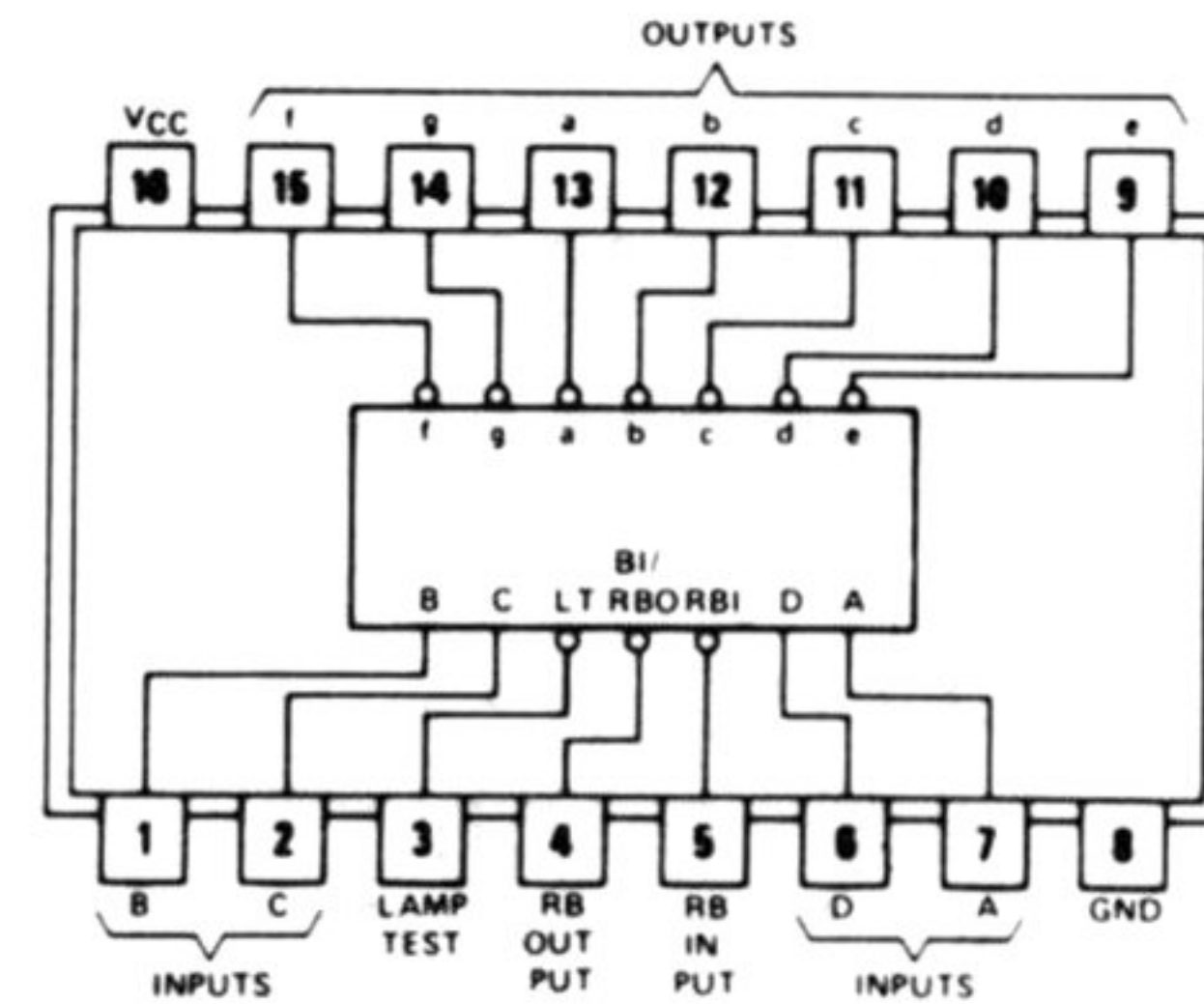
○74145の最大出力耐圧を30Vにしたタイプ

○入力に加えた2進コードにより選ばれた出力がLになる

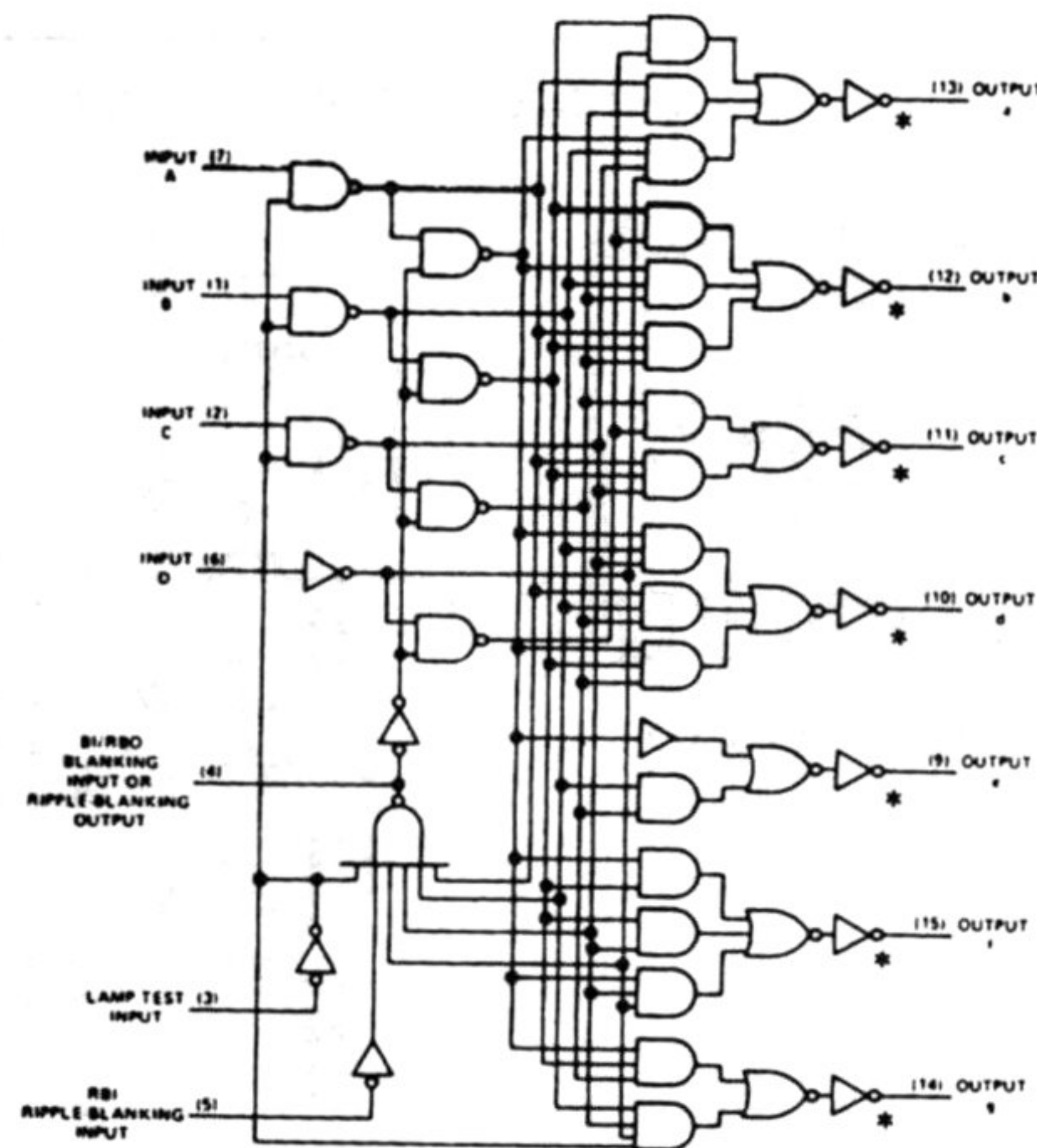
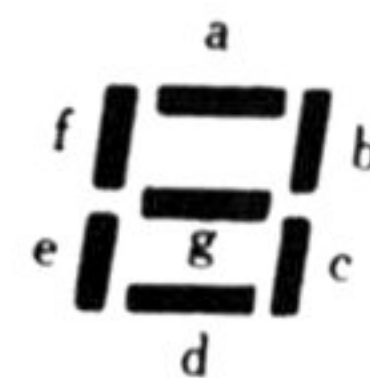
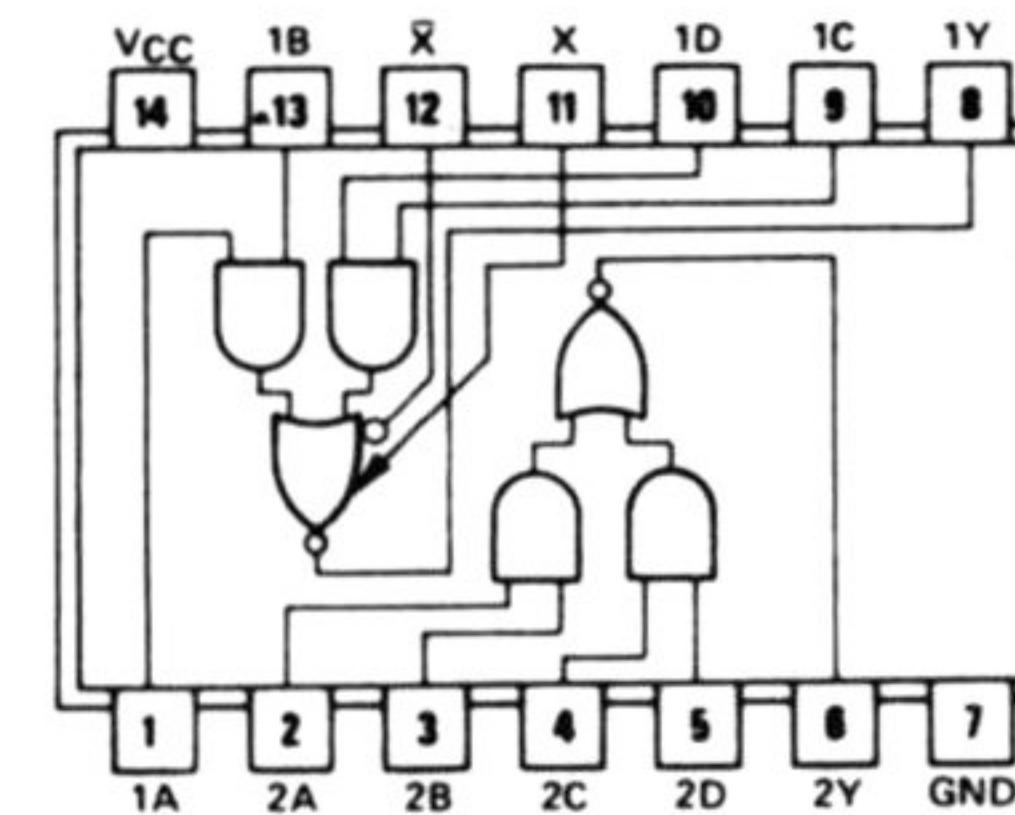
FUNCTION TABLE

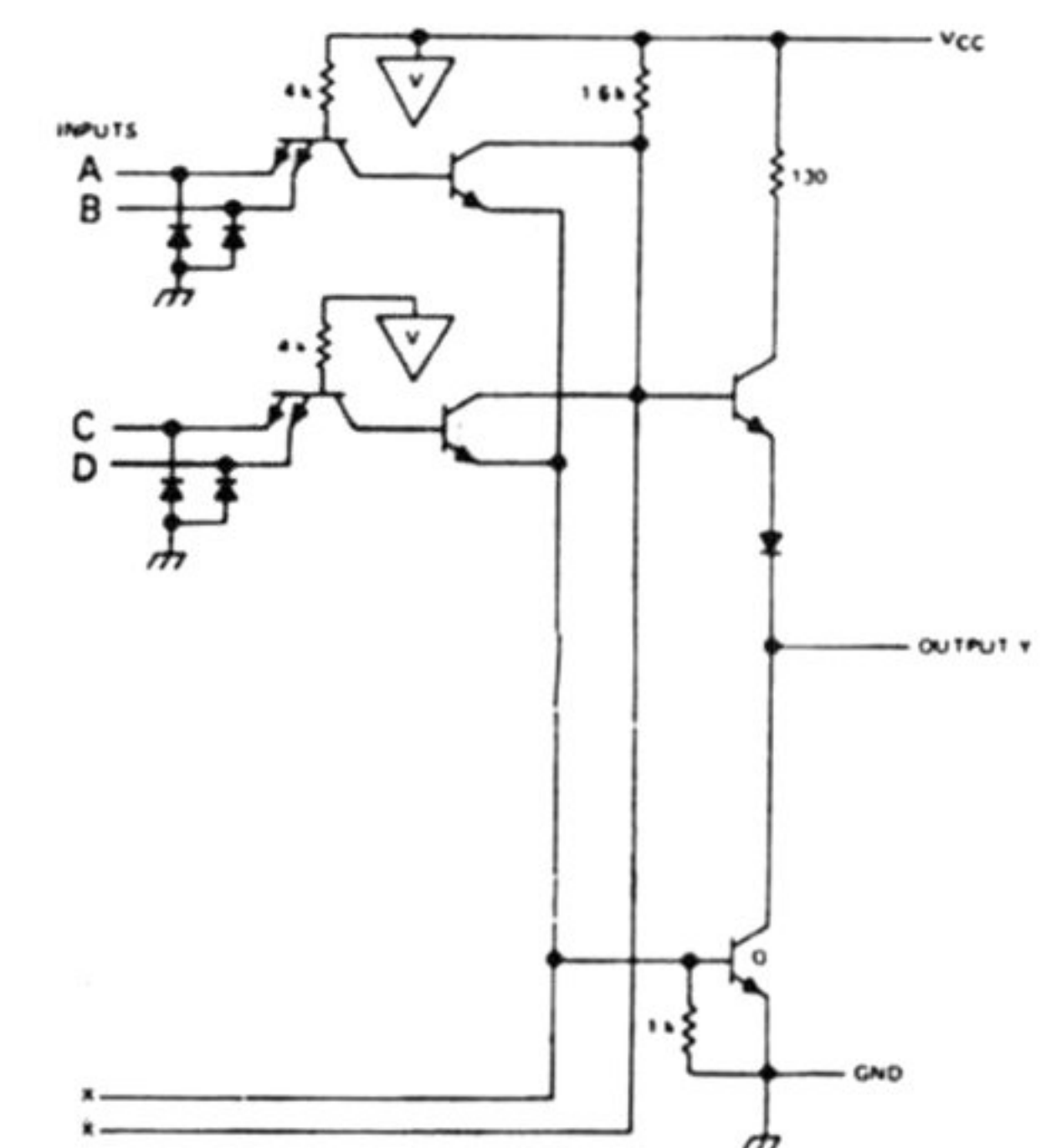
NO.	INPUTS				OUTPUTS									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

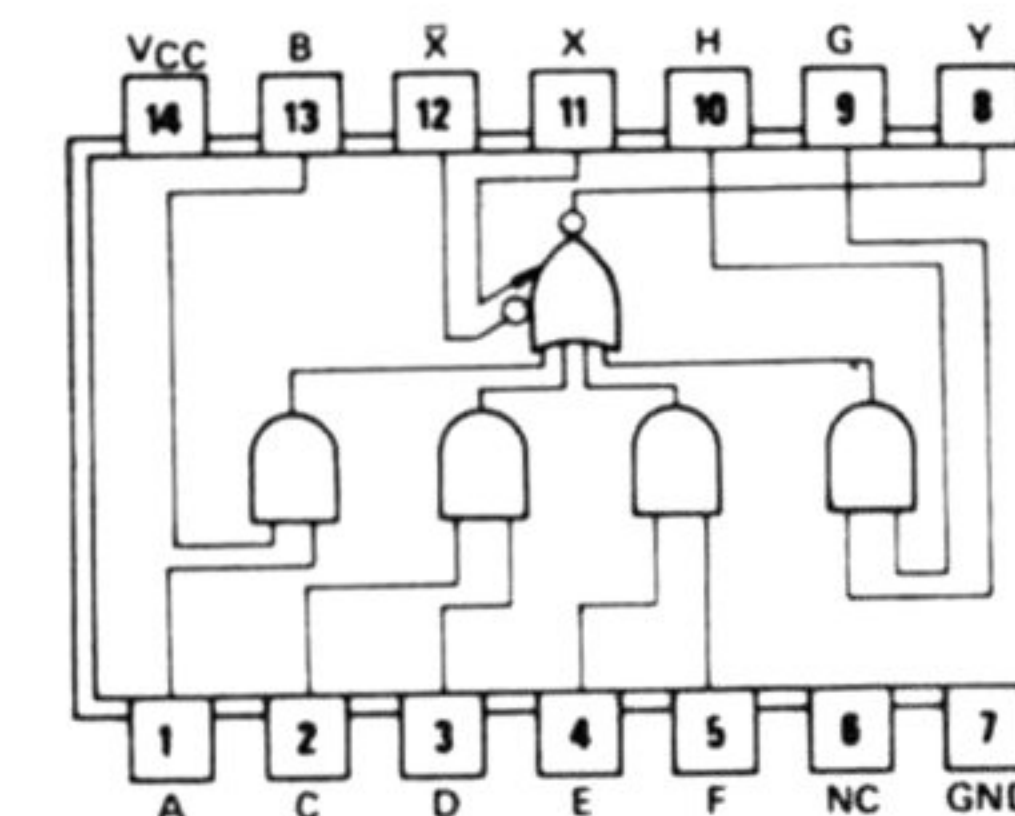
7446, 7450, 7453

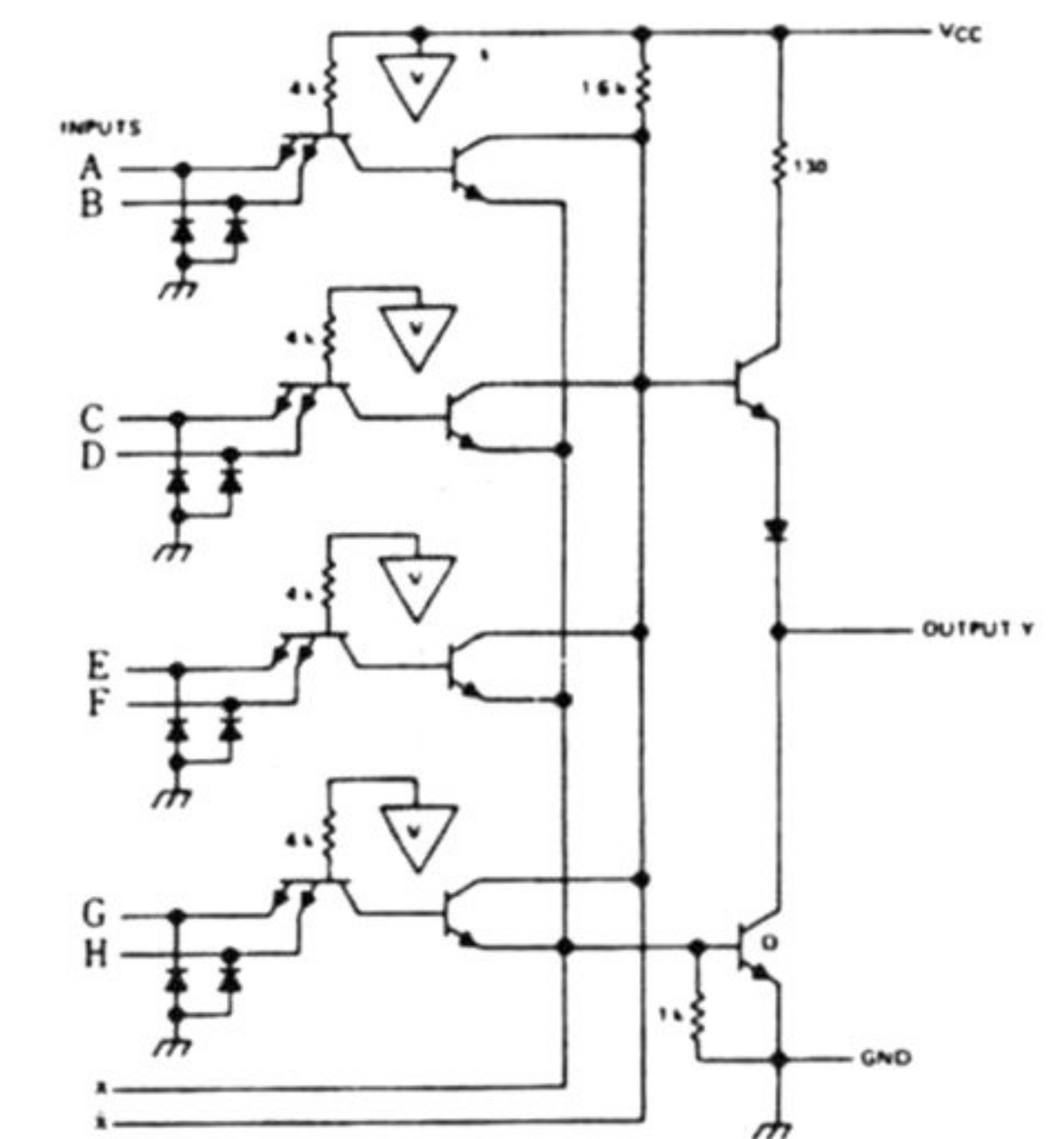
7446 BCD TO 7 SEGMENT DECODER DRIVER

○オープンコレクタ出力

○7446と7447は出力耐圧が異なるのみ他は同一

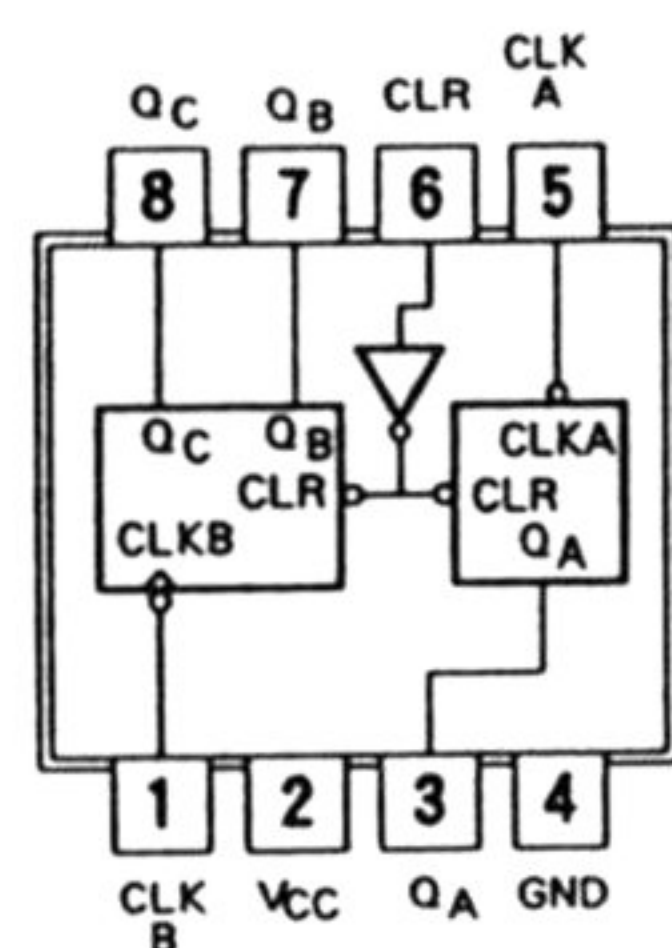
○7446と74246, 7447と74247はそれぞれ6および9の字形が異なるのみで他は同一．したがって交換可能

7450 DUAL EXP. 2W-2 INPUT AND-OR-INV

○7451にExp端子を付けたタイプ

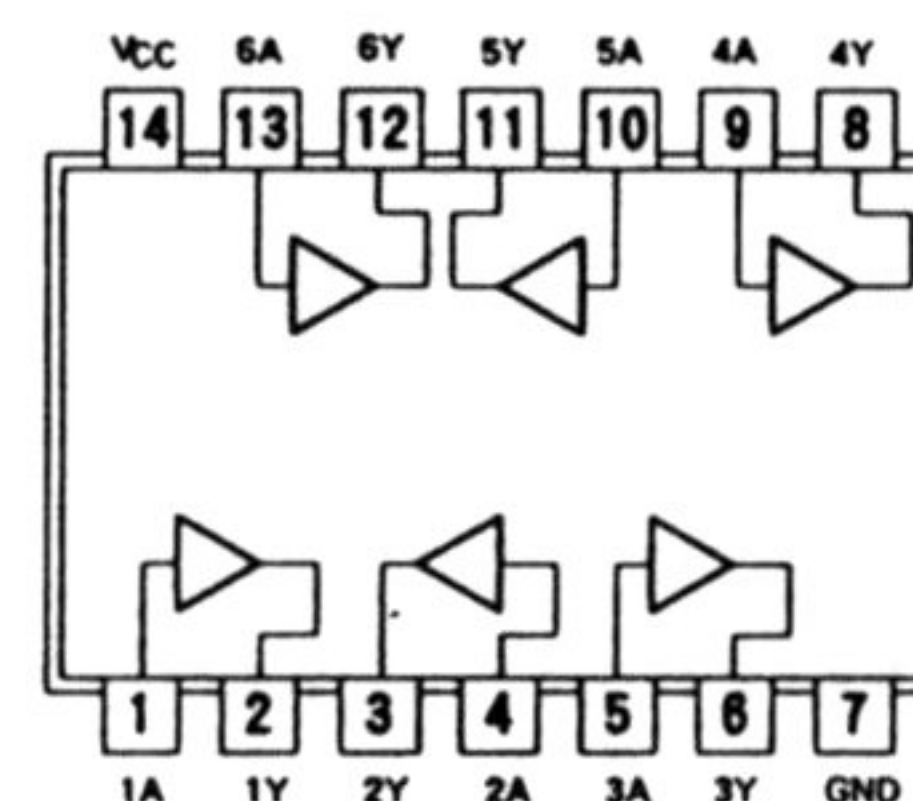
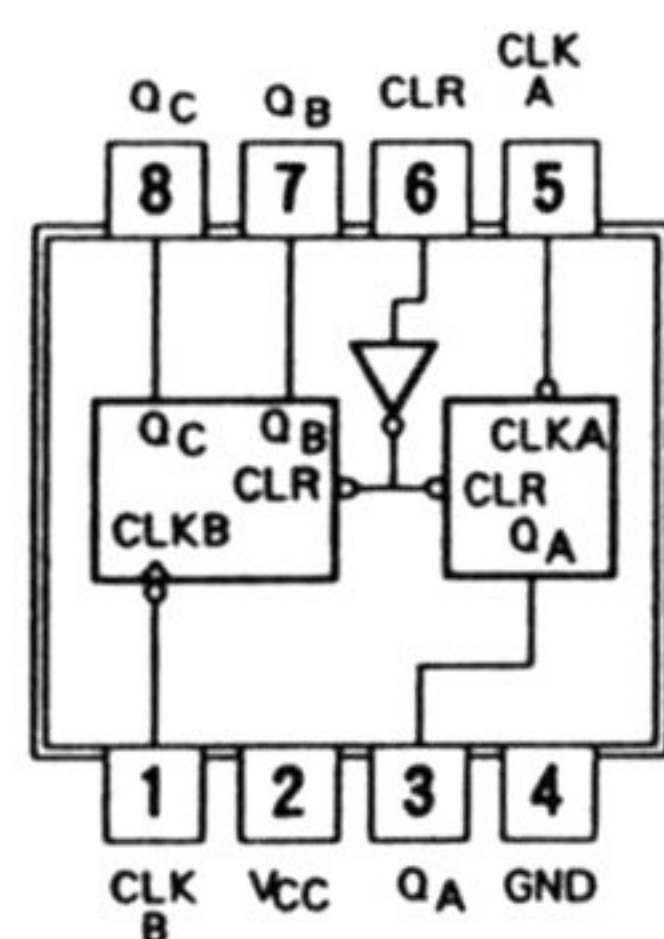
○7460の項参照

エキスパンダ・ゲートを付けないときは, X, $\overline{X}$はオープンにする

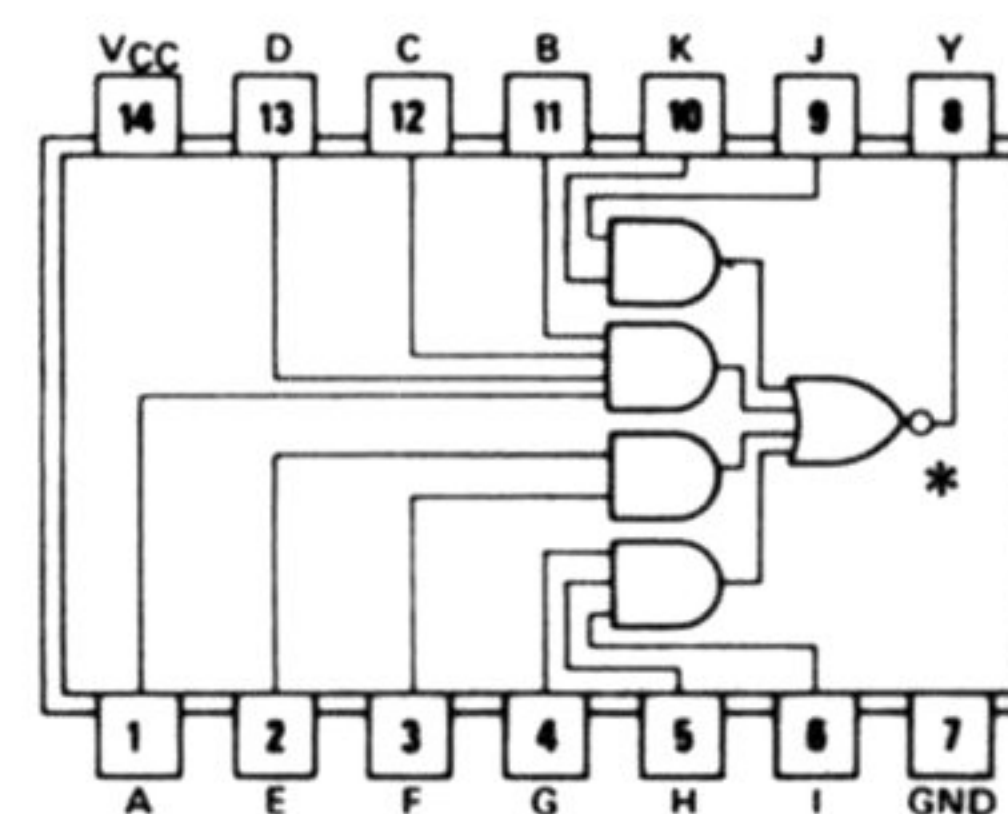
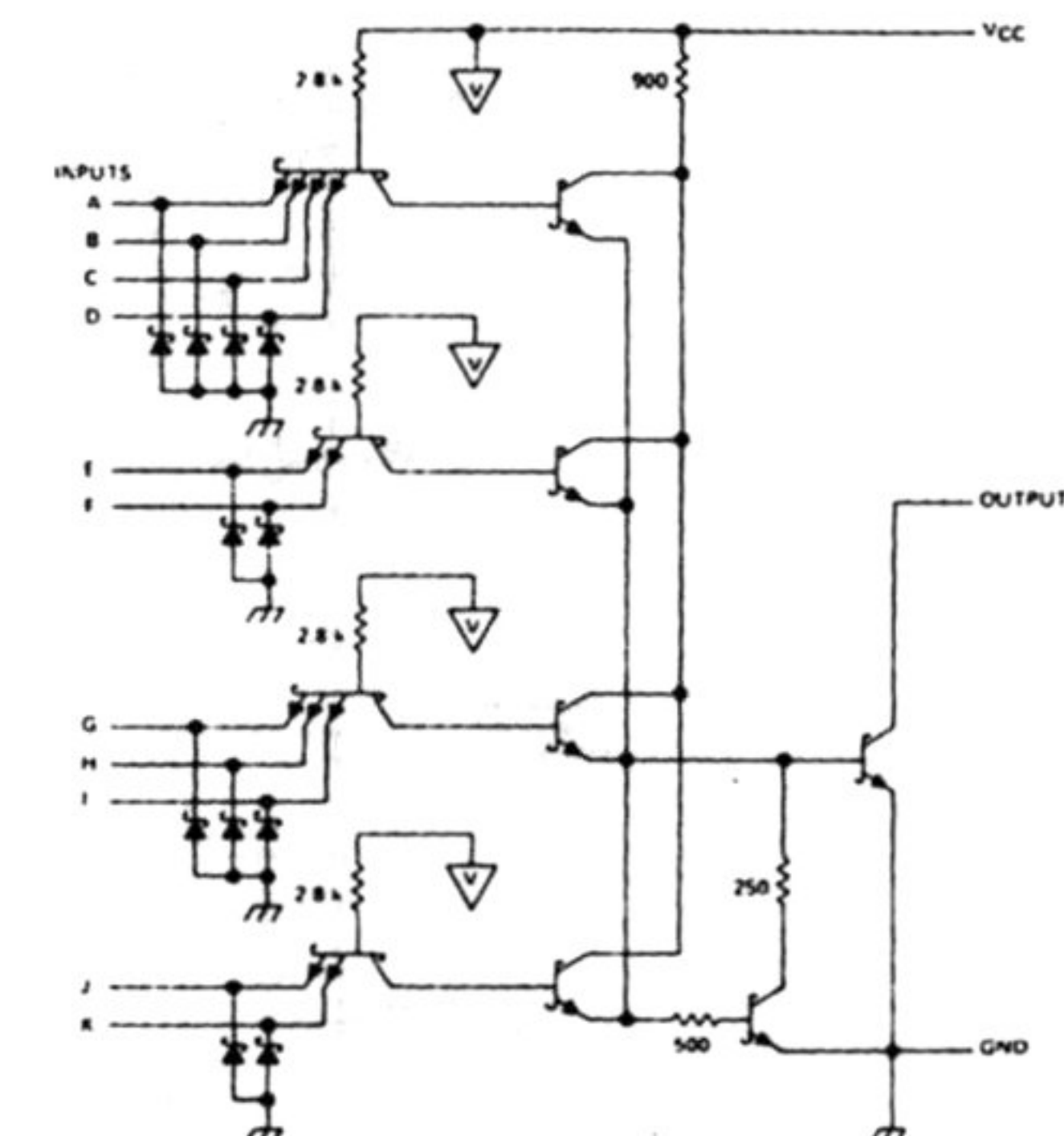
7453 EXP. 4W-2 INPUT AND-OR-INV

○7454にExp端子を付けたタイプ

○7460の項参照

If expander is not used, leave X and $\overline{X}$ open.

7456, 7457, 7463, 7465

7456 50-TO-1 FREQUENCY DIVIDERS

●周波数を 1/5 (Q_A), 1/5 (Q_B), 1/2 (Q_C) で分周
●8ピン・デュアル・インライン（Pパッケージ）
●最大動作周波数は標準 25MHz

7463 HEX CURRENT-SENSING INTERFACE GATES

7457 60-TO-1 FREQUENCY DIVIDERS

●周波数を 1/5 (Q_A), 1/5 (Q_B), 1/2 (Q_C) で分周
●8ピン・デュアル・インライン（Pパッケージ）
●最大動作周波数は標準 25MHz

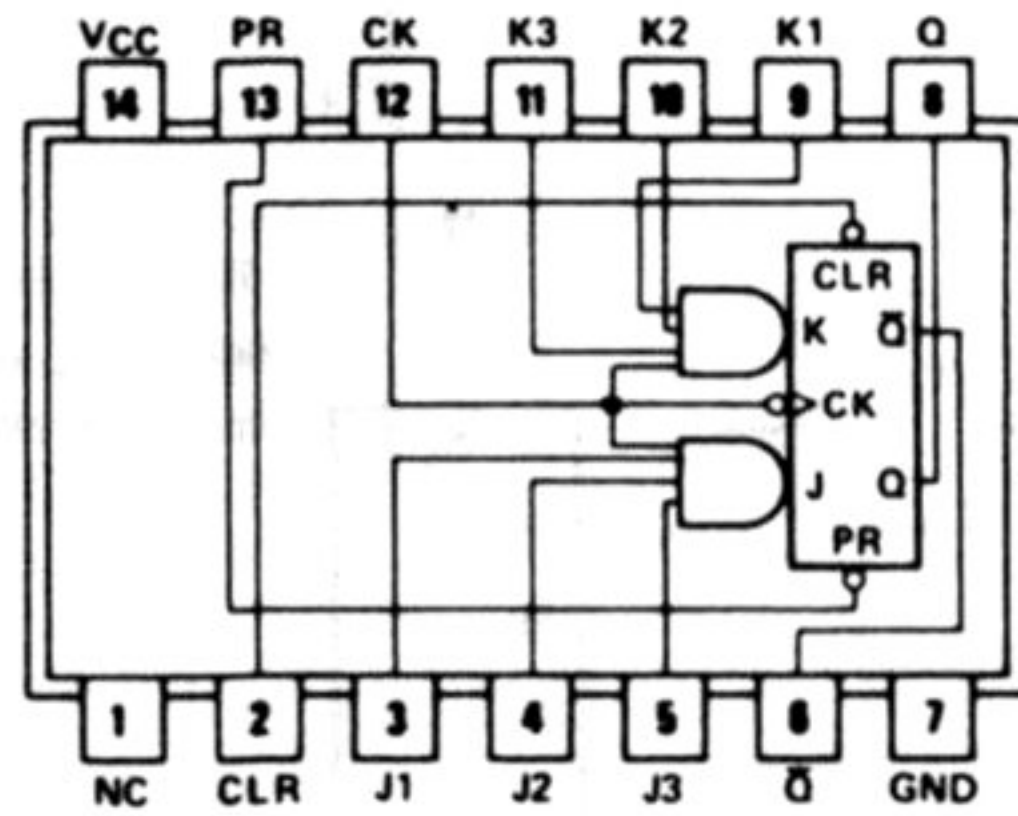
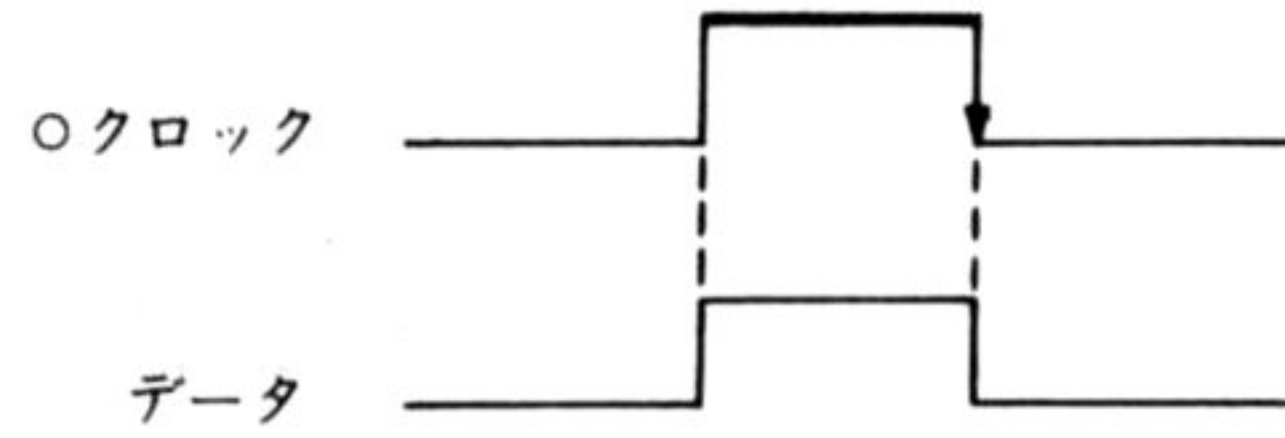
7465 4-2-3-2 INPUT O. C. AND-OR-INV

○74S64のオープンコレクタタイプ

7472, 7496

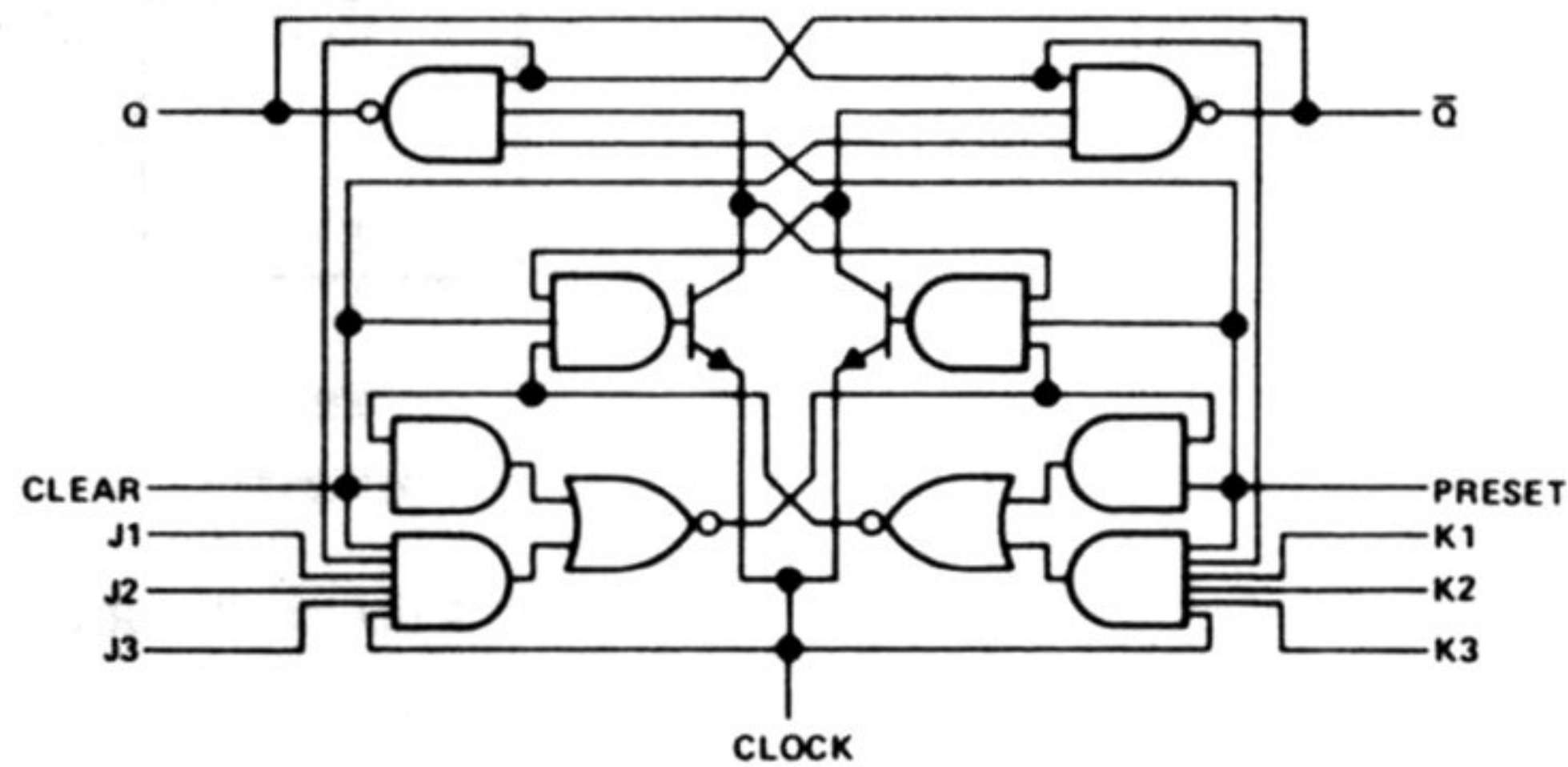
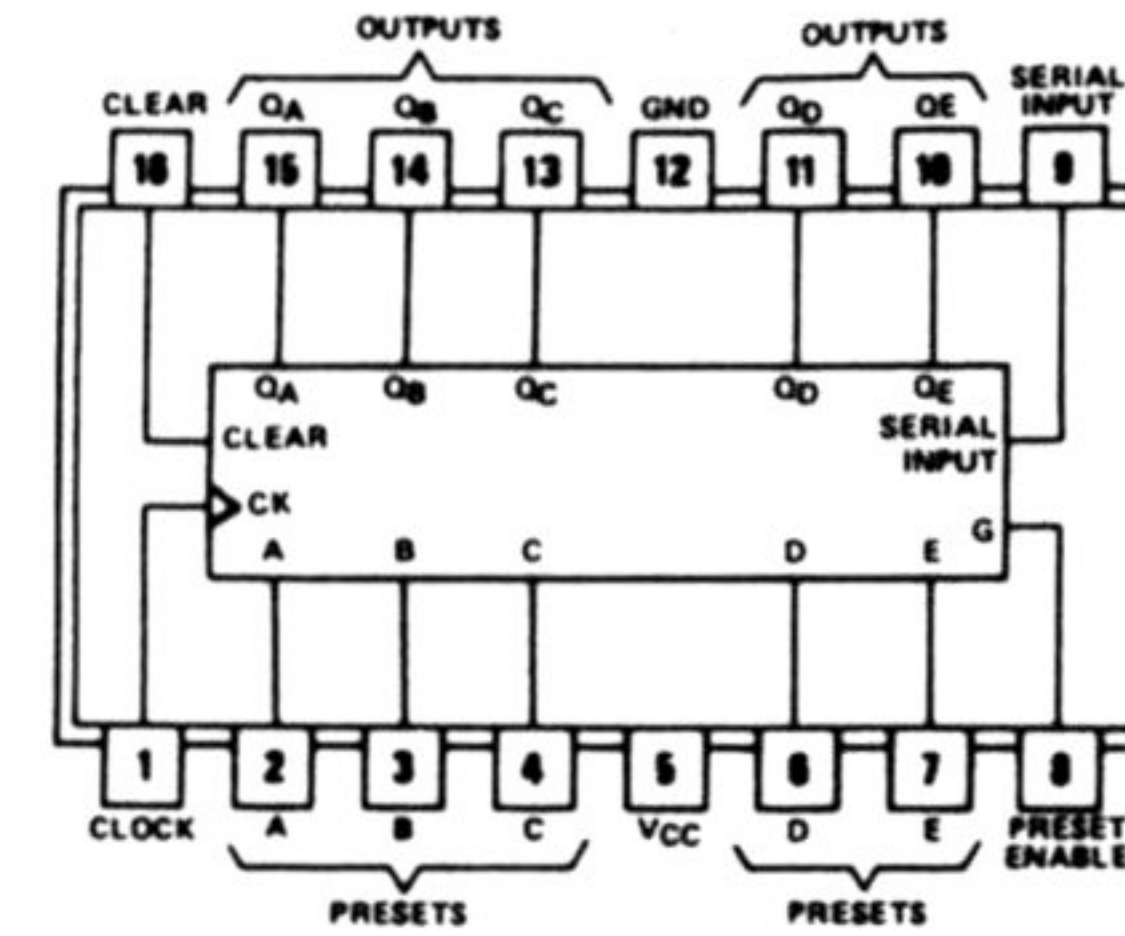
7472 AND-GATED JK-FF WITH PRESET AND CLEAR

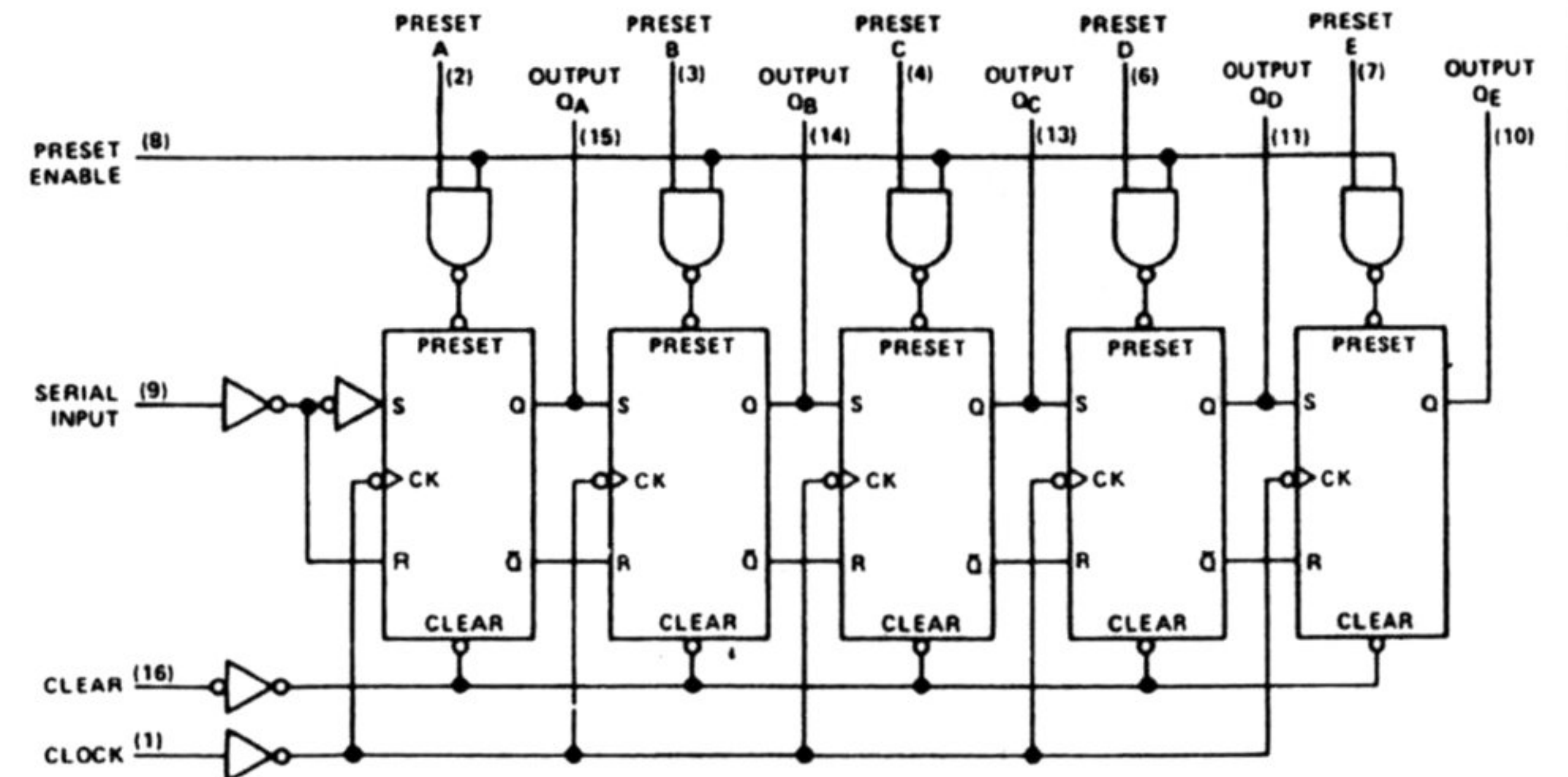
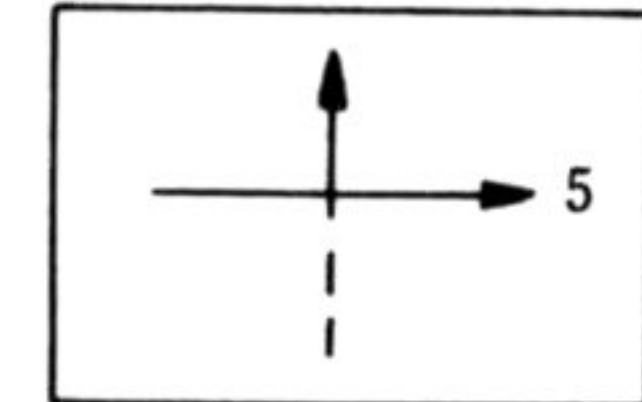
○マスタスレーブ型

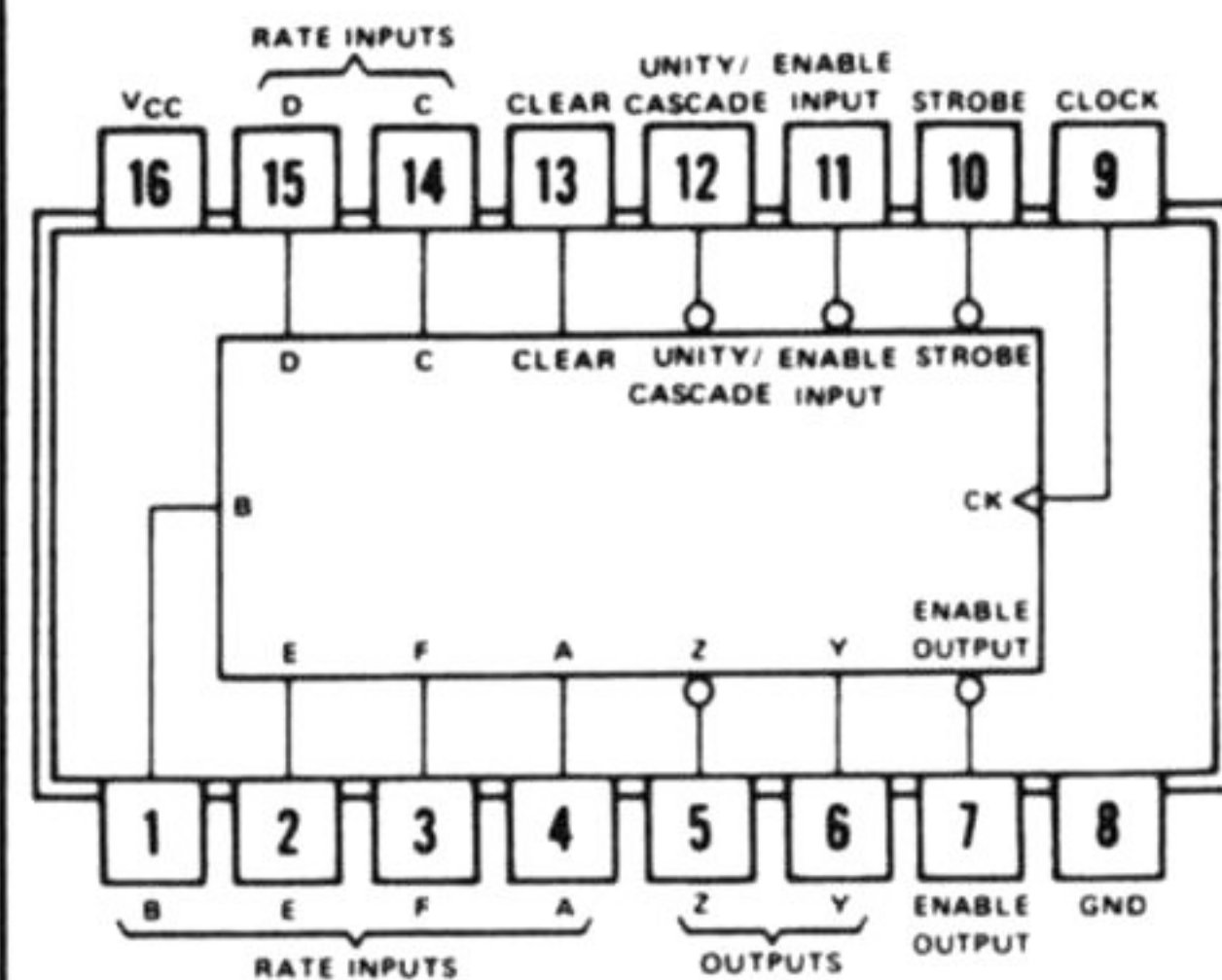
○クロック

データ

○クリア

（プリセット）

○7473の項参照

7496 5-BIT SHIFT REGISTER

入　力			動　作
Clear	PS Enable	CK	
H	L	↑	右シフト
H	H	X	データプリセット
L	L	X	クリア

プリセットの前にはクリアすることが必要

7497, 74121, 74124, 74171

7497　6-BIT SYNCHRONOUS BINARY MULTIPLIERS

A～F入力（FがMSB）をMとすると，出力がクロック f より，

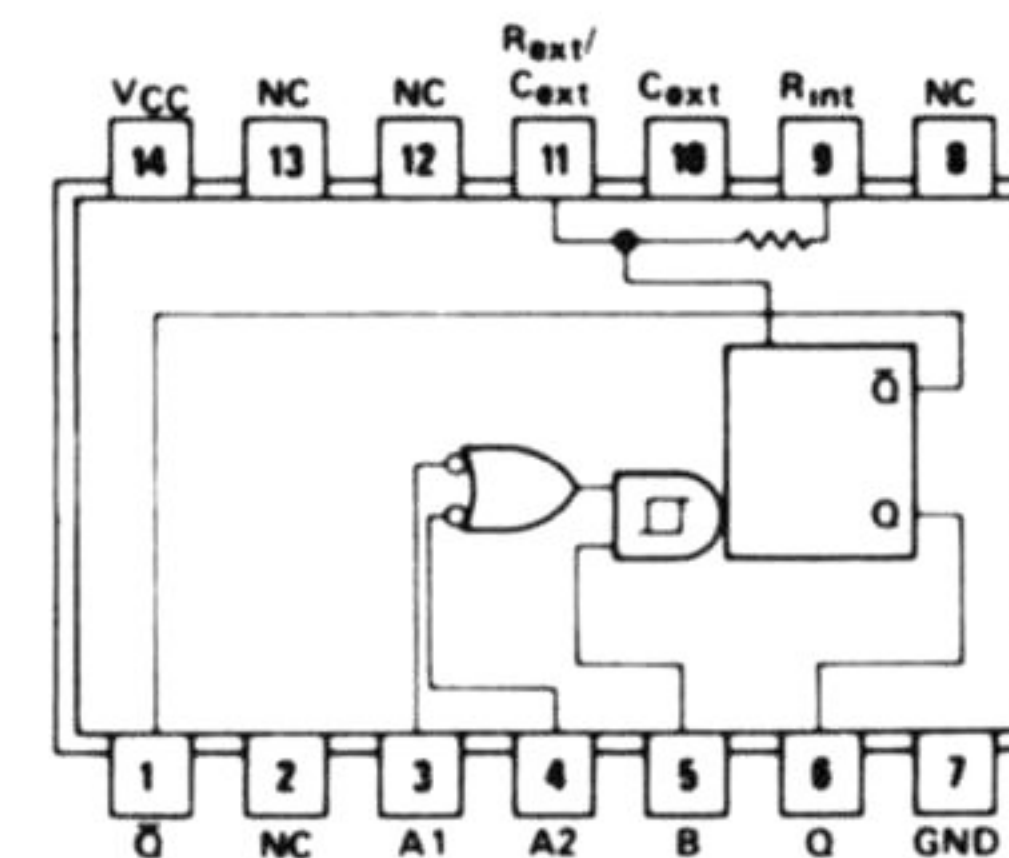
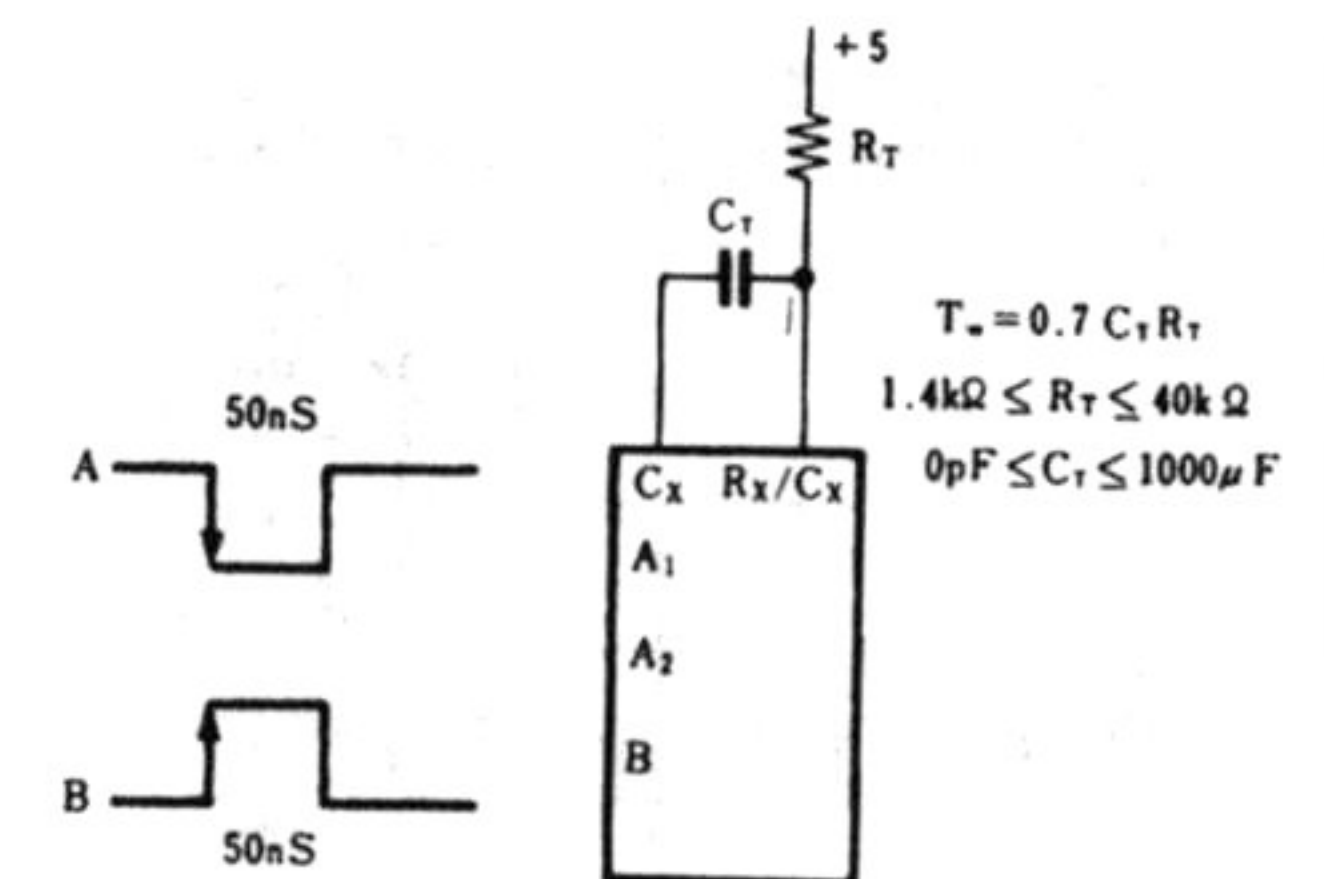
$$f_{OUT} = \frac{M}{64} f$$

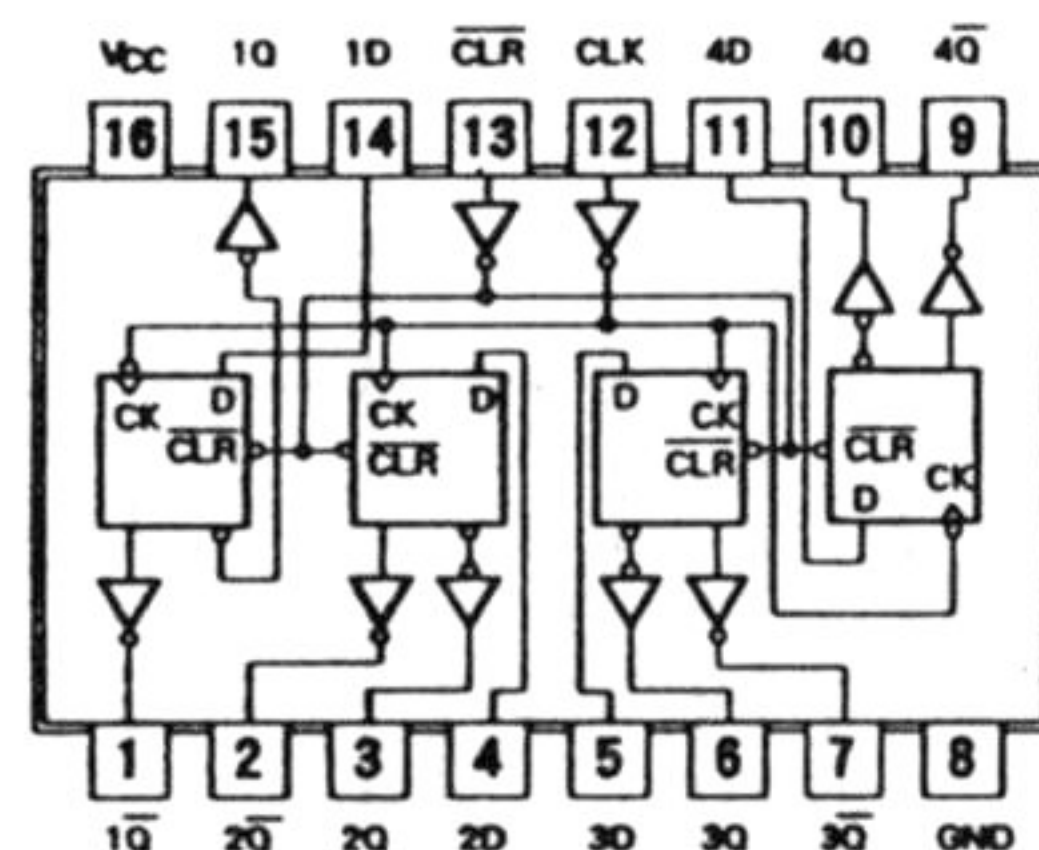
と分周できる（$0 \leq M \leq 63$）

74121　SINGLE SHOT

$T_w = 0.7\, C_T R_T$

$1.4k\Omega \leq R_T \leq 40k\Omega$

$0pF \leq C_T \leq 1000\mu F$

○A入力，B入力ともシュミット入力

INPUTS			OUTPUTS	
A1	A2	B	Q	$\bar{Q}$
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	↓	H	⊓	⊔
↓	H	H	⊓	⊔
↓	↓	H	⊓	⊔
L	X	↑	⊓	⊔
X	L	↑	⊓	⊔

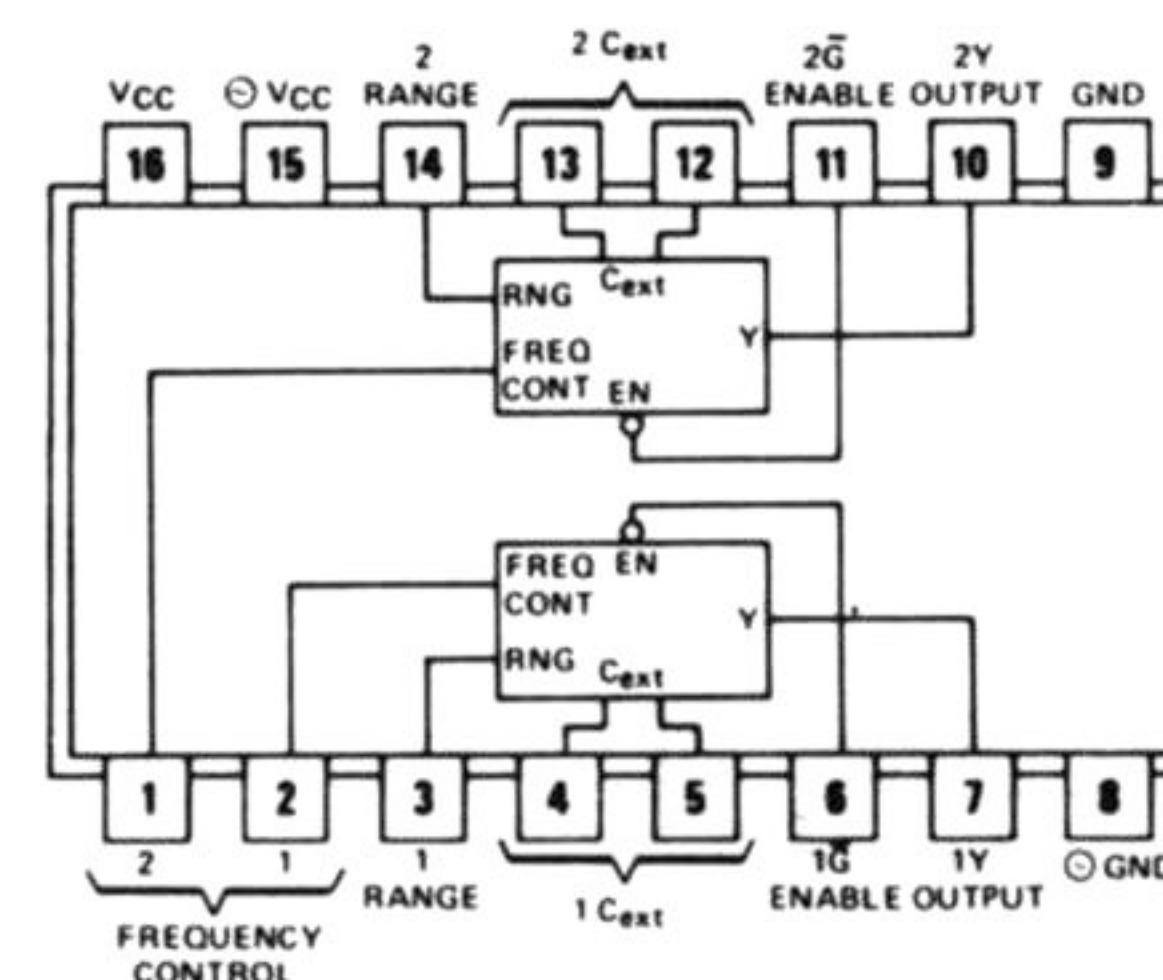
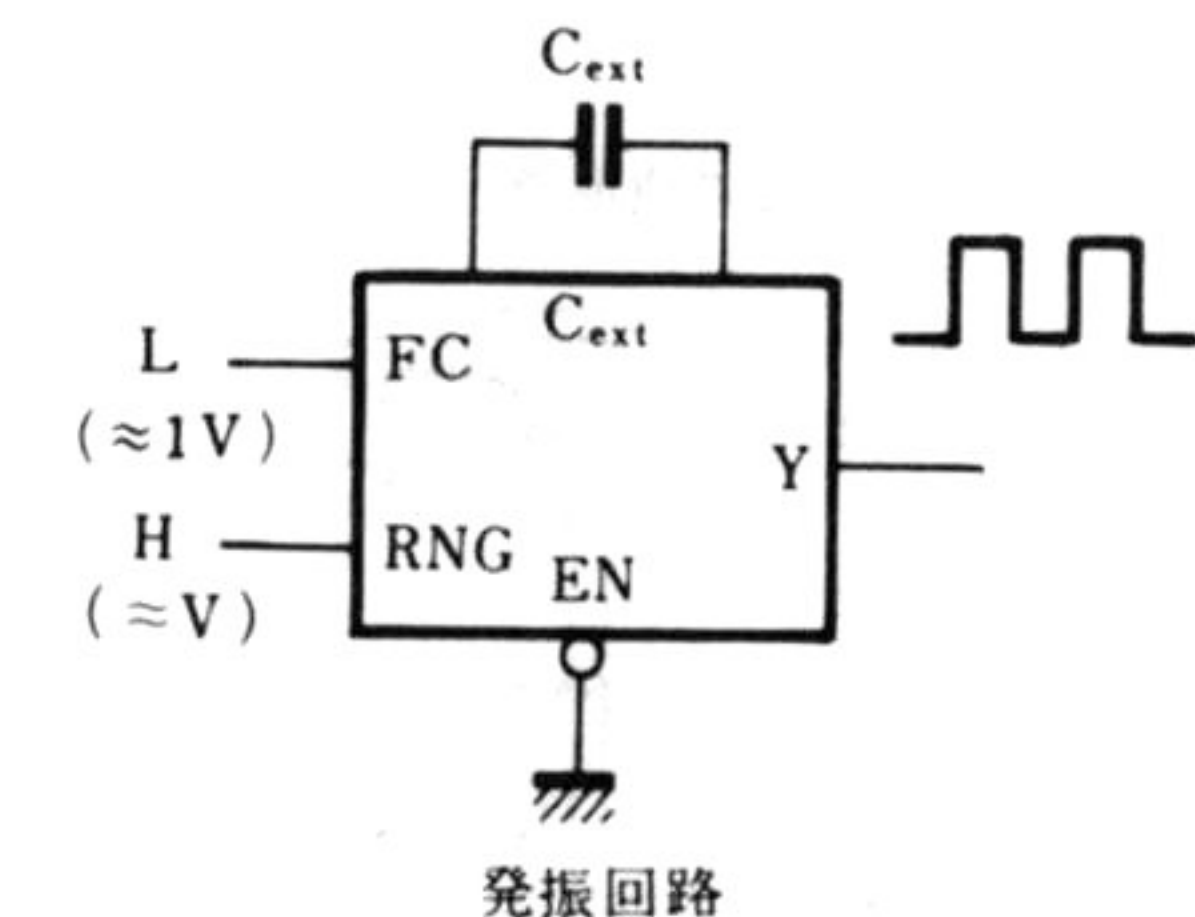
74171　QUAD D-TYPE FLIP-FLOPS WITH CLEAR

●コンプリメンタリ Q, $\bar{Q}$ 出力

●クロックとクリア入力にバッファを付加することにより低入力電流化

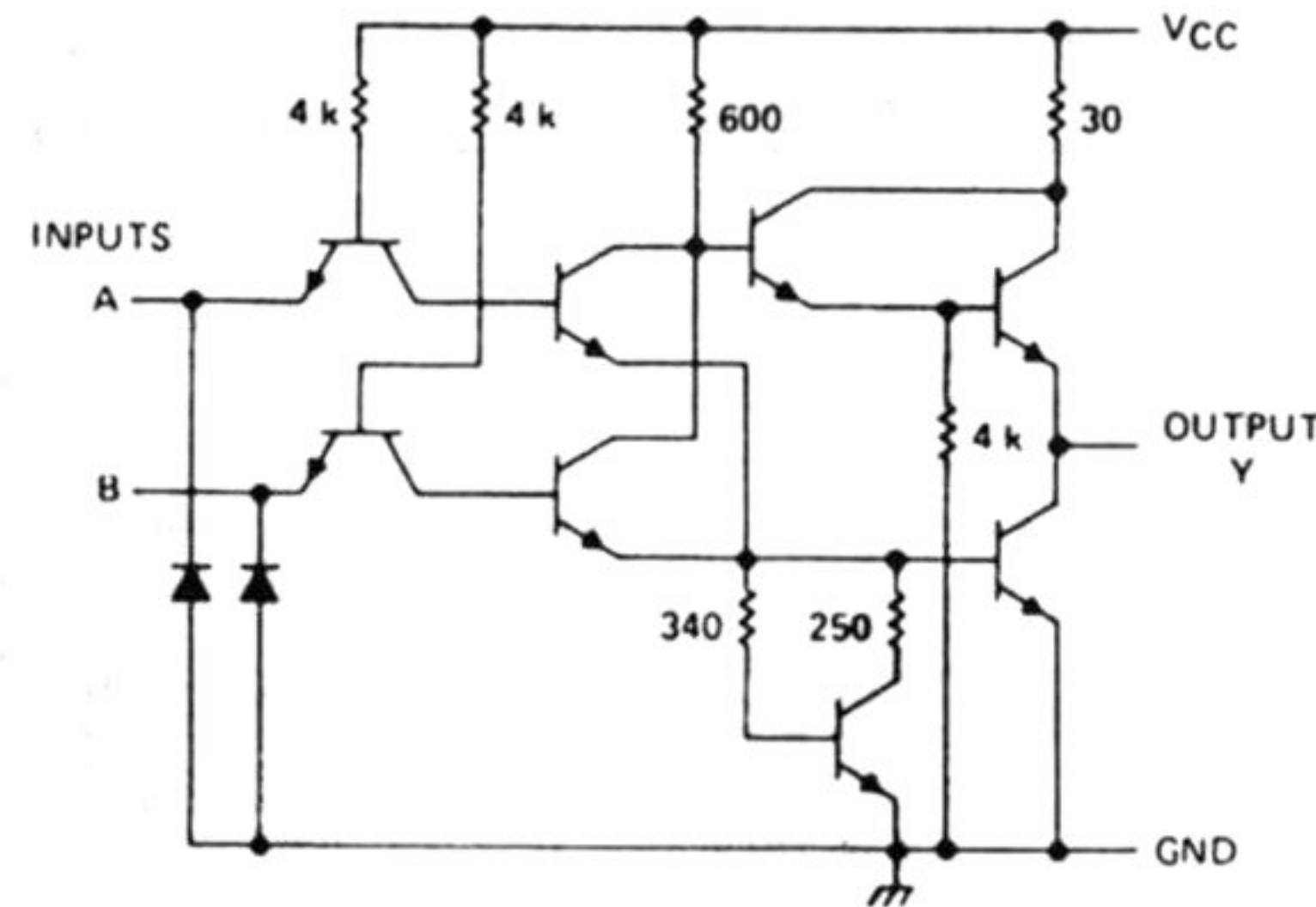
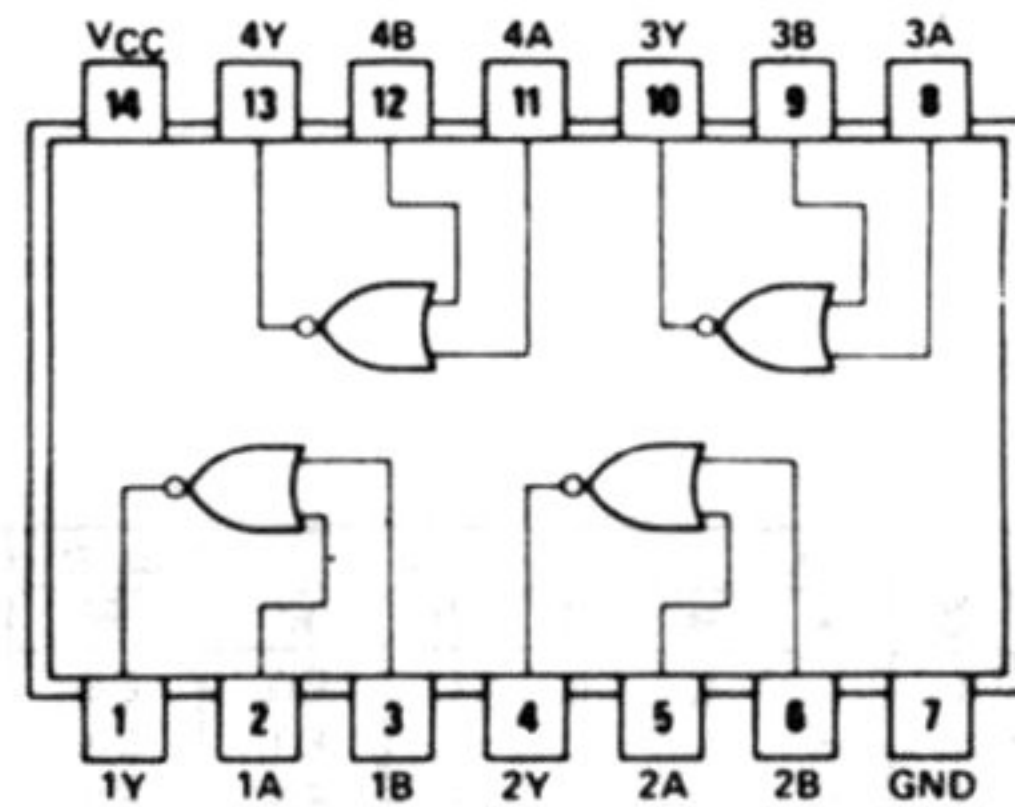
入　力			出　力	
$\overline{CLEAR}$	CLOCK	D	Q	$\bar{Q}$
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
L	L	X	Q_0	$\bar{Q}_0$

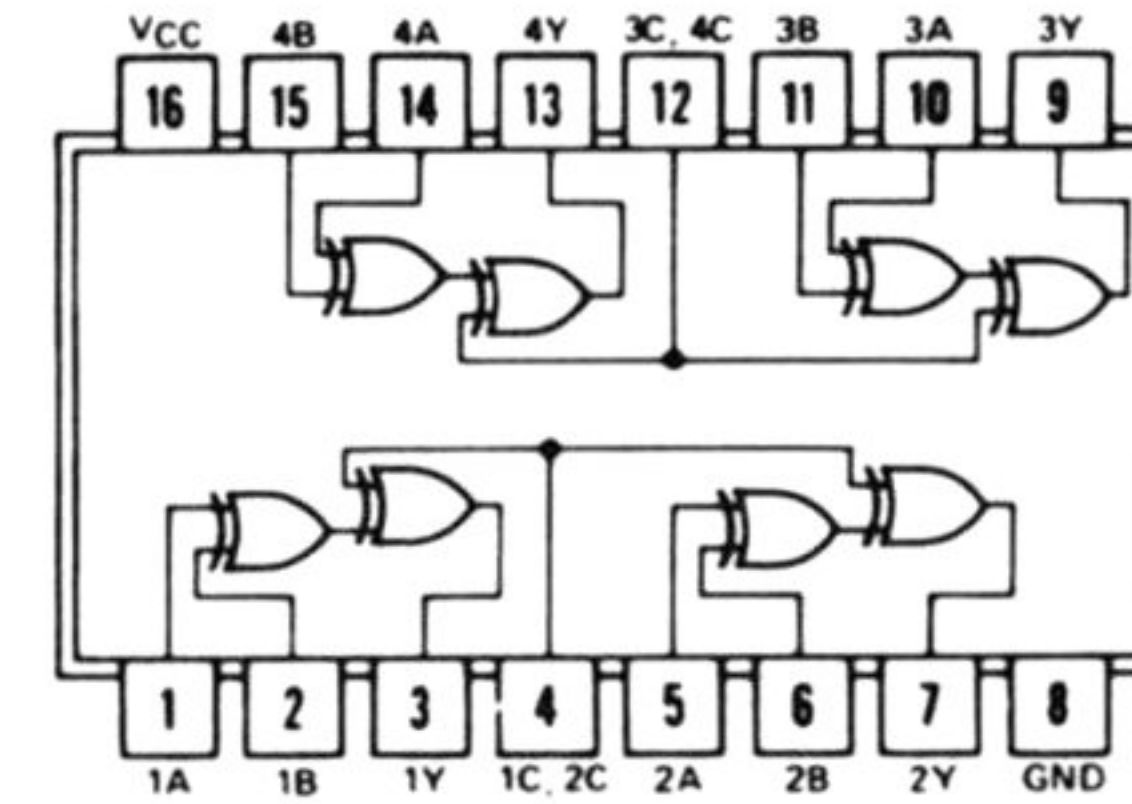
74124　DUAL VCO

C_{ext}は水晶を用いてもよい

発振回路

FC入力はL，RNG入力はHのときいちばん安定

74128, 74134, 74135, 74140

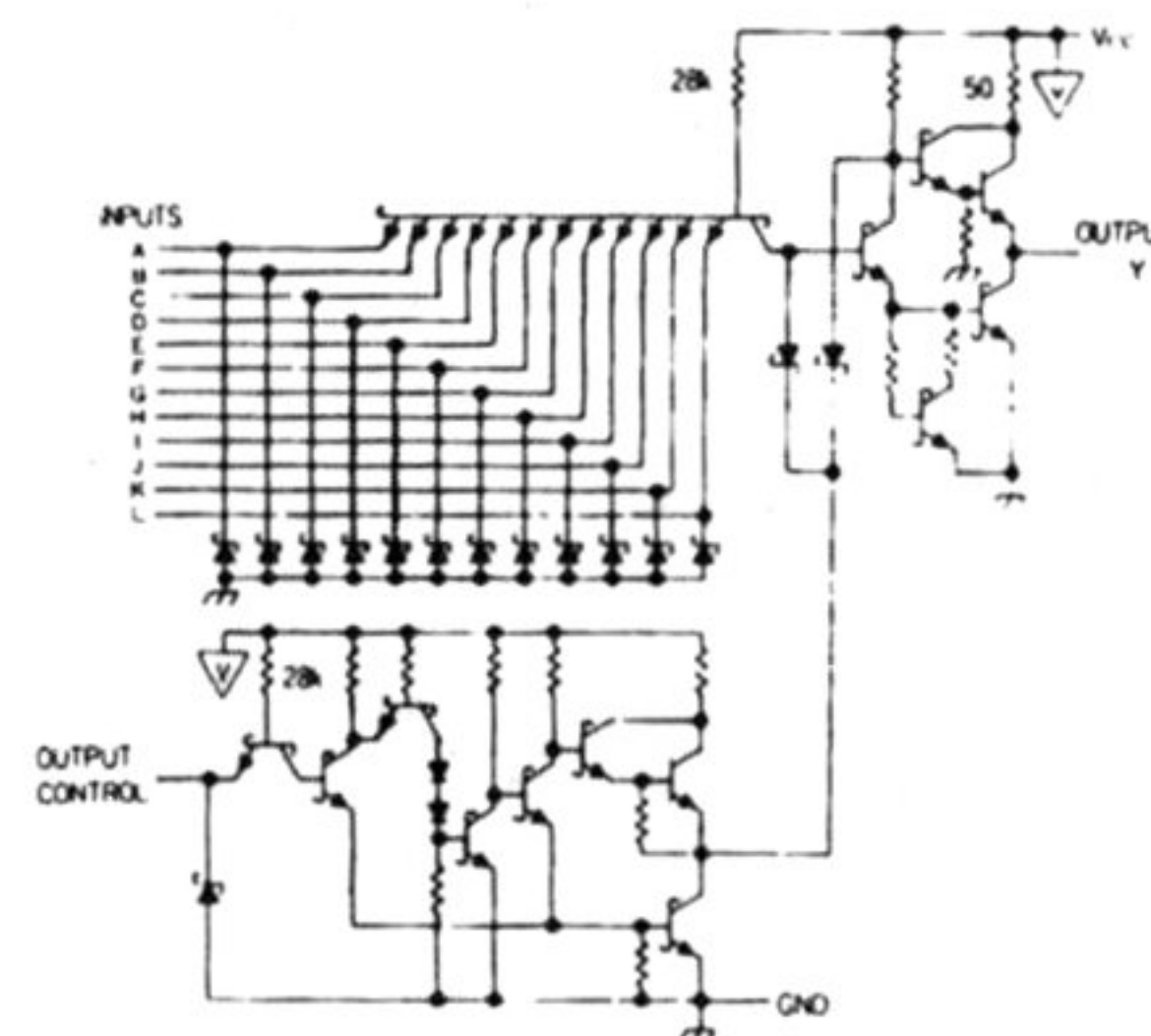
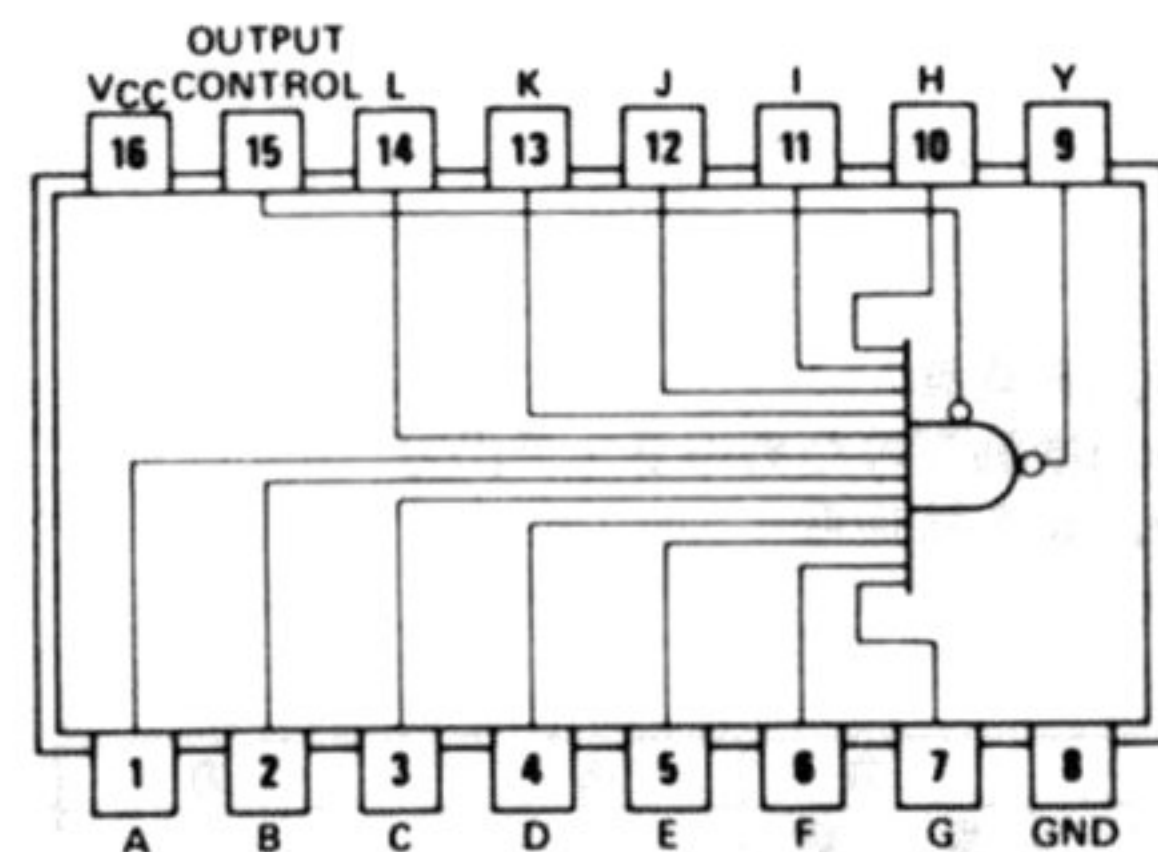
74128　QUAD 2 INPUT NOR LINE DRIVER (50Ω)

○7428の出力流出電流を増加したタイプ

74135　QUAD 2 INPUT EX-OR/NOR

$$Y = (A \oplus B) \oplus C = A\overline{B}\,\overline{C} + \overline{A}\,B\,\overline{C} + \overline{A}\,\overline{B}\,C + A\,B\,C$$

○ CがLのときは Ex-OR

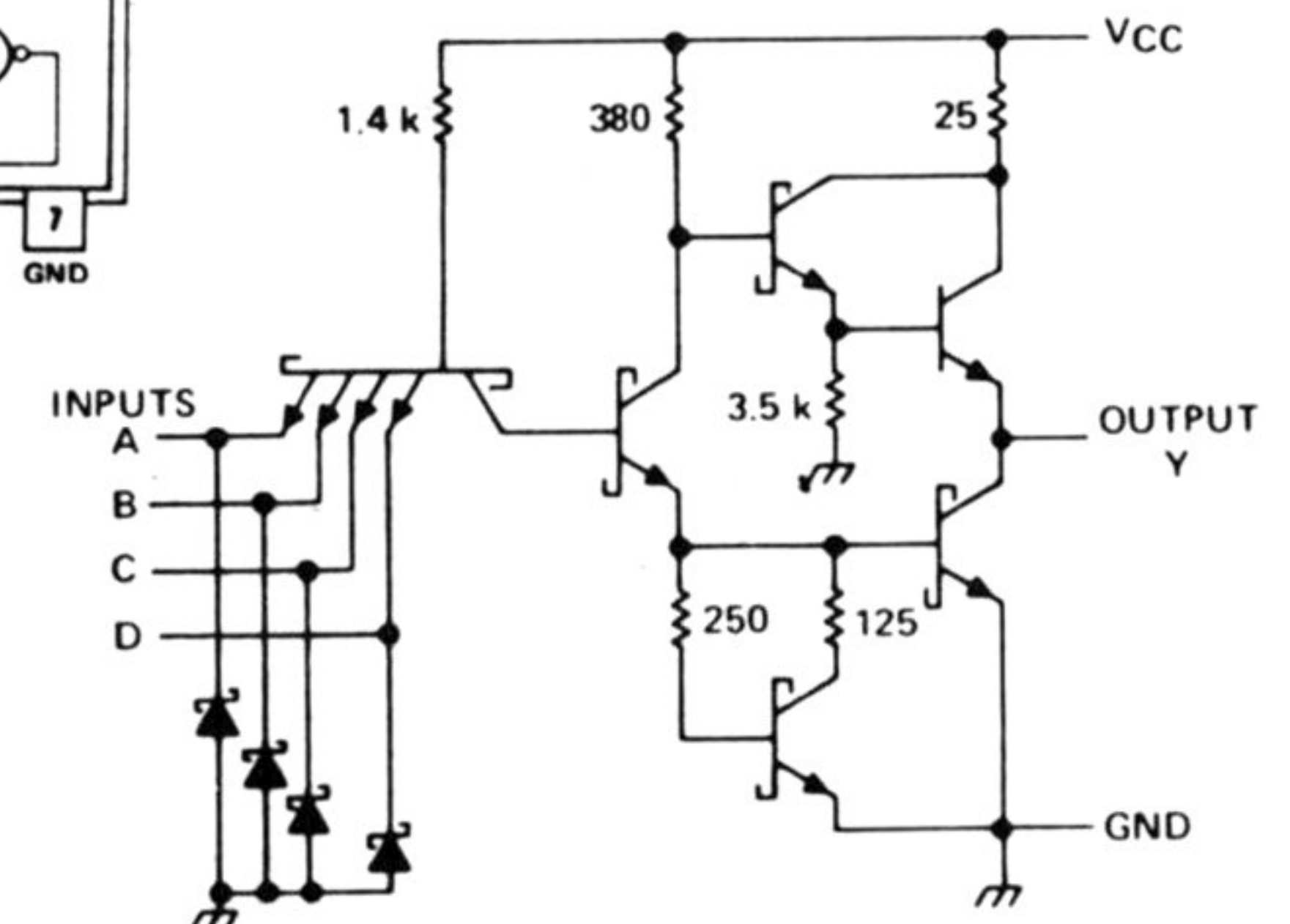
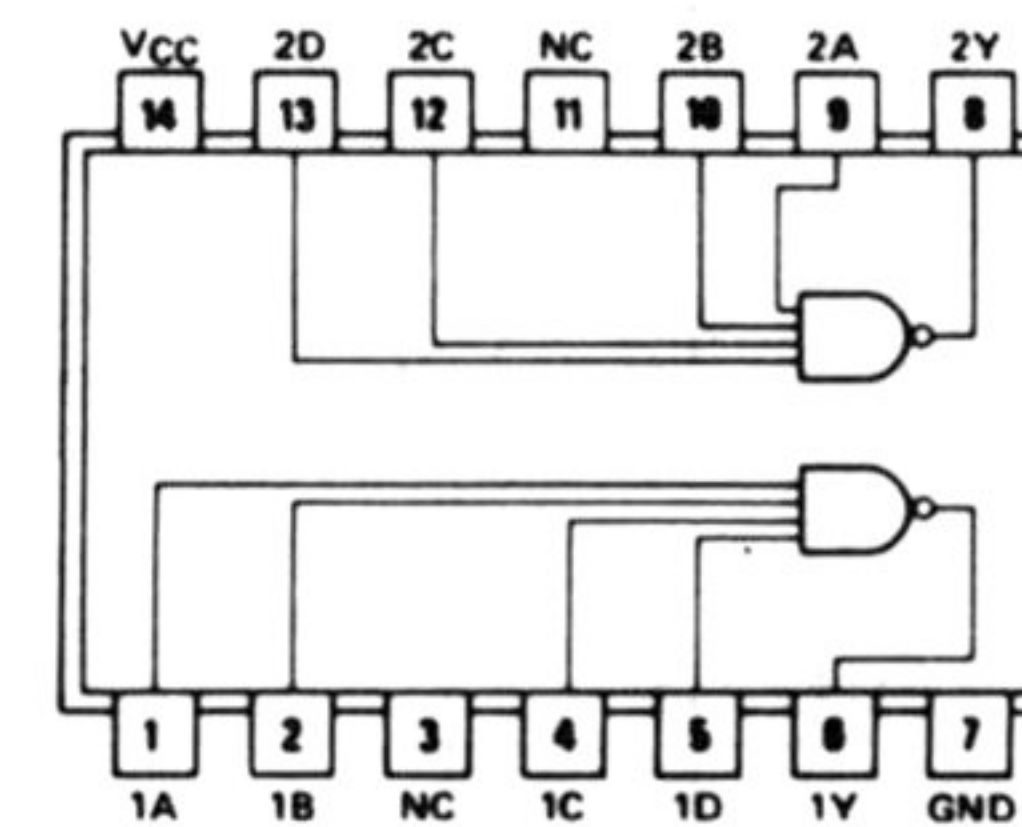
○ CがHのときは Ex-NOR

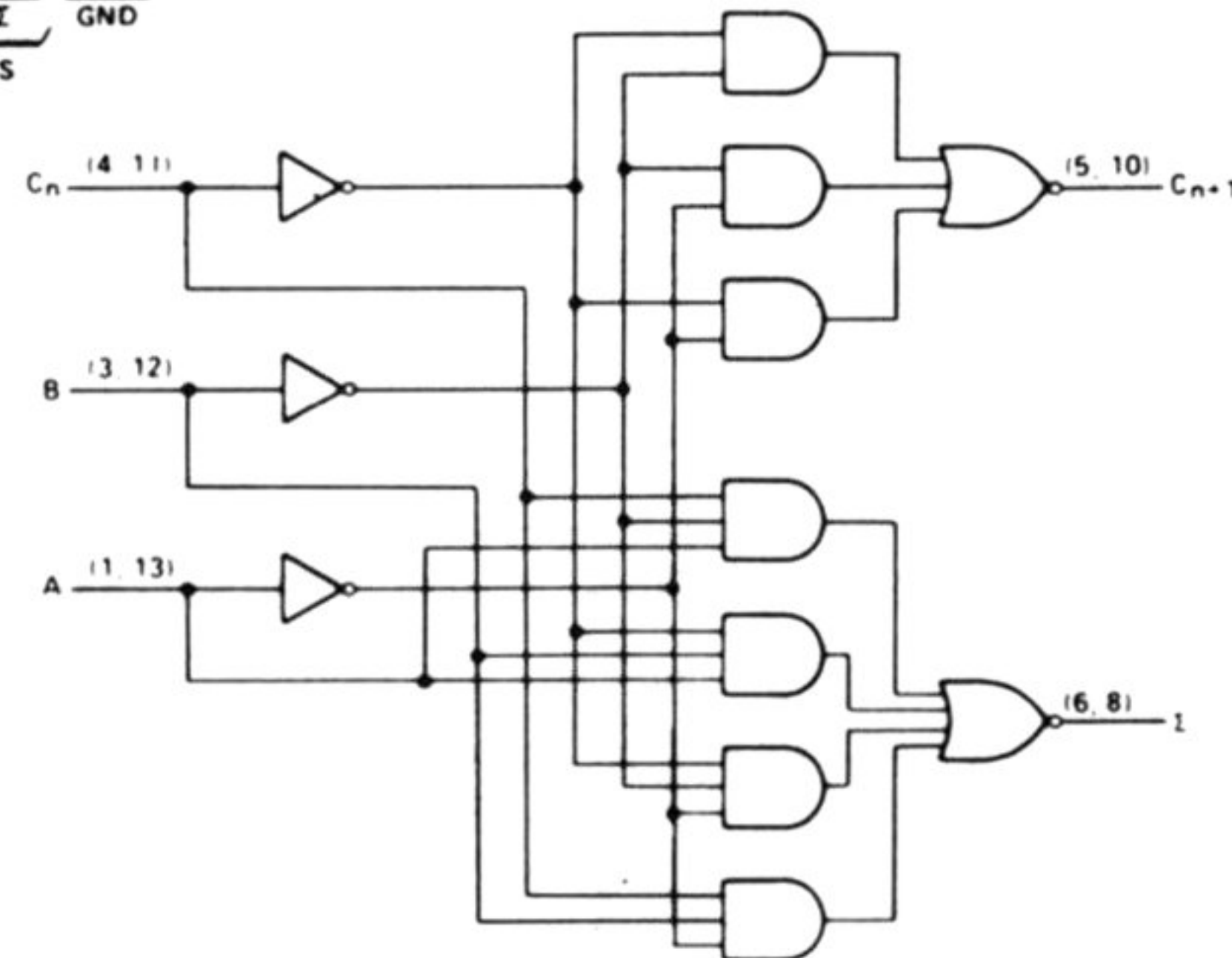
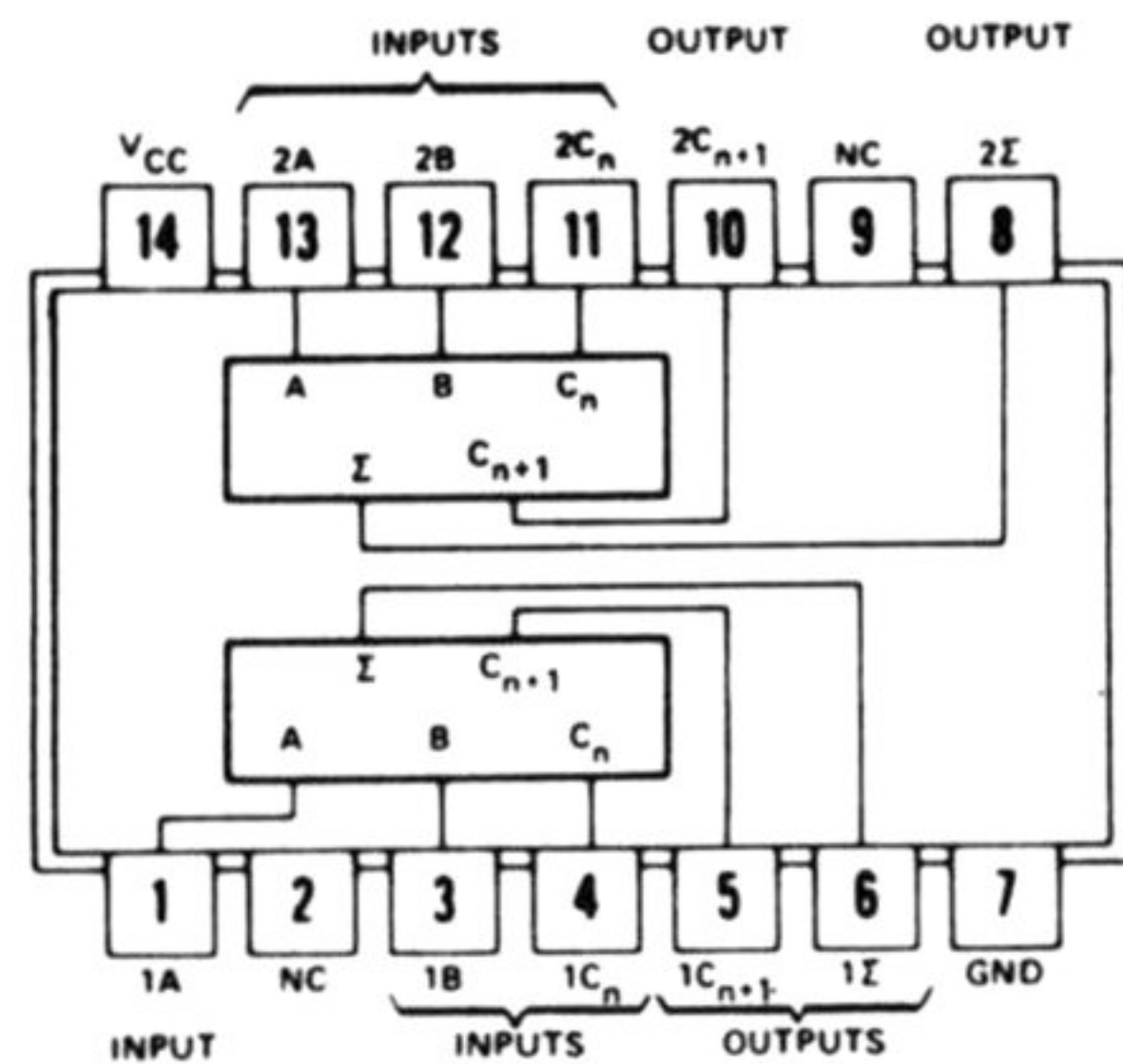
入力			出力
C	B	A	Y
L	L	L	L
L	L	H	H
L	H	L	H
L	H	H	L
H	L	L	H
H	L	H	L
H	H	L	L
H	H	H	H

74134　12 INPUT 3 STATE NAND

○ OCがHのときは，Yはハイインピーダンス

○ OCがLのときは，正論理で

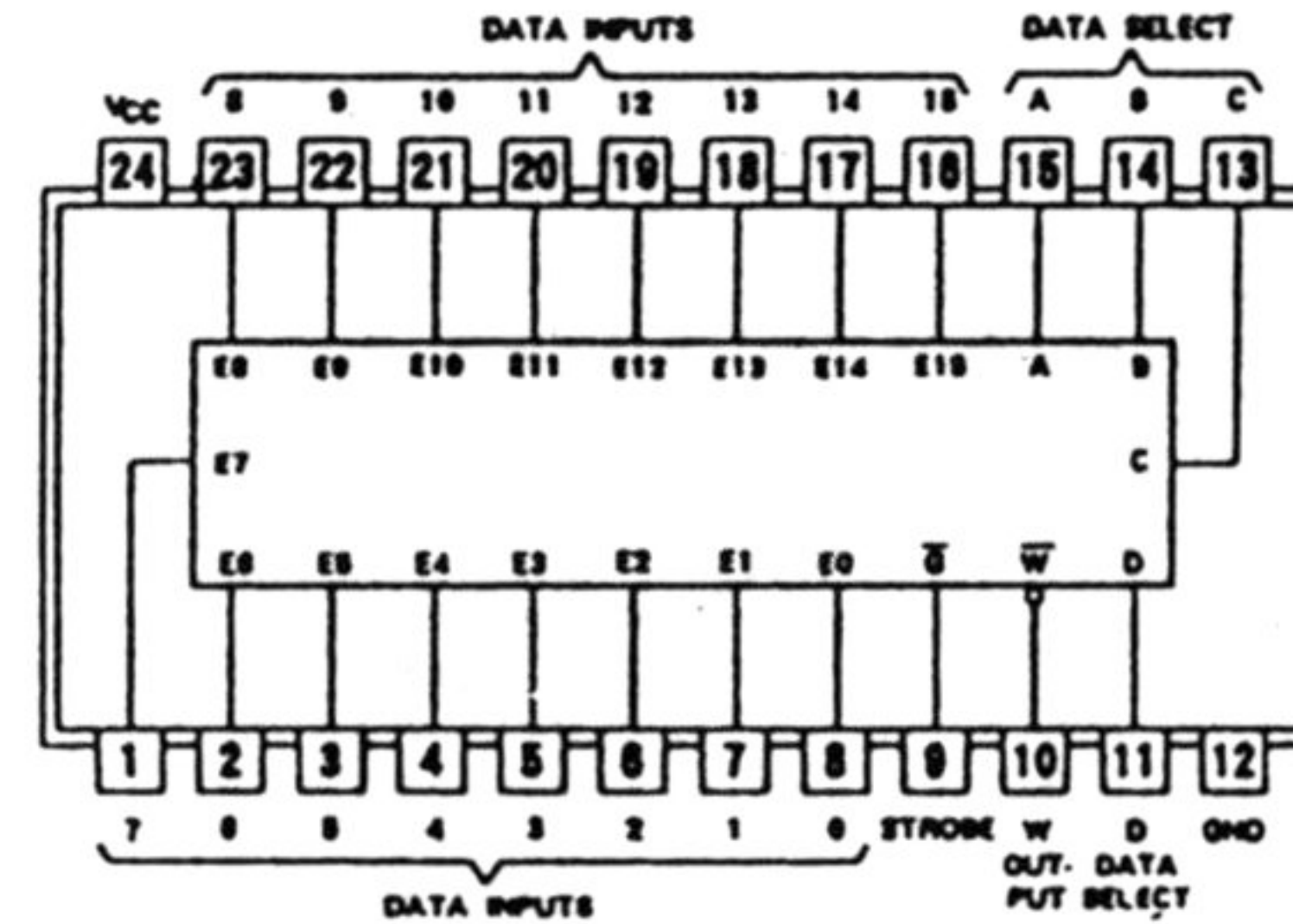
$$Y = \overline{ABCDEFGHIJKL}$$

74140　DUAL 4-INPUT NAND LINE DRIVER (50Ω)

74183, 74250, 74261

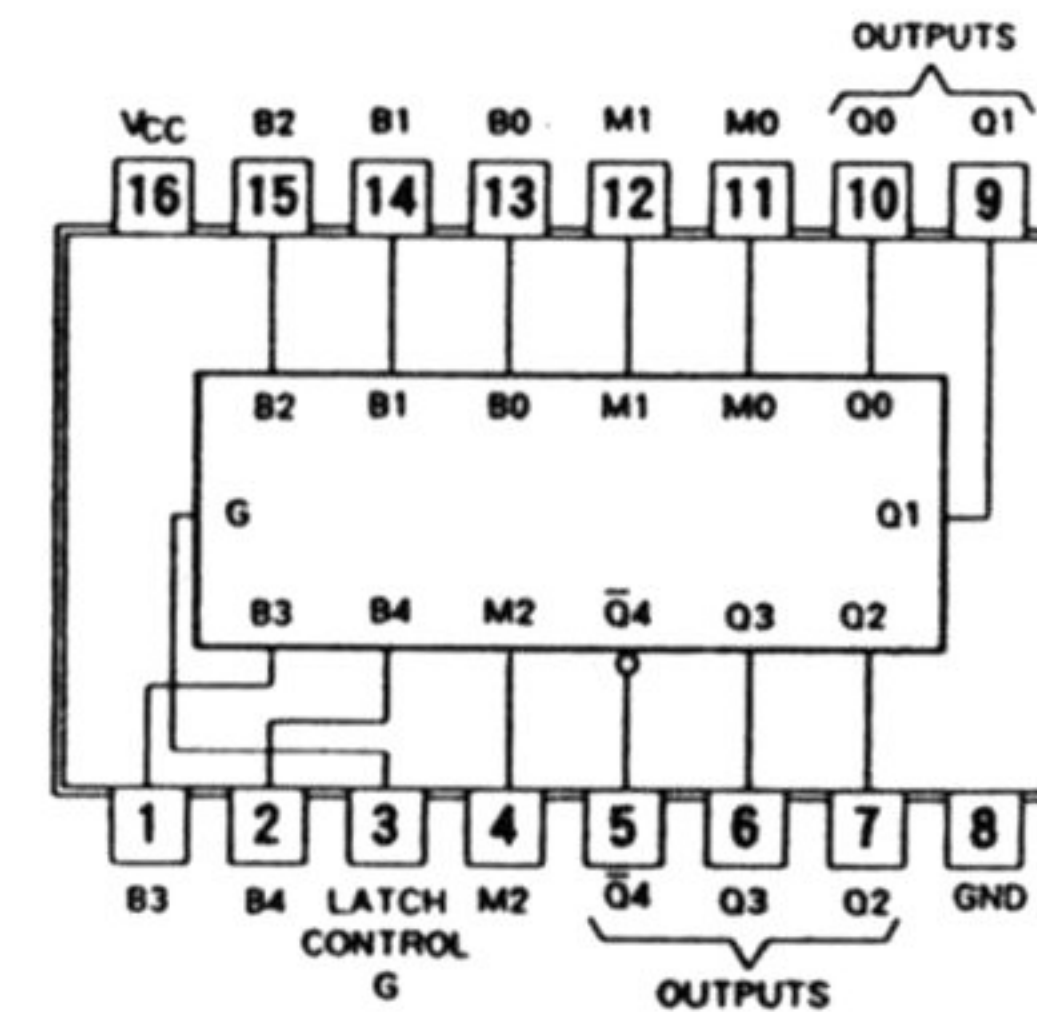
74183 DUAL CARRY SAVE FULL ADDERS

FUNCTION TABLE (EACH ADDER)

INPUTS			OUTPUTS	
C_n	B	A	Σ	C_{n+1}
L	L	L	L	L
L	L	H	H	L
L	H	L	H	L
L	H	H	L	H
H	L	L	H	L
H	L	H	L	H
H	H	L	L	H
H	H	H	H	H

完全に独立した Full Adder が2個入っている.

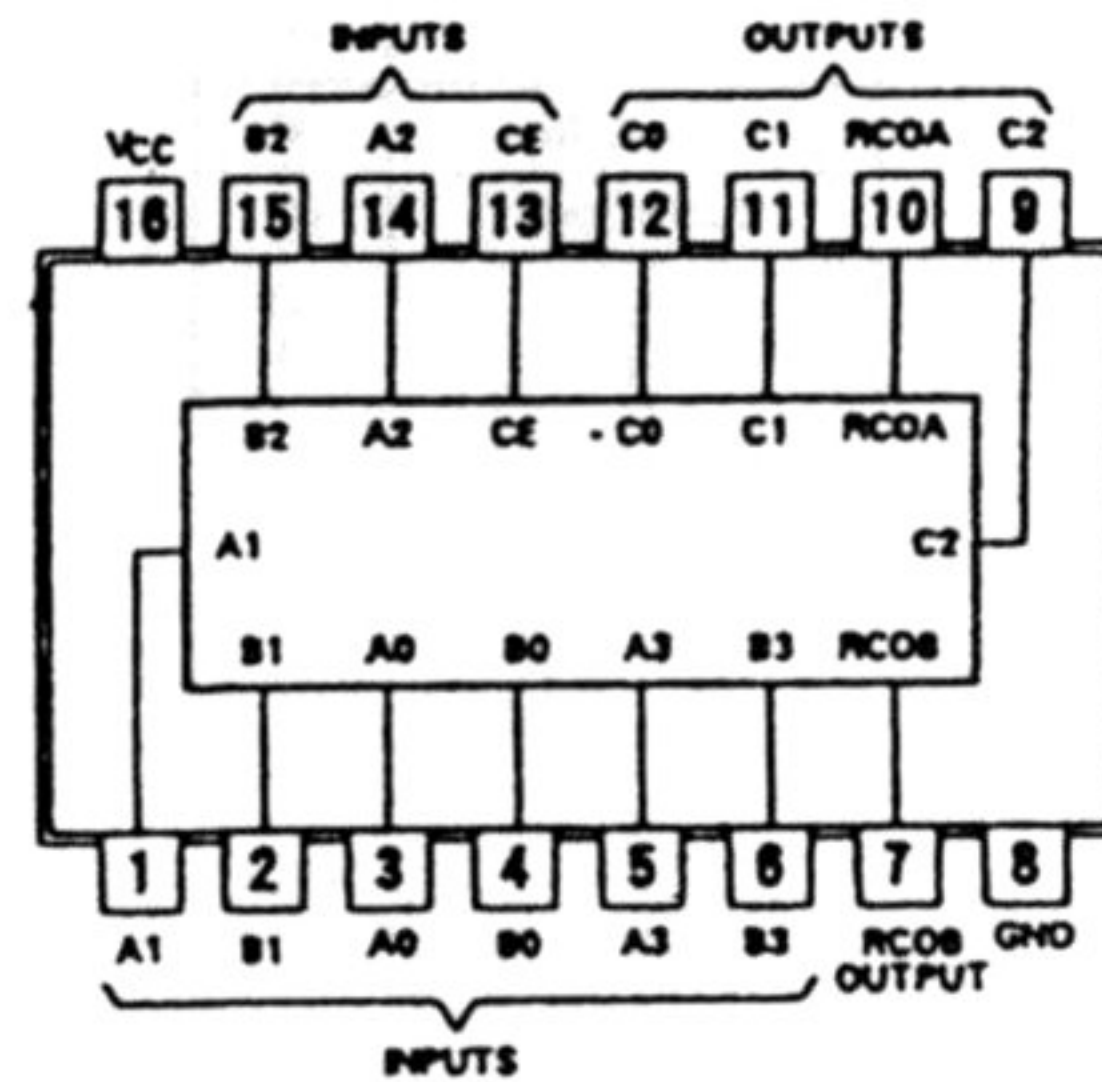
74250 1-OF-16 DATA SELECTOR/MULTIPLEXER

- 4入力で16のデータの内の一つを選択
- アプリケーション
  - ブール代数式発生器
  - パラレルーシリアル変換
  - データ・ソース・セレクタ
- バッファ入力
- 3ステート出力

入力						出力
$\overline{G}$	A	B	C	D	Ei	$\overline{W}$
L	L	L	L	L	E0	E0
L	H	L	L	L	E1	E1
L	L	H	L	L	E2	E2
L	H	H	L	L	E3	E3
L	L	L	H	L	E4	E4
L	H	L	H	L	E5	E5
L	L	H	H	L	E6	E6
L	H	H	H	L	E7	E7
L	L	L	L	H	E8	E8
L	H	L	L	H	E9	E9
L	L	H	L	H	E10	E10
L	H	H	L	H	E11	E11
L	L	L	H	H	E12	E12
L	H	L	H	H	E13	E13
L	L	H	H	H	E14	E14
L	H	H	H	H	E15	E15
H	X	X	X	X	X	Z

74261 2-BIT BY 4-BIT PARALLEL BINARY MULTIPLIERS

- 高速乗算
- 同期動作のためのラッチ出力
- 語長を拡張可

入力				出力				
ラッチコントロール G	乗数 M2	M1	M0	$\overline{G}4$	Q3	Q2	Q1	Q0
L	X	X	X	$\overline{Q}4_0$	$Q3_0$	$Q2_0$	$Q1_0$	$Q0_0$
H	L	L	L	H	L	L	L	L
H	L	L	H	$\overline{B4}$	B4	B3	B2	B1
H	L	H	L	$\overline{B4}$	B4	B3	B2	B1
H	L	H	H	$\overline{B4}$	B3	B2	B1	B0
H	H	L	L	B4	$\overline{B3}$	$\overline{B2}$	$\overline{B1}$	$\overline{B0}$
H	H	L	H	B4	$\overline{B4}$	$\overline{B3}$	$\overline{B2}$	$\overline{B1}$
H	H	H	L	B4	$\overline{B4}$	$\overline{B3}$	$\overline{B2}$	$\overline{B1}$
H	H	H	H	H	L	L	L	L

74264, 74265

74264 LOOK AHEAD CARRY GENERATOR

- ●カウンタからのキャリをルック・アヘッド
- ●正論理あるいは負論理出力のキャリに適用可
- ●カスケードしたカウンタの能力を高める.

C0 出力機能表

入	力		出 力
A_0	B_0	CE	C_0
H	H	X	H
H	X	H	H
L	X	X	L
X	L	L	L

C1 出力機能表

入		力			出 力
A1	A0	B1	B0	CE	C1
H	X	H	X	X	H
H	H	X	H	X	H
H	H	X	X	H	H
L	X	X	X	X	L
X	L	L	X	X	L
X	X	L	L	L	L

RCOA 出力機能表

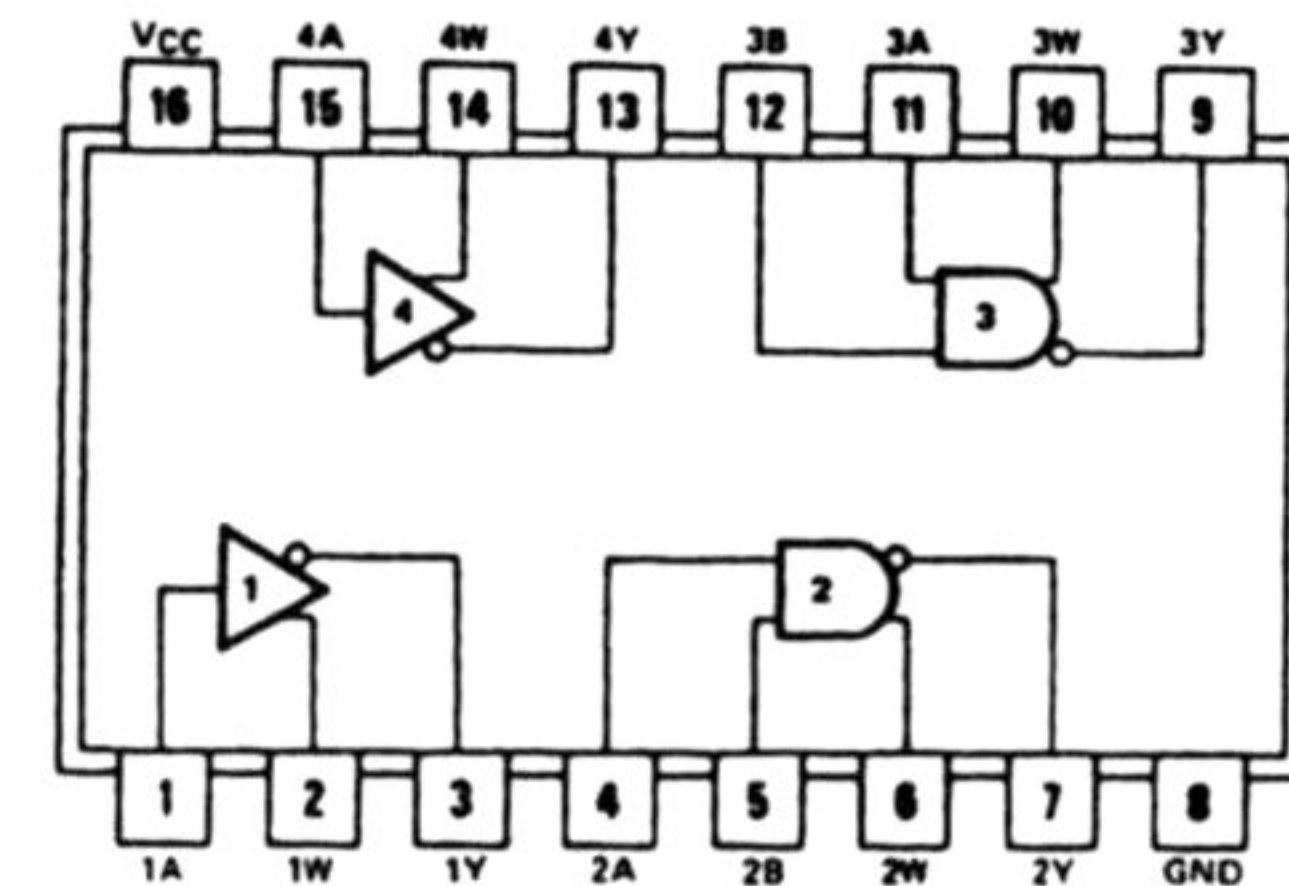
入				力				出 力
A3	A2	A1	A0	B3	B2	B1	CE	RCOA
H	X	X	X	H	X	X	X	H
H	H	X	X	X	H	X	X	H
H	H	H	X	X	X	H	X	H
H	H	H	H	X	X	X	H	H
L	X	X	X	X	X	X	X	L
X	L	X	X	L	X	X	X	L
X	X	L	X	L	L	X	X	L
X	X	X	L	L	L	L	X	L
X	X	X	X	L	L	L	L	L

C2 出力機能表

入				力			出 力
A2	A1	A0	B2	B1	B0	CE	C2
H	X	X	H	X	X	X	H
H	H	X	X	H	X	X	H
H	H	H	X	X	H	X	H
H	H	H	X	X	X	H	H
L	X	X	X	X	X	X	L
X	L	X	L	X	X	X	L
X	X	L	L	L	X	X	L
X	X	X	L	L	L	L	L

RCOB 出力機能

入			力		出 力
B3	B2	B1	B0	CE	RCOB
H	X	X	X	X	H
X	H	X	X	X	H
X	X	H	X	X	H
X	X	X	H	X	H
X	X	X	X	H	H
L	L	L	L	L	L

74265 QUAD COMPLEMENTARY OUTPUT

- ○インバータを使用したデコーダは右図のようにスパイクが出るが，74265で組むとスパイクが出ない(下図)．これは74151A．74152Aのセレクト部に応用されている.
- ○ラインドライバとしても使用可能(図↘)

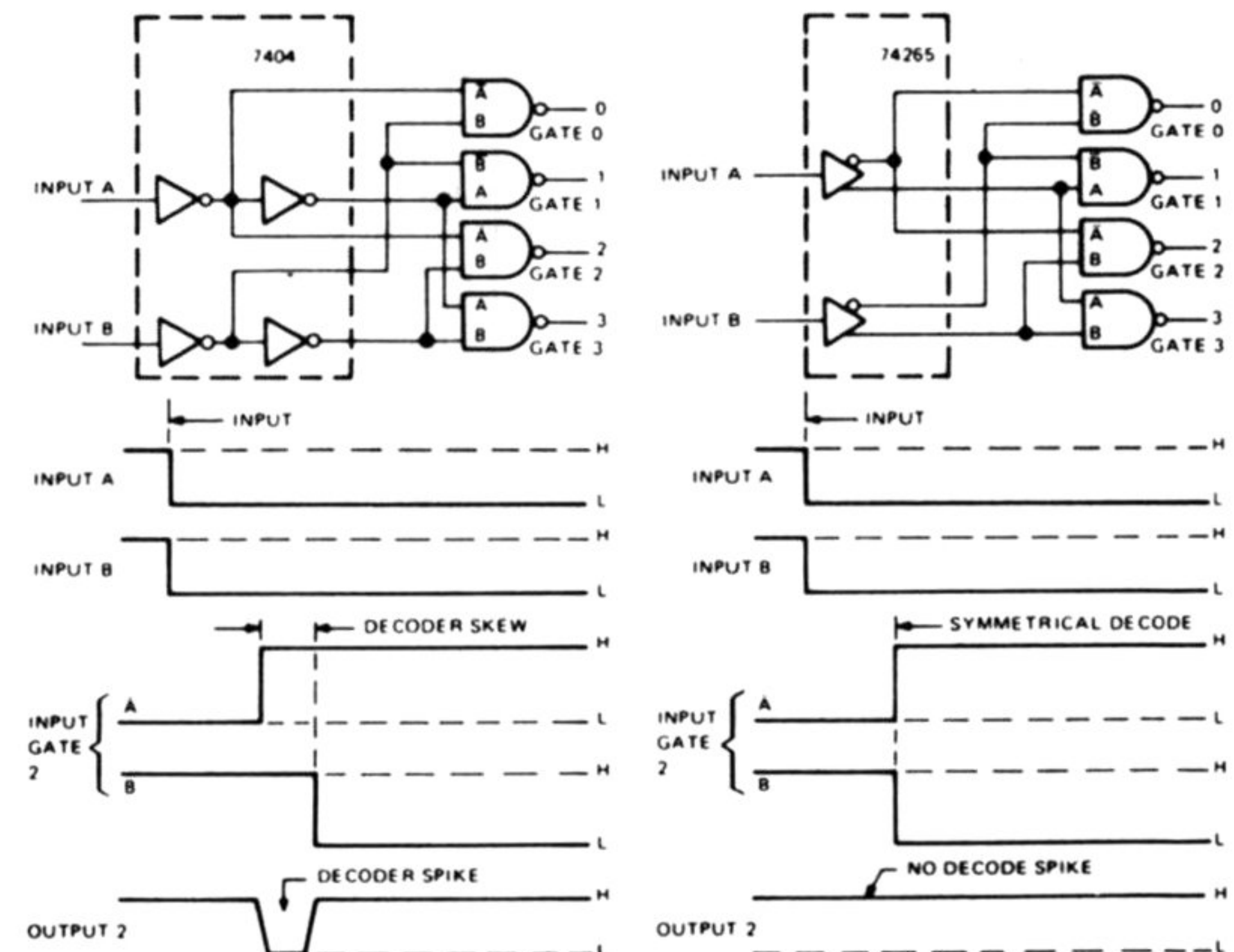
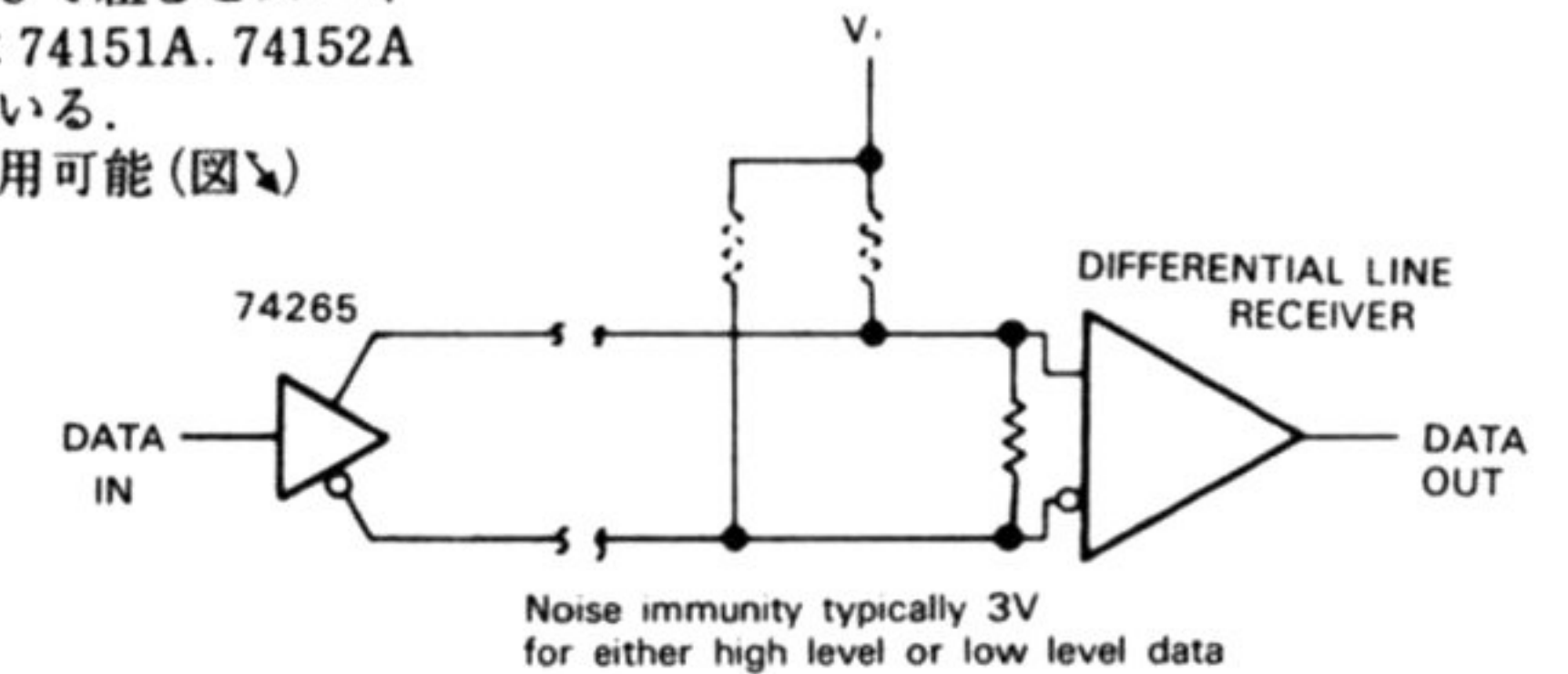
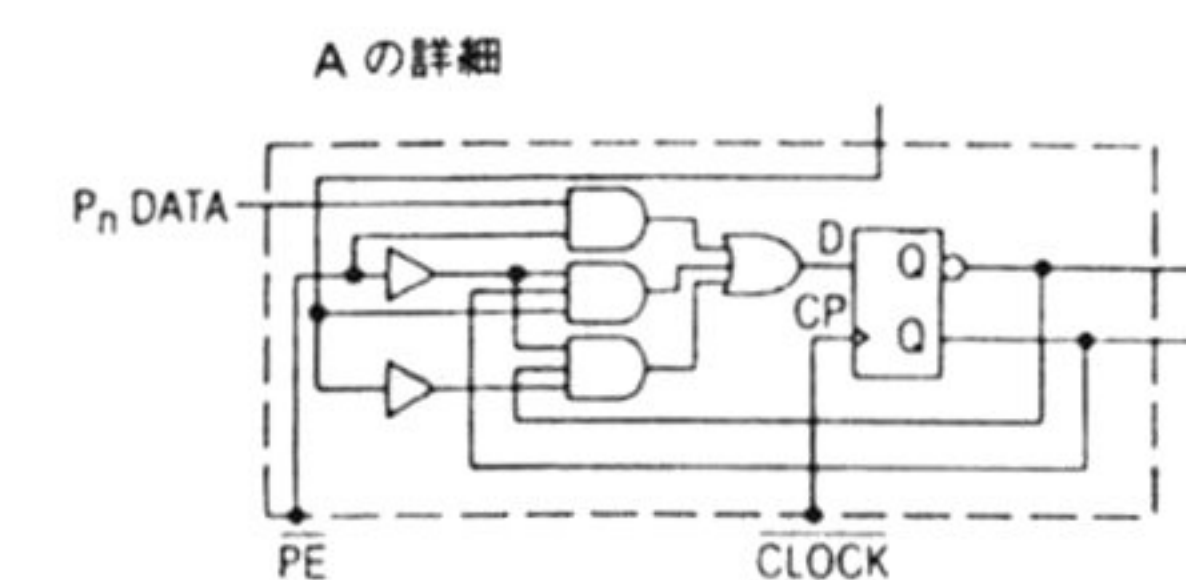
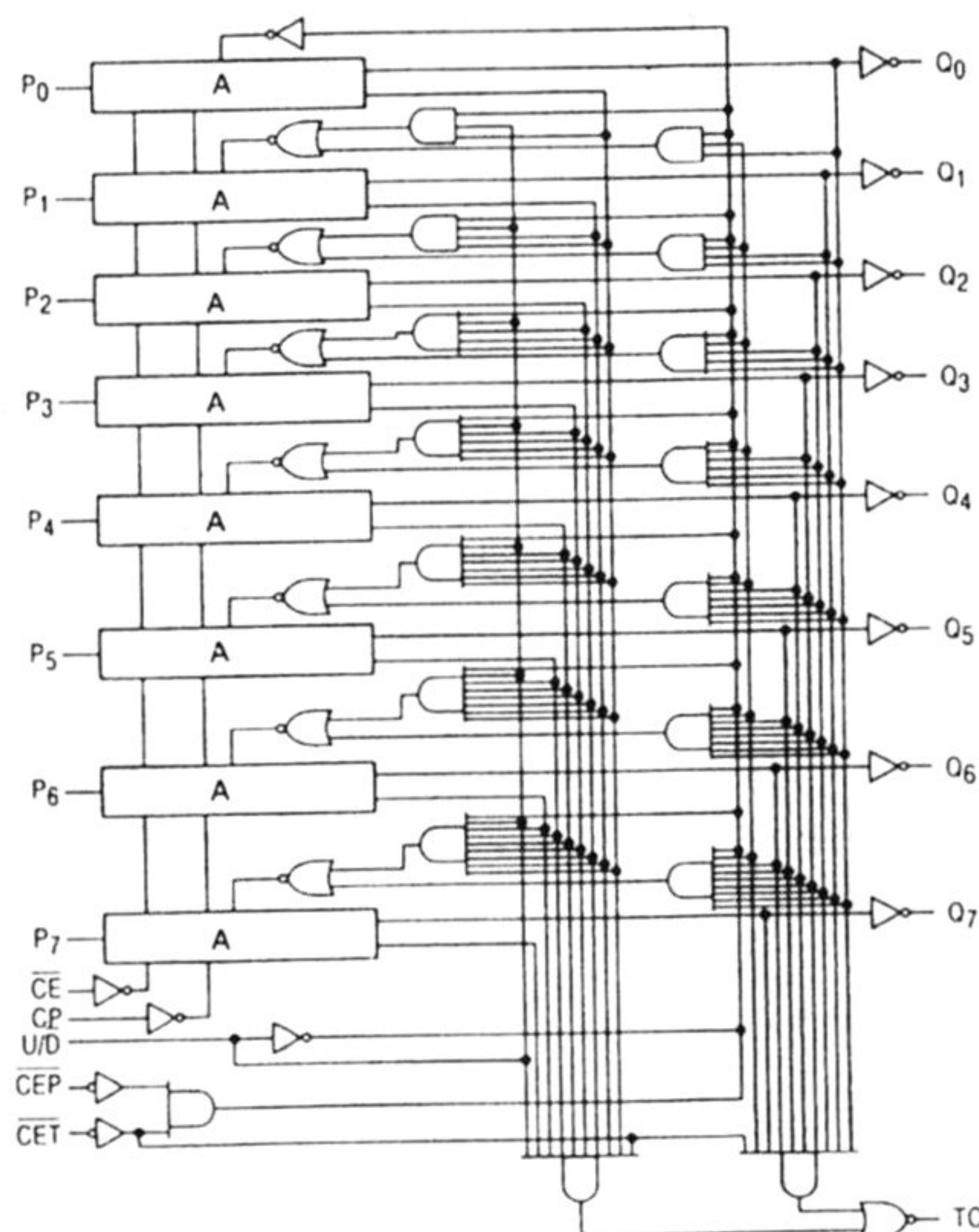
Noise immunity typically 3V for either high level or low level data

74269 8-BIT BIDIRECTIONAL BINARY COUNTER

$\overline{PE}$ P_0 P_1 P_2 P_3 V_{CC} P_4 P_5 P_6 P_7 $\overline{TC}$ $\overline{CET}$

24 23 22 21 20 19 18 17 16 15 14 13

1 2 3 4 5 6 7 8 9 10 11 12

$U/\overline{D}$ Q_0 Q_1 Q_2 Q_3 Q_4 GND Q_5 Q_6 Q_7 CP $\overline{CEP}$

Operating Mode	入力						出力	
	CP	$U/\overline{D}$	$\overline{CEP}$	$\overline{CET}$	$\overline{PE}$	P_n	Q_n	$\overline{TC}$
Parallel Load	↑ ↑	X X	X X	X X	l l	l h	L H	(a) (a)
Count Up	↑	h	l	l	h	X	Count Up	(a)
Count Down	↑	l	l	l	h	X	Count Down	(a)
Hold 無効	↑ ↑	X X	h X	X h	h h	X X	q_n q_n	(a) H

P_0 P_1 P_2 P_3 P_4 P_5 P_6 P_7 A Q_0 Q_1 Q_2 Q_3 Q_4 Q_5 Q_6 Q_7 $\overline{CE}$ CP $U/\overline{D}$ $\overline{CEP}$ $\overline{CET}$ TC

A の詳細

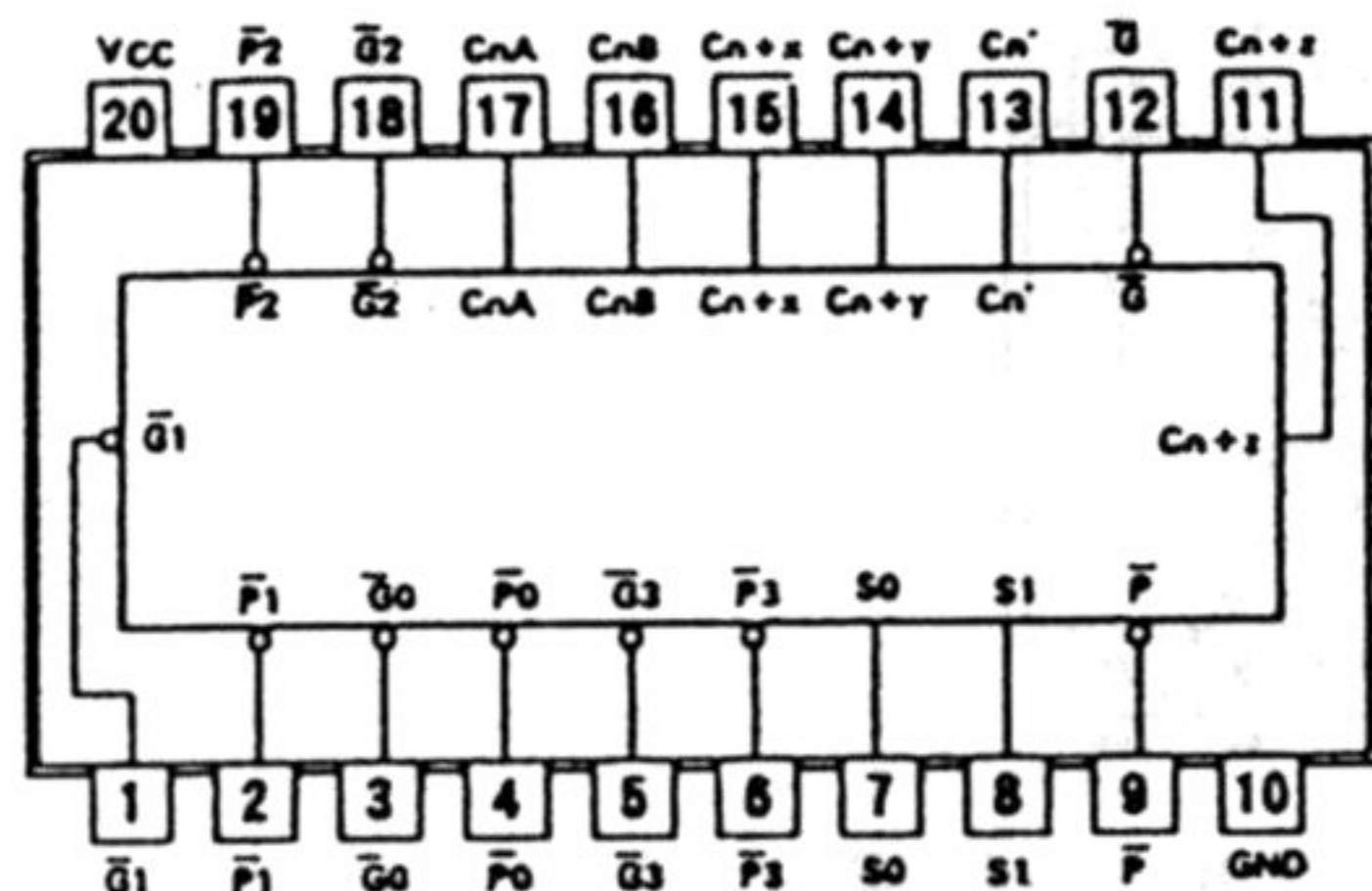
P_n DATA D Q CP Q $\overline{PE}$ $\overline{CLOCK}$

項目	大小	入力	IN	出力	OUT	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min									85										MHz
tpd	max	CP	↑	Qn	L→H					9.5										ns
tpd	max	CP	↑	Qn	H→L					9.5										ns
tpd	max	CP	↑	TC	L→H					10.5										ns
tpd	max	CP	↑	TC	H→L					11										ns
Icc	max				H					120										mA
Icc	max				L					125										mA
IIH	max	ALL	H							0.1										mA
IIL	max	ALL	L							-0.6										mA
IOH	max			ALL	H					-1.0										mA
IOL	max			ALL	L					20										mA

社名	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立															
JRC															
MOT															
日電															
NS															
沖															
PHIL															
RCA															
三洋															
SIGNE															
TI															
東芝															

74282, 74286, 74321

74282 LOOK-AHEAD CARRY GENERATOR WITH SELECTABLE CARRY INPUTS

VCC 20, $\overline{P2}$ 19, $\overline{G2}$ 18, CnA 17, CnB 16, Cn+x 15, Cn+y 14, Cn' 13, $\overline{G}$ 12, Cn+z 11
$\overline{G1}$ 1, $\overline{P1}$ 2, $\overline{G0}$ 3, $\overline{P0}$ 4, $\overline{G3}$ 5, $\overline{P3}$ 6, S0 7, S1 8, $\overline{P}$ 9, GND 10

- 二つのキャリ入力の内の一つを選択
- ALUに直結可能
- カスケード接続可能

$\overline{G}$ 出力機能表

入力							出力
$\overline{G3}$	$\overline{G2}$	$\overline{G1}$	$\overline{G0}$	$\overline{P3}$	$\overline{P2}$	$\overline{P1}$	$\overline{G}$
L	X	X	X	X	X	X	L
X	L	X	X	L	X	X	L
X	X	L	X	L	L	X	L
X	X	X	L	L	L	L	L
その他の組み合わせ							H

Cn+z 出力機能表

入力							出力
$\overline{G2}$	$\overline{G1}$	$\overline{G0}$	$\overline{P2}$	$\overline{P1}$	$\overline{P0}$	Cn'	Cn+z
L	X	X	X	X	X	X	H
X	L	X	L	X	X	X	H
X	X	L	L	L	X	X	H
X	X	X	L	L	L	H	H
その他の組み合わせ							L

$\overline{P}$ 出力機能表

入力				出力
$\overline{P3}$	$\overline{P2}$	$\overline{P1}$	$\overline{P0}$	$\overline{P}$
L	L	L	L	L
その他の組み合わせ				H

Cn+x 出力機能表

入力			出力
$\overline{G0}$	$\overline{P0}$	Cn'	Cn+x
L	X	X	H
X	L	H	H
その他の組み合わせ			L

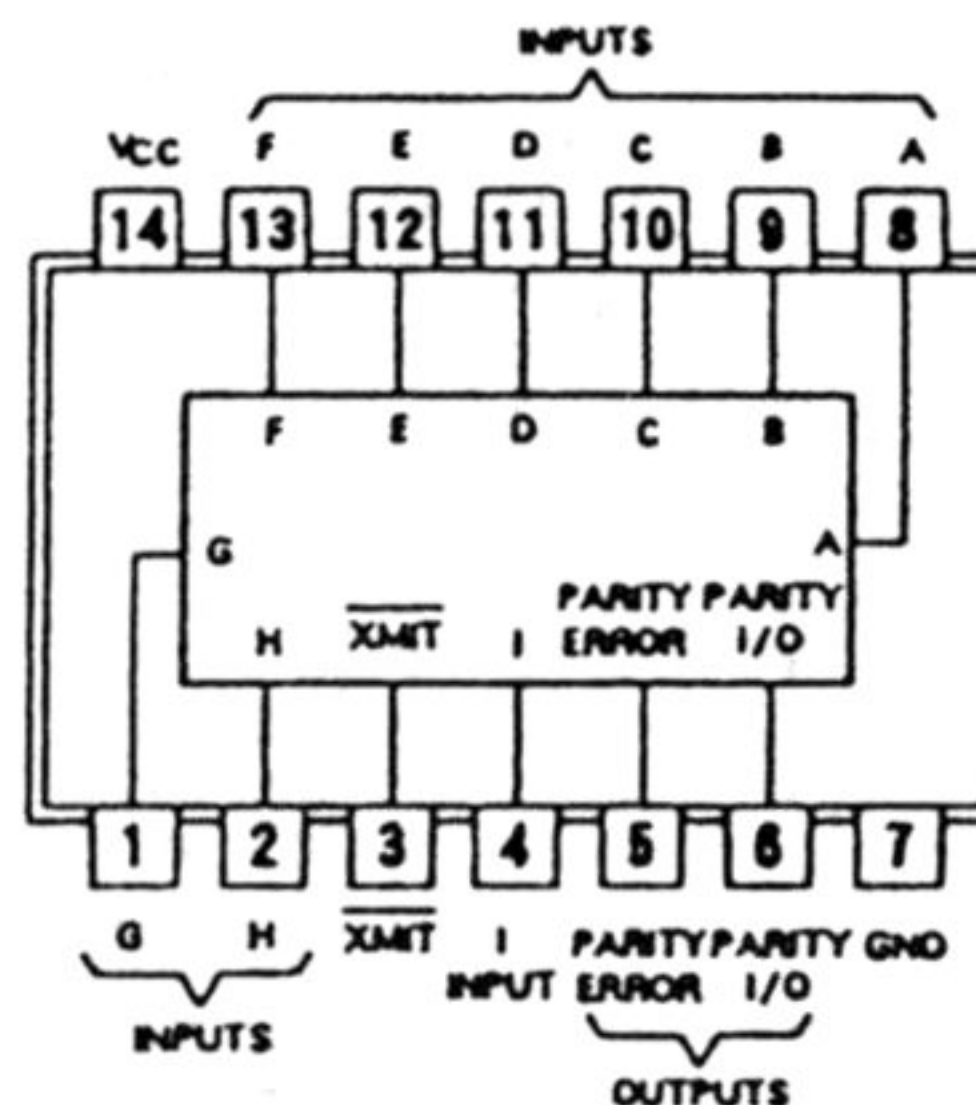
Cn+y 出力機能表

入力					出力
$\overline{G1}$	$\overline{G0}$	$\overline{P1}$	$\overline{P0}$	Cn'	Cn+y
L	X	X	X	X	H
X	L	L	X	X	H
X	X	L	L	H	H
その他の組み合わせ					L

Cn' 出力機能表

入力		出力
S1	S0	Cn'
L	L	CnA
L	H	$\overline{CnA}$
H	L	CnB
H	H	$\overline{CnB}$

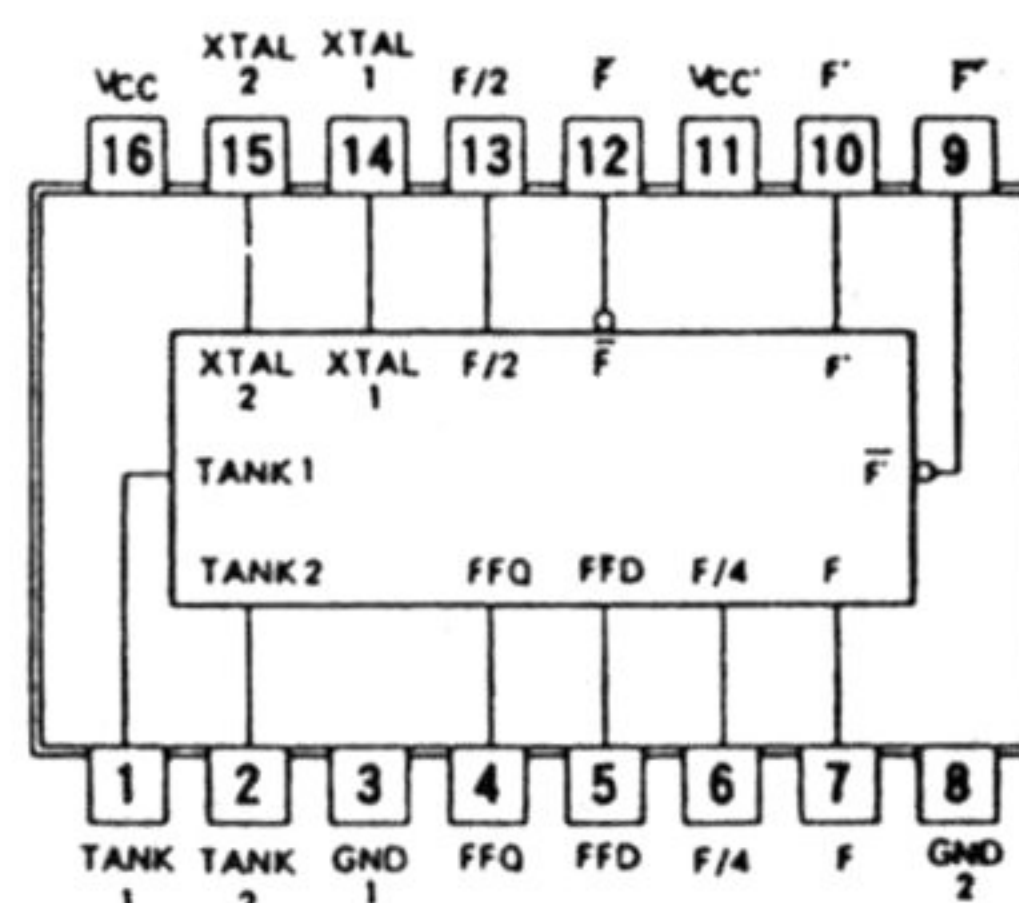
74286 9-BIT PARITY GENERATOR/CHECKER WITH BUS DRIVER PARITY I/O PORT

INPUTS: VCC 14, F 13, E 12, D 11, C 10, B 9, A 8
G 1, H 2 (INPUTS), $\overline{XMIT}$ 3, I INPUT 4, PARITY ERROR 5, PARITY I/O 6 (OUTPUTS), GND 7

- 9ビット・データに対する奇数あるいは偶数パリティを発生
- カスケード接続可能
- バスに直結可能
- 74AC11×××ファミリはセンタ・ピン・タイプ

入力がhighの数	$\overline{XMIT}$	PARITY I/O	PARITY ERROR
0, 2, 4, 6, 8	l	H	H
1, 3, 5, 7, 9	l	L	H
0, 2, 4, 6, 8	h	h	H
	h	l	L
1, 3, 5, 7, 9	h	h	L
	h	l	H

h:"H"入力レベル l:"L"入力レベル H:"H"出力レベル L:"L"出力レベル

74321 CRYSTAL-CONTROLLED OSCILLATOR

VCC 16, XTAL2 15, XTAL1 14, F/2 13, $\overline{F}$ 12, VCC' 11, F' 10, $\overline{F'}$ 9
TANK1 1, TANK2 2, GND1 3, FFQ 4, FFD 5, F/4 6, F 7, GND2 8

- 1MHzから20MHzまで発振可能
- コンプリメンタリ出力

74355, 74357, 74363

74355 8-LINE TO 1-LINE DATA SELECTORS/MULTIPLEXERS/TRANSPARENT REGISTERS

VCC Y W G3 $\overline{G2}$ $\overline{G1}$ S0 S1 S2 SELECT CONTROL
20 19 18 17 16 15 14 13 12 11
1 2 3 4 5 6 7 8 9 10
D7 D6 D5 D4 D3 D2 D1 D0 DATA CONTROL /CLOCK GND

入力							出力	
セレクト†			$\overline{DC}$	出力イネーブル				
S2	S1	S0		$\overline{G1}$	$\overline{G2}$	G3	W	Y
X	X	X	X	H	X	X	Z	Z
X	X	X	X	X	H	X	Z	Z
X	X	X	X	X	X	L	Z	Z
L	L	L	L	L	L	H	$\overline{D0}$	D0
L	L	L	H	L	L	H	$\overline{D0_n}$	$D0_n$
L	L	H	L	L	L	H	$\overline{D1}$	D1
L	L	H	H	L	L	H	$\overline{D1_n}$	$D1_n$
L	H	L	L	L	L	H	$\overline{D2}$	D2
L	H	L	H	L	L	H	$\overline{D2_n}$	$D2_n$
L	H	H	L	L	L	H	$\overline{D3}$	D3
L	H	H	H	L	L	H	$\overline{D3_n}$	$D3_n$
H	L	L	L	L	L	H	$\overline{D4}$	D4
H	L	L	H	L	L	H	$\overline{D4_n}$	$D4_n$
H	L	H	L	L	L	H	$\overline{D5}$	D5
H	L	H	H	L	L	H	$\overline{D5_n}$	$D5_n$
H	H	L	L	L	L	H	$\overline{D6}$	D6
H	H	L	H	L	L	H	$\overline{D6_n}$	$D6_n$
H	H	H	L	L	L	H	$\overline{D7}$	D7
H	H	H	H	L	L	H	$\overline{D7_n}$	$D7_n$

† 入力アドレスは $\overline{SC}$ "L" で設定します。

- セレクト入力にフリップ・フロップを内蔵
- オープン・コレクタ出力
- コンプリメンタリ出力
- 拡張容易

74357 8-LINE TO 1-LINE DATA SELECTORS/MULTIPLEXERS/EDGE-TRIGGERED REGISTERS

VCC Y W G3 $\overline{G2}$ $\overline{G1}$ S0 S1 S2 SELECT CONTROL
20 19 18 17 16 15 14 13 12 11
1 2 3 4 5 6 7 8 9 10
D7 D6 D5 D4 D3 D2 D1 D0 DATA CONTROL /CLOCK GND

入力							出力	
セレクト†			CLK	出力イネーブル				
C2	C1	C0		$\overline{G1}$	$\overline{G2}$	G3	W	Y
X	X	X	X	H	X	X	Z	Z
X	X	X	X	X	H	X	Z	Z
X	X	X	X	X	X	L	Z	Z
L	L	L	↑	L	L	H	$\overline{D0}$	D0
L	L	L	H or L	L	L	H	$\overline{D0_n}$	$D0_n$
L	L	H	↑	L	L	H	$\overline{D1}$	D1
L	L	H	H or L	L	L	H	$\overline{D1_n}$	$D1_n$
L	H	L	↑	L	L	H	$\overline{D2}$	D2
L	H	L	H or L	L	L	H	$\overline{D2_n}$	$D2_n$
L	H	H	↑	L	L	H	$\overline{D3}$	D3
L	H	H	H or L	L	L	H	$\overline{D3_n}$	$D3_n$
H	L	L	↑	L	L	H	$\overline{D4}$	D4
H	L	L	H or L	L	L	H	$\overline{D4_n}$	$D4_n$
H	L	H	↑	L	L	H	$\overline{D5}$	D5
H	L	H	H or L	L	L	H	$\overline{D5_n}$	$D5_n$
H	H	L	↑	L	L	H	$\overline{D6}$	D6
H	H	L	H or L	L	L	H	$\overline{D6_n}$	$D6_n$
H	H	H	↑	L	L	H	$\overline{D7}$	D7
H	H	H	H or L	L	L	H	$\overline{D7_n}$	$D7_n$

† 入力アドレスはCLK↑で設定します

- セレクト入力にフリップ・フロップを内蔵
- オープン・コレクタ出力
- コンプリメンタリ出力
- 拡張容易

74363 OCTAL 3-STATE D-LATCHES

Vcc 8Q 8D 7D 7Q 6Q 6D 5D 5Q ENABLE G
20 19 18 17 16 15 14 13 12 11
1 2 3 4 5 6 7 8 9 10
OUTPUT CONTROL 1Q 1D 2D 2Q 3Q 3D 4D 4Q GND

○74373の出力段を変形してHレベル出力電圧を高くしたタイプ(MOS等へのインターフェース用)

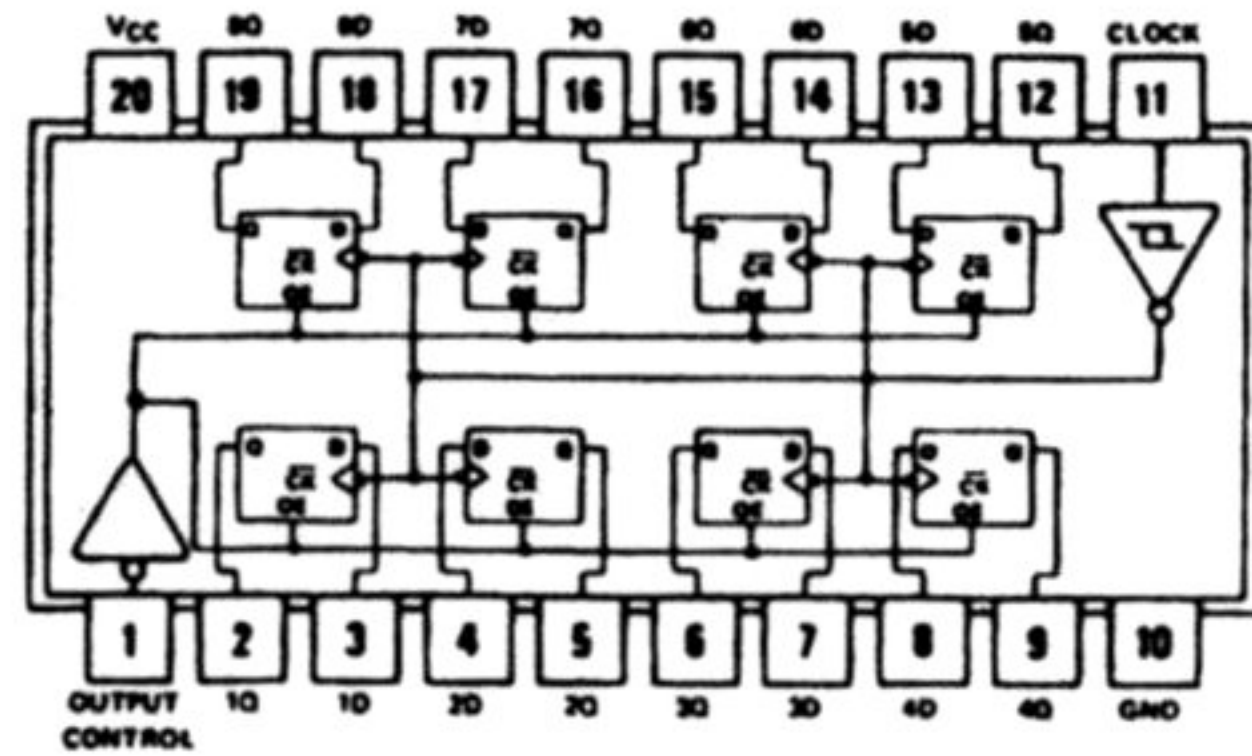
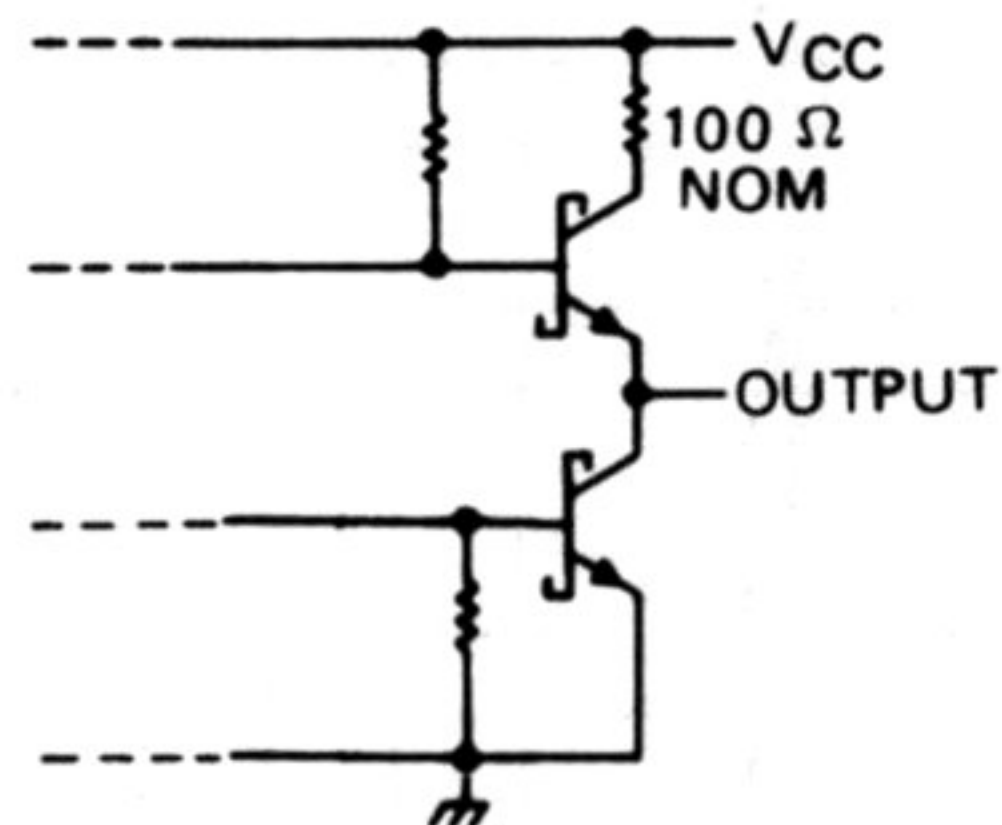
VCC
100 Ω NOM
OUTPUT

出力回路

8 bit ラッチ

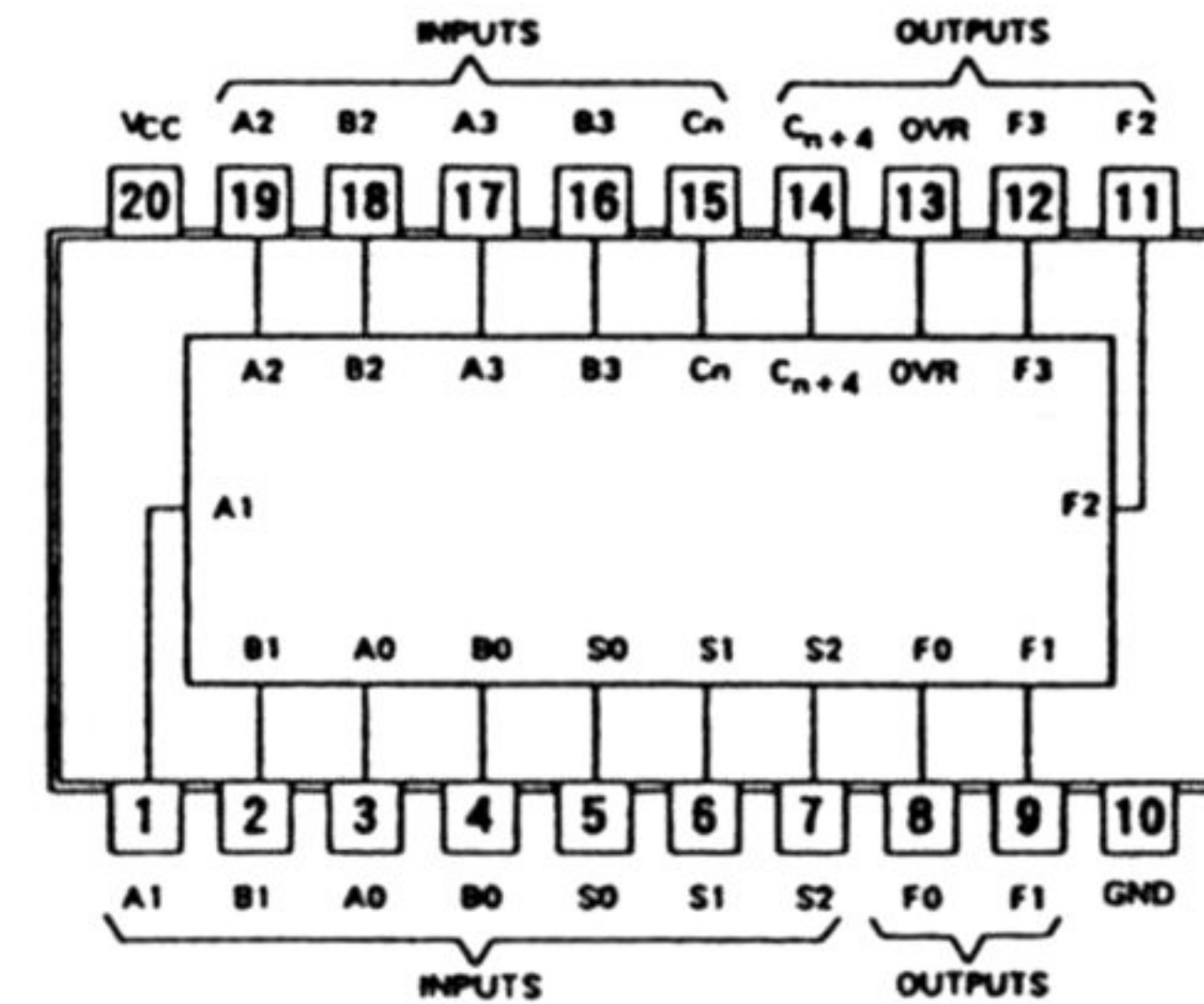
ナンバー	出力	ピン接	
74363	正	隣接	Hレベル3.65V

74364, 74382

74364　OCTAL 3-STATE D-FFS

○74374の出力段を変形してHレベル出力電圧を高くしたタイプ(MOS等へのインターフェース用)

出力回路

8 bit-D-FF

ナンバー	出力	ピン接	
74364	正	隣接	Hレベル 3.65V

74382　ARITHMETIC LOGIC UNIT/FUNCTION GENERATOR

●リップル・キャリとオーバーフロー出力

機能選択			算術/論理機能
S2	S1	S0	
L	L	L	クリア
L	L	H	B マイナス A
L	H	L	A マイナス B
L	H	H	A プラス B
H	L	L	A ⊕ B
H	L	H	A + B
H	H	L	A B
H	H	H	プリセット

74384 8-Bit by 1-Bit 2's-Complement Multipliers

○ 8ビット並列入力，直列出力乗算

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25			65									MHz
tw	min	CLK					15			8									ns
tw	min	CLEAR					20			7									ns
tsu	min	Y→CK					32↑			15↑									ns
tsu	min	K→CK					18↑			13↑									ns
tsu	min	X→CLR					13			5									ns
thold	min	ALL					0↑			2↑									ns
tpd	max	CLK		Σ			20			10									ns
tpd	max	CLR		Σ			25			14									ns
Icc	max	Vcc=MX					155			90									mA
IIH	max	X, MODE					20			20									μA
IIL	max	X, MODE					0.48			0.6									mA
IIH	max	K	H				70			20									μA
IIL	max	K	L				1.2			0.6									mA
IIH	max	Y	H				80			20									μA
IIL	max	Y	L				3.2			0.6									mA
IIH	max	CLR	H				70			20									μA
IIL	max	CLR	L				1.2			1.2									mA
IIH	max	CLK	H				40			20									μA
IIL	max	CLK	L				1.6			0.6									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

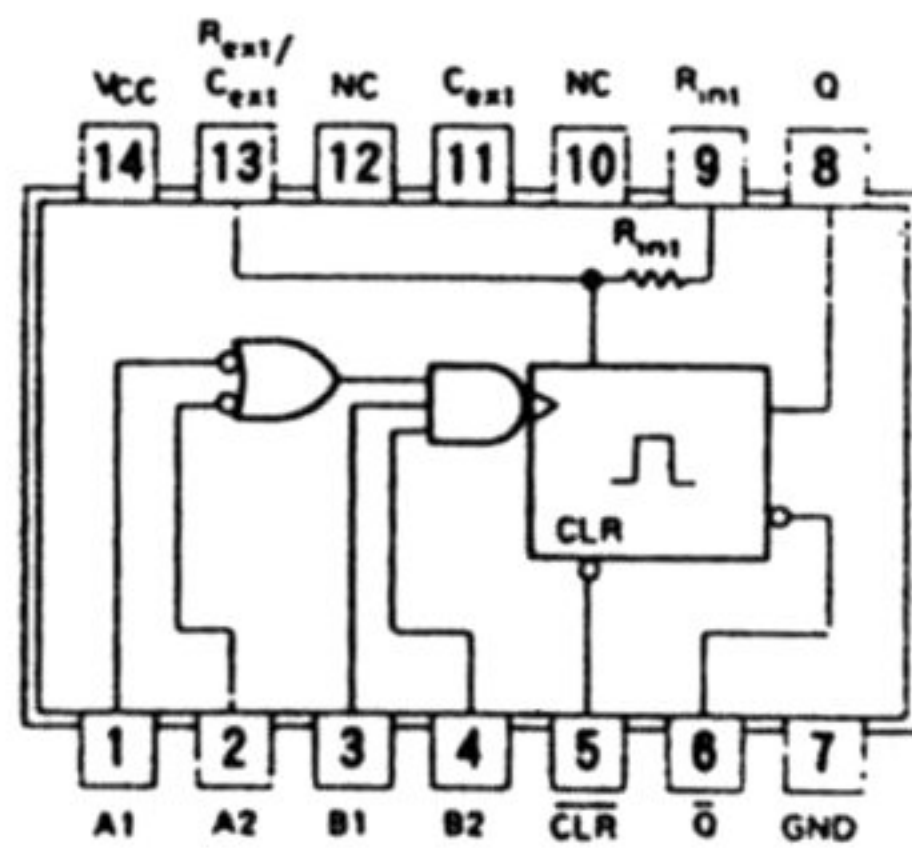
FUNCTION TABLE

INPUTS				INTERNAL	OUTPUT	FUNCTION
$\overline{CLR}$	CLK	X_i	Y	Y_{-1}	PROD	
L	X	Data	X	L	L	Load new multiplicand and clear internal sum and carry registers
H	↑	X	L	L	Output	Shift sum register
H	↑	X	L	H	per	Add multiplicand to sum register and shift
H	↑	X	H	L	Booth's	Subtract multiplicand from sum register and shift
H	↑	X	H	H	algorithm	Shift sum register

H = high-level, L = low-level, X = irrevelant, ↑ = low-to-high-level transition

74422, 74440, 74441, 74446

74422 RE-TRIGGERABLE MONO-STABLE MULTIVIBRATOR

VCC R_{ext}/C_{ext} NC C_{ext} NC R_{int} Q
14 13 12 11 10 9 8
R_{int} CLR
1 2 3 4 5 6 7
A1 A2 B1 B2 $\overline{CLR}$ $\overline{Q}$ GND

●非同期クリア

入				力	出	力
$\overline{CLR}$	A1	A2	B1	B2	Q	$\overline{Q}$
L	X	X	X	X	L	H
X	H	H	X	X	L	H
X	X	X	L	X	L	H
X	X	X	X	L	L	H
H	L	X	↑	H	⊓	⊔
H	L	X	H	↑	⊓	⊔
H	X	L	↑	H	⊓	⊔
H	X	L	H	↑	⊓	⊔
H	H	↓	H	H	⊓	⊔
H	↓	↓	H	H	⊓	⊔
H	↓	H	H	H	⊓	⊔

74441 QUAD TRIDIRECTIONAL BUS TRANSCEIVERS

Vcc $\overline{GC}$ $\overline{GB}$ $\overline{GA}$ A1 A2 A3 A4 S1 S0
20 19 18 17 16 15 14 13 12 11
$\overline{GC}$ $\overline{GB}$ $\overline{GA}$ A1 A2 A3 A4 S1
$\overline{CS}$ S0
B1 C1 C2 B2 B3 C3 C4 B4
1 2 3 4 5 6 7 8 9 10
$\overline{CS}$ B1 C1 C2 B2 B3 C3 C4 B4 GND

入				力		バス間の
CS	S0	S0	$\overline{GA}$	$\overline{GB}$	$\overline{GC}$	データの転送
H	X	X	X	X	X	なし
X	H	H	X	X	X	なし
X	X	X	H	H	H	なし
X	L	L	H	H	H	なし
X	L	H	H	X	H	なし
X	H	L	H	H	X	なし
L	L	L	X	L	L	$\overline{A}$→B, $\overline{A}$→C
L	L	H	L	X	L	$\overline{B}$→C, $\overline{B}$→A
L	H	L	L	L	X	$\overline{C}$→A, $\overline{C}$→B
L	L	L	X	L	H	$\overline{A}$→B
L	L	H	H	X	L	$\overline{B}$→C
L	H	L	L	H	X	$\overline{C}$→A
L	L	L	X	H	L	$\overline{A}$→C
L	L	H	L	X	H	$\overline{B}$→A
L	H	L	H	L	X	$\overline{C}$→B

●三つのバス間のデータの転送
●オープン・コレクタ出力

74440 QUAD TRIDIRECTIONAL BUS TRANSCEIVERS

Vcc $\overline{GC}$ $\overline{GB}$ $\overline{GA}$ A1 A2 A3 A4 S1 S0
20 19 18 17 16 15 14 13 12 11
$\overline{GC}$ $\overline{GB}$ $\overline{GA}$ A1 A2 A3 A4 S1
$\overline{CS}$ S0
B1 C1 C2 B2 B3 C3 C4 B4
1 2 3 4 5 6 7 8 9 10
$\overline{CS}$ B1 C1 C2 B2 B3 C3 C4 B4 GND

入				力		バス間の
CS	S1	S0	$\overline{GA}$	$\overline{GB}$	$\overline{GC}$	データの転送
H	X	X	X	X	X	なし
X	H	H	X	X	X	なし
X	X	X	H	H	H	なし
X	L	L	H	H	H	なし
X	L	H	H	X	H	なし
X	H	L	H	H	X	なし
L	L	L	X	L	L	A→B, A→C
L	L	H	L	X	L	B→C, B→A
L	H	L	L	L	X	C→A, C→B
L	L	L	X	L	H	A→B
L	L	H	H	X	L	B→C
L	H	L	L	H	X	C→A
L	L	L	X	H	L	A→C
L	L	H	L	X	H	B→A
L	H	L	H	L	X	C→B

●三つのバス間のデータの転送
●オープン・コレクタ出力

74446 QUAD BUS TRANSCEIVERS WITH DIRECTION CONTROLS

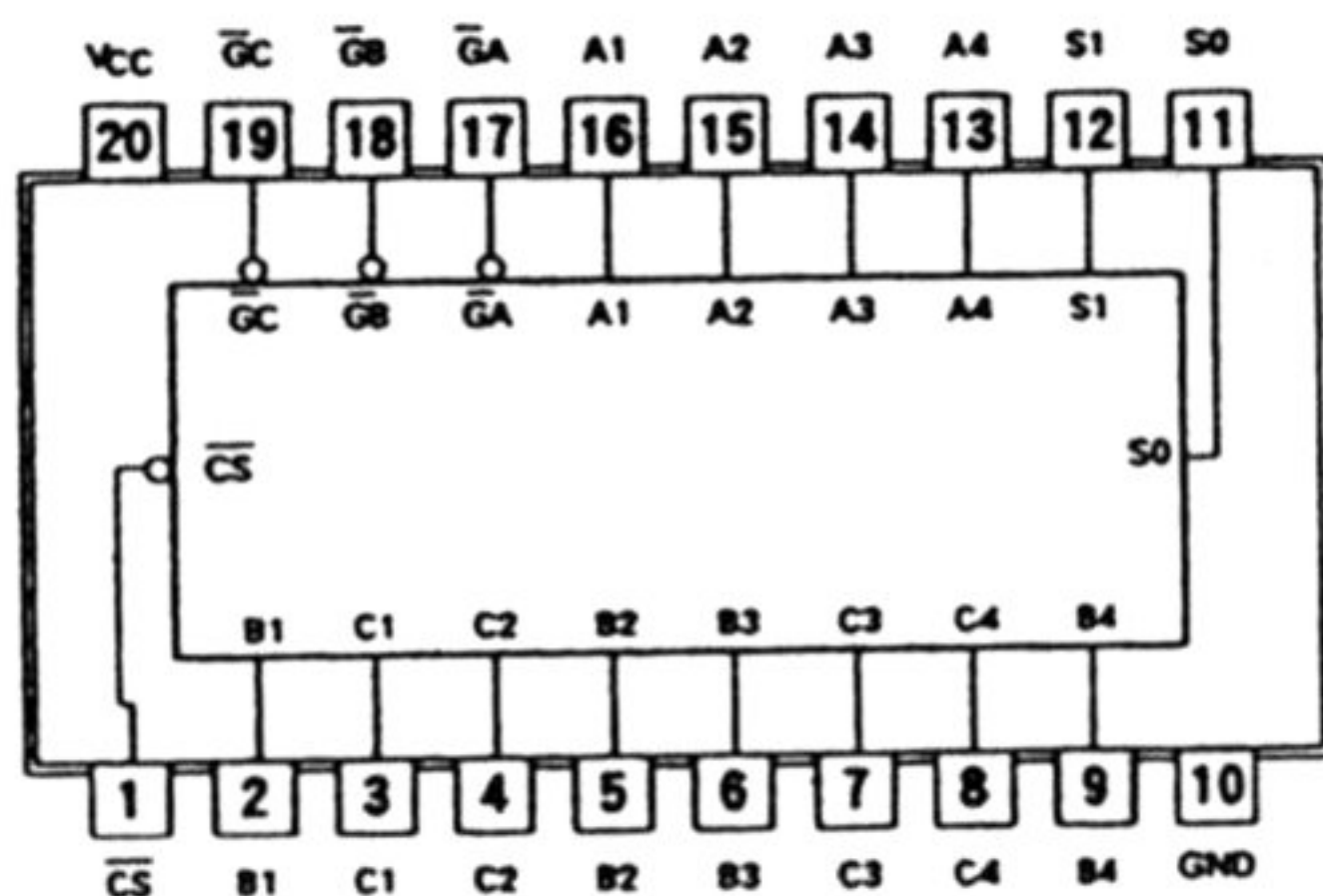
Vcc $\overline{GAB}$ B1 DIR1 B2 B3 DIR4 B4
16 15 14 13 12 11 10 9
B GAB DIR GBA A
1 2 3 4 5 6 7 8
$\overline{GBA}$ A1 DIR2 A2 A3 DIR3 A4 GND

●3ステート出力
●PNPトランジスタ入力
●シュミット・トリガ入力

入	力	方向	動　　作
$\overline{GBA}$	$\overline{GAB}$	DIR	
H	H	X	アイソレーション
X	L	H	$\overline{A}$データからBバス
L	X	L	$\overline{B}$データからAバス
X	H	H	アイソレーション
H	X	L	アイソレーション

74448, 74522, 74560

74448 QUAD TRIDIRECTIONAL BUS TRANSCEIVERS

Vcc $\overline{GC}$ $\overline{GB}$ $\overline{GA}$ A1 A2 A3 A4 S1 S0
20 19 18 17 16 15 14 13 12 11
1 2 3 4 5 6 7 8 9 10
$\overline{CS}$ B1 C1 C2 B2 B3 C3 C4 B4 GND

入	力					バス間のデータの転送
CS	S1	S0	$\overline{GA}$	$\overline{GB}$	$\overline{GC}$	
H	X	X	X	X	X	なし
X	H	H	X	X	X	なし
X	X	X	H	H	H	なし
X	L	L	H	H	H	なし
X	L	H	H	X	H	なし
X	H	L	H	H	X	なし
L	L	L	X	L	L	$\overline{A}$→B, $\overline{A}$→C
L	L	H	L	X	L	B→C, $\overline{B}$→A
L	H	L	L	L	X	$\overline{C}$→A, C→B
L	L	L	X	L	H	$\overline{A}$→B
L	L	H	H	X	L	B→C
L	H	L	L	H	X	$\overline{C}$→A
L	L	L	X	H	L	$\overline{A}$→C
L	L	H	L	X	H	$\overline{B}$→A
L	H	L	H	L	X	C→B

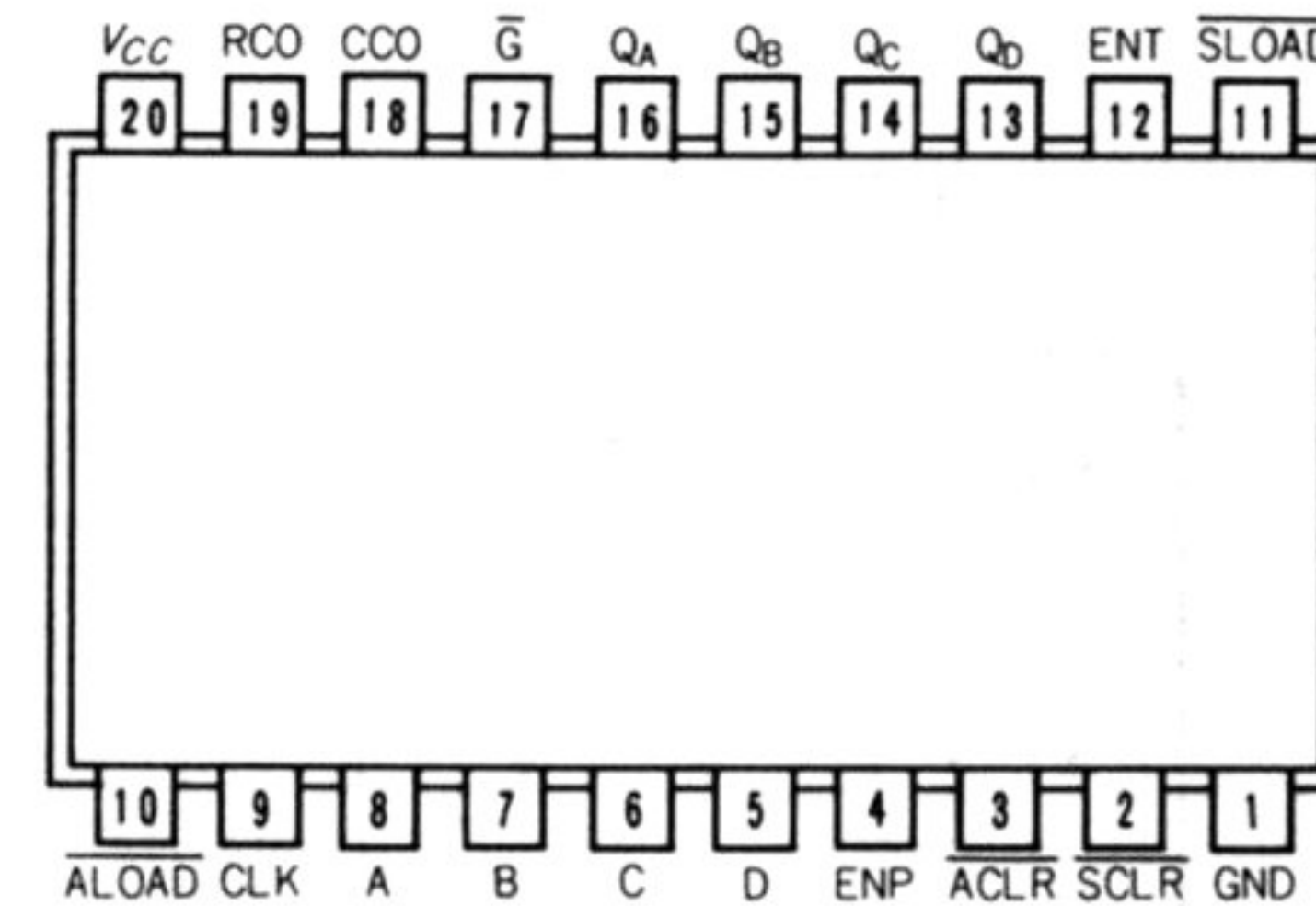
- 三つのバス間のデータの転送
- オープン・コレクタ出力

74522 8-BIT EQUAL-TO COMPARATOR

V_{CC} $\overline{A=B}$ B7 A7 B6 A6 B5 A5 B4 A4
20 19 18 17 16 15 14 13 12 11
1 2 3 4 5 6 7 8 9 10
$\overline{G}$ A0 B0 A1 B1 A2 B2 A3 B3 GND

ナンバー	入力	出力	
74522	20K P. U.	不一致	O. C.

74560 SYNCHRONOUS PRESETTABLE DECABLE COUNTER (3-STATE)

V_{CC} RCO CCO $\overline{G}$ Q_A Q_B Q_C Q_D ENT $\overline{SLOAD}$
20 19 18 17 16 15 14 13 12 11
10 9 8 7 6 5 4 3 2 1
$\overline{ALOAD}$ CLK A B C D ENP $\overline{ACLR}$ $\overline{SCLR}$ GND

○ロード，クリアは同期／非同期両方あり
○568のU／$\overline{D}$を非同期ロードに変えた物
○560はBCD，561はBinary

入						力		出	力		動作
CLK	Enable		Clear		Load		$\overline{G}$	Q_A～Q_D	Carry		
	ENP	ENT	$\overline{ACLR}$	$\overline{SCLR}$	$\overline{ALOAD}$	$\overline{SLOAD}$			RCO	CCO	
↑	H	H	H	H	H	H	—	——			カウント
	X	X	H	H	H	L					同期ロード
	X	X	H	L	H	X					同期クリア
X	X	X	H	X	L	X	—	——			ロード
			L		X						クリア
X	X	H	——				—	HLLH	H	——	——
H	H									H	
——							H				High-Z

74543 OCTAL REGISTERED TRANSCEIVERS

- レジスタ付き双方向バス・トランシーバ
- 非反転出力
- 3ステート出力

入力				出力	機能・動作 †
$\overline{\text{GAB}}$	$\overline{\text{CEAB}}$	$\overline{\text{LEAB}}$	DATA	B1～B8	
H	X	X	X	Z	出力ディセーブル
L	H	L	L	Z	出力ディセーブル
L	H	L	H	Z	Aデータラッチ
L	L	H	L	L	Aデータラッチ
L	L	H	H	H	
L	L	L	L	L	トランスペアレント
L	L	L	H	H	

†Bデータを Aに出力する場合 GBA、CEBA、LEBAの入力を使用すること以外動作は同じ。

項目	大小	入力	IN	出力	OUT	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min									70										MHz
tpd	max	An/Bn		Bn/An	L→H					8.5										ns
tpd	max	An/Bn		Bn/An	H→L					7.5										ns
tpd	max	LEBA		An	L→H					12.5										ns
tpd	max	LEBA		An	H→L					12.5										ns
tpd	max	LEAB		Bn	L→H					12.5										ns
tpd	max	LEAB		Bn	H→L					12.5										ns
Icc	max				H					100										mA
Icc	max				L					125										mA
Icc	max				Z					125										mA
IIH	max	An/Bn	H							1.0										mA
IIL	max	ALL	L							0.6										mA
IOH	max			ALL	H					-3.0										mA
IOL	max			ALL	L					24										mA

社名	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立															
JRC															
MOT					DF										
日電															
NS															
沖															
PHIL															
RCA															
三洋															
SIGNE															
TI															
東芝															

74544 OCTAL REGISTERED TRANSCEIVERS

- レジスタ付き双方向バス・トランシーバ
- 非反転出力
- 3ステート出力

入力				出力	機能・動作 †
$\overline{GAB}$	$\overline{CEAB}$	$\overline{LEAB}$	DATA	B1〜B8	
H	X	X	X	Z	出力ディセーブル
L	H	L	L	Z	出力ディセーブル
L	H	L	H	Z	Aデータラッチ
L	L	H	L	H	Aデータラッチ
L	L	H	H	L	
L	L	L	L	H	トランスペアレント
L	L	L	H	L	

† Bデータを Aに出力する場合 $\overline{GBA}$、$\overline{CEBA}$、$\overline{LEBA}$の入力を使用すること以外動作は同じ。

項目	大小	入力	IN	出力	OUT	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	An/Bn		Bn/An	L→H					10.5										MHz
tpd	max	An/Bn		Bn/An	H→L					7.5										ns
tpd	max	LEBA		An	L→H					14.5										ns
tpd	max	LEBA		An	H→L					10.5										ns
tpd	max	LEAB		Bn	L→H					14.5										ns
tpd	max	LEAB		Bn	H→L					10.5										ns
Icc	max				H					70										mA
Icc	max				L					95										mA
Icc	max				Z					95										mA
IIH	max	An/Bn	H							1.0										mA
IIL	max	ALL	L							0.6										mA
IOH	max			ALL	H					-3.0										mA
IOL	max			ALL	L					24										mA
IOL	max			ALL	L					24										mA

社名	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立															
JRC															
MOT					DF										
日電															
NS															
沖															
PHIL															
RCA															
三洋															
SIGNE															
TI															
東芝															

74579 8-BIT BIDIRECTIONAL BINARY COUNTER (3-STATE)

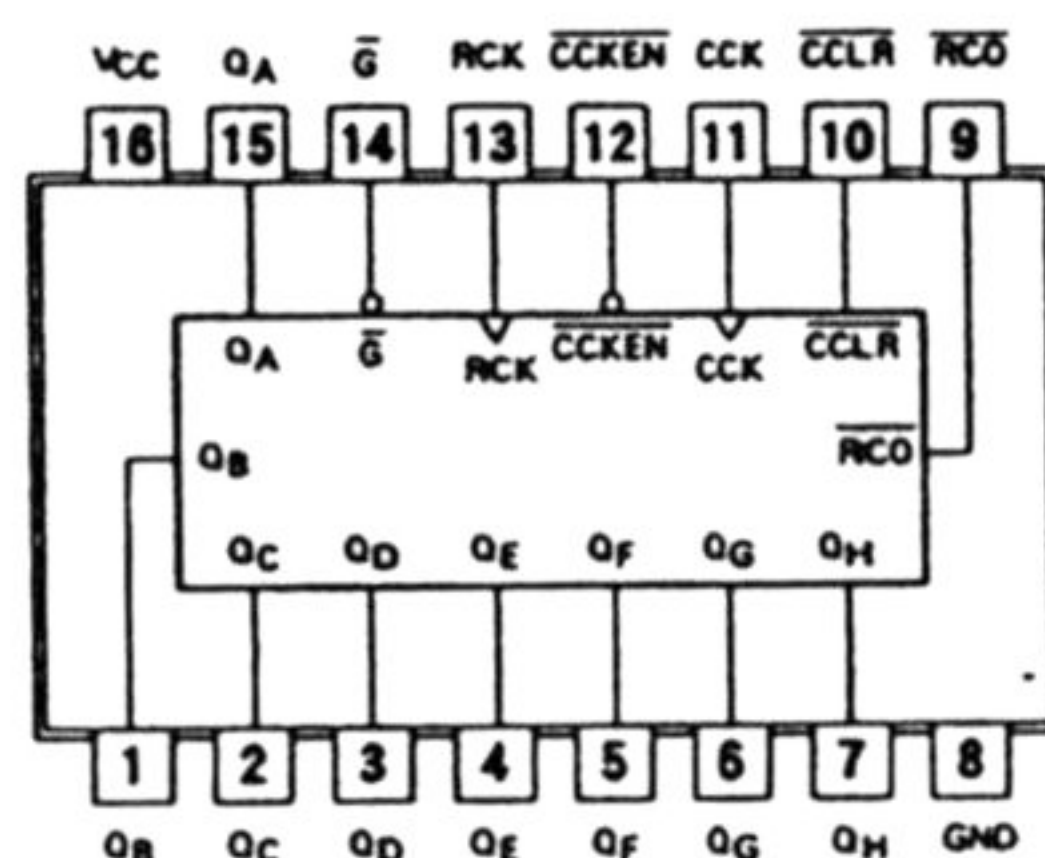
$\overline{MR}$	$\overline{SR}$	$\overline{CS}$	$\overline{PE}$	$\overline{CEP}$	$\overline{CET}$	U/$\overline{D}$	$\overline{OE}$	CP	機　能
X	X	H	X	X	X	X	X	X	I/O_0 to I/O_7 in Hi-Z ($\overline{PE}$ disabled)
X	X	L	H	X	X	X	H	X	I/O_0 to I/O_7 in Hi-Z
X	X	L	H	X	X	X	L	X	Flip-Flop outputs appear on I/O lines
L	X	X	X	X	X	X	X	X	Asynchronous reset for all flip-flops
H	L	X	X	X	X	X	X	↑	Synchronous reset for all flip-flops
H	H	L	L	X	X	X	X	↑	Parallel load all flip-flops
H	H	(not LL)		H	X	X	X	↑	Hold
H	H	(not LL)		X	H	X	X	↑	Hold ($\overline{TC}$ held high)
H	H	(not LL)		L	L	H	X	↑	Count up
H	H	(not LL)		L	L	L	X	↑	Count down

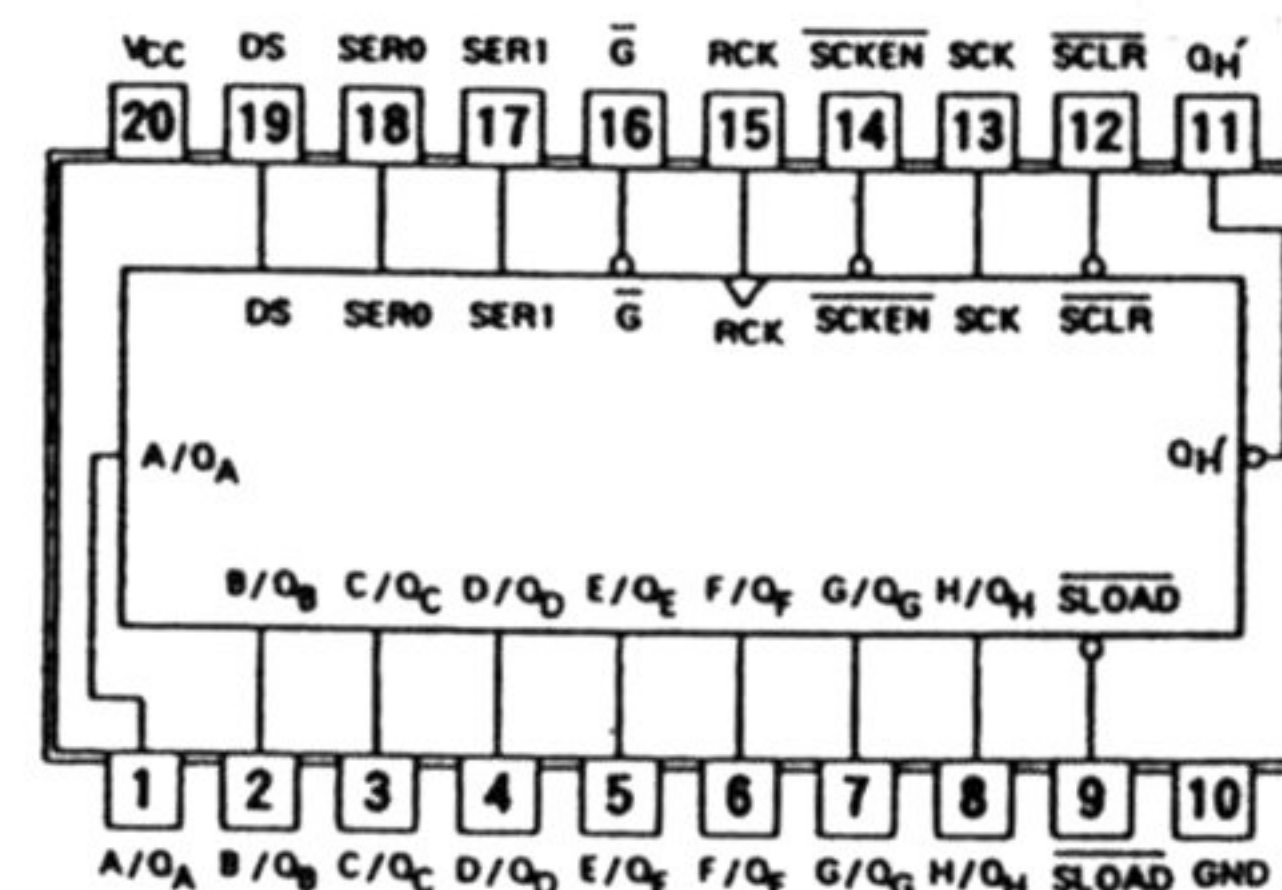
Aの詳細

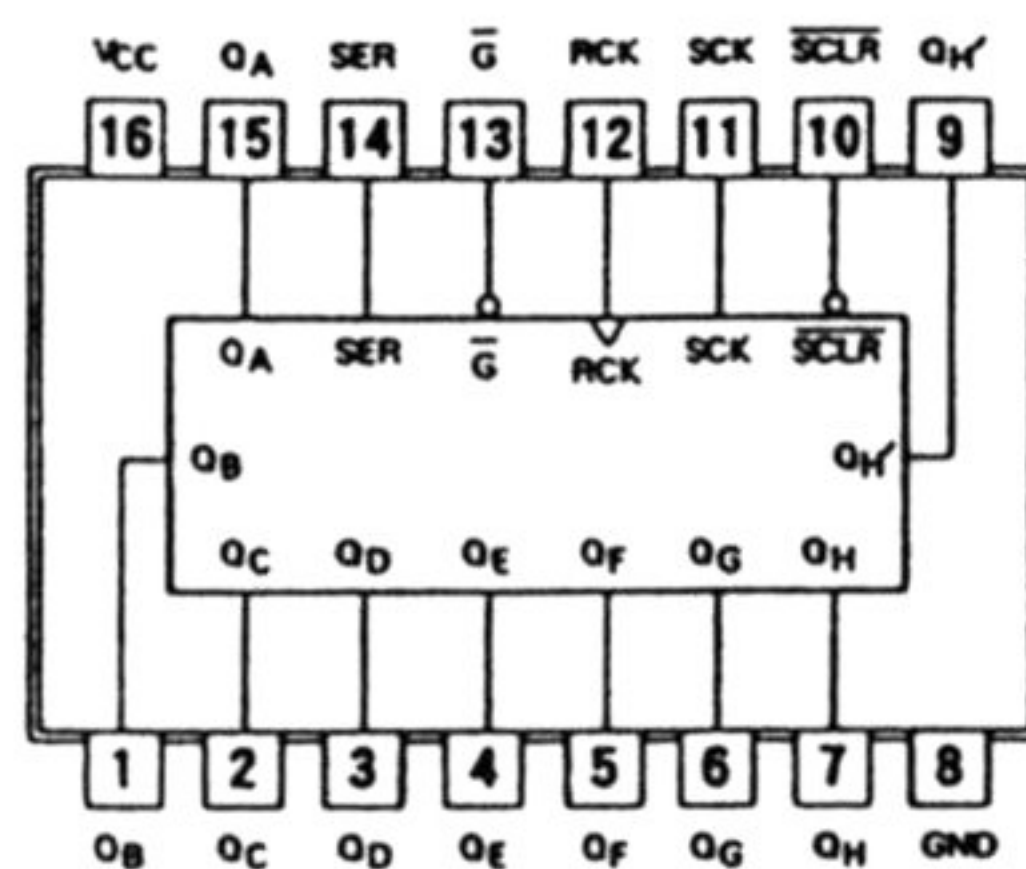
項目	大小	入力	IN	出力	OUT	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min									80										MHz
tpd	max	CP	↑	I/On	L→H					11.5										ns
tpd	max	CP	↑	I/On	H→L					11.5										ns
tpd	max	CP	↑	TC	L→H					11										ns
tpd	max	CP	↑	TC	H→L					11										ns
Icc	max				H					135										mA
Icc	max				L					145										mA
Icc	max				Z					150										mA
IIH	max	I/On	H							1.0										mA
IIL	max	ALL	L							-0.6										mA
IOH	max			I/On	H					-3.0										mA
IOL	max			I/On	L					24										mA

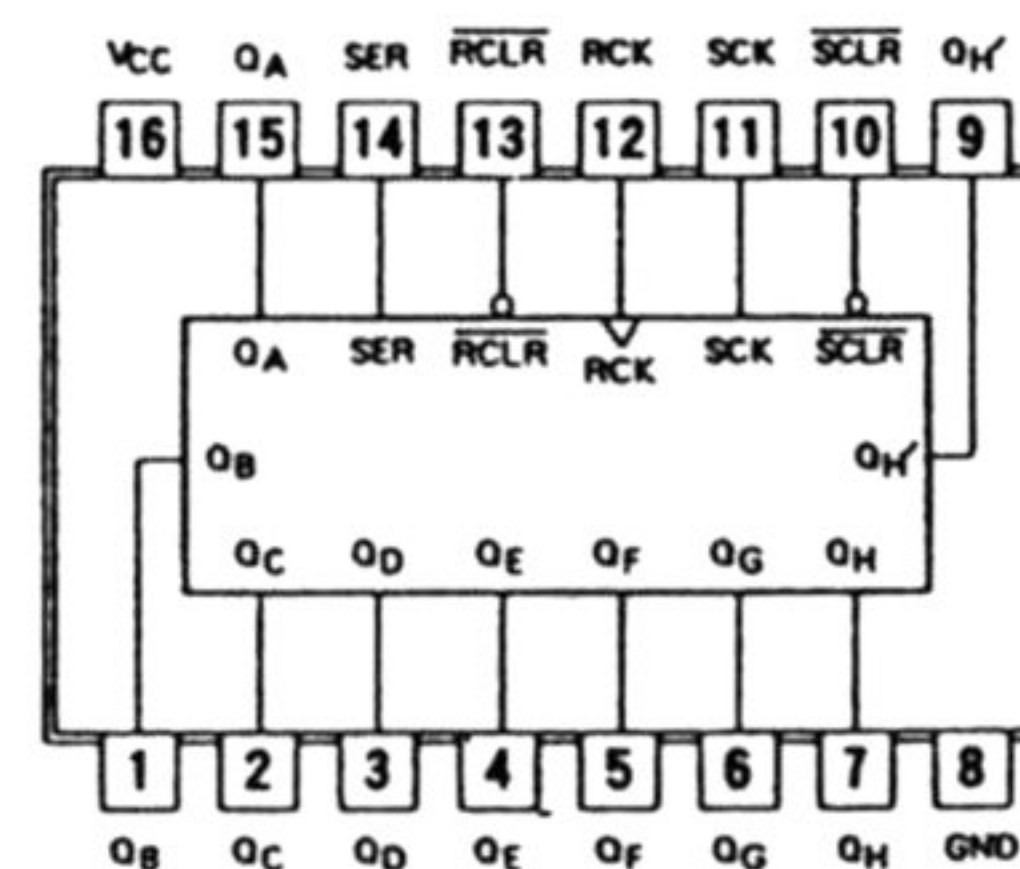
社名	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立															
JRC															
MOT															
日電															
NS															
沖															
PHIL															
RCA															
三洋															
SIGNE															
TI															
東芝															

74591, 74596, 74598, 74599

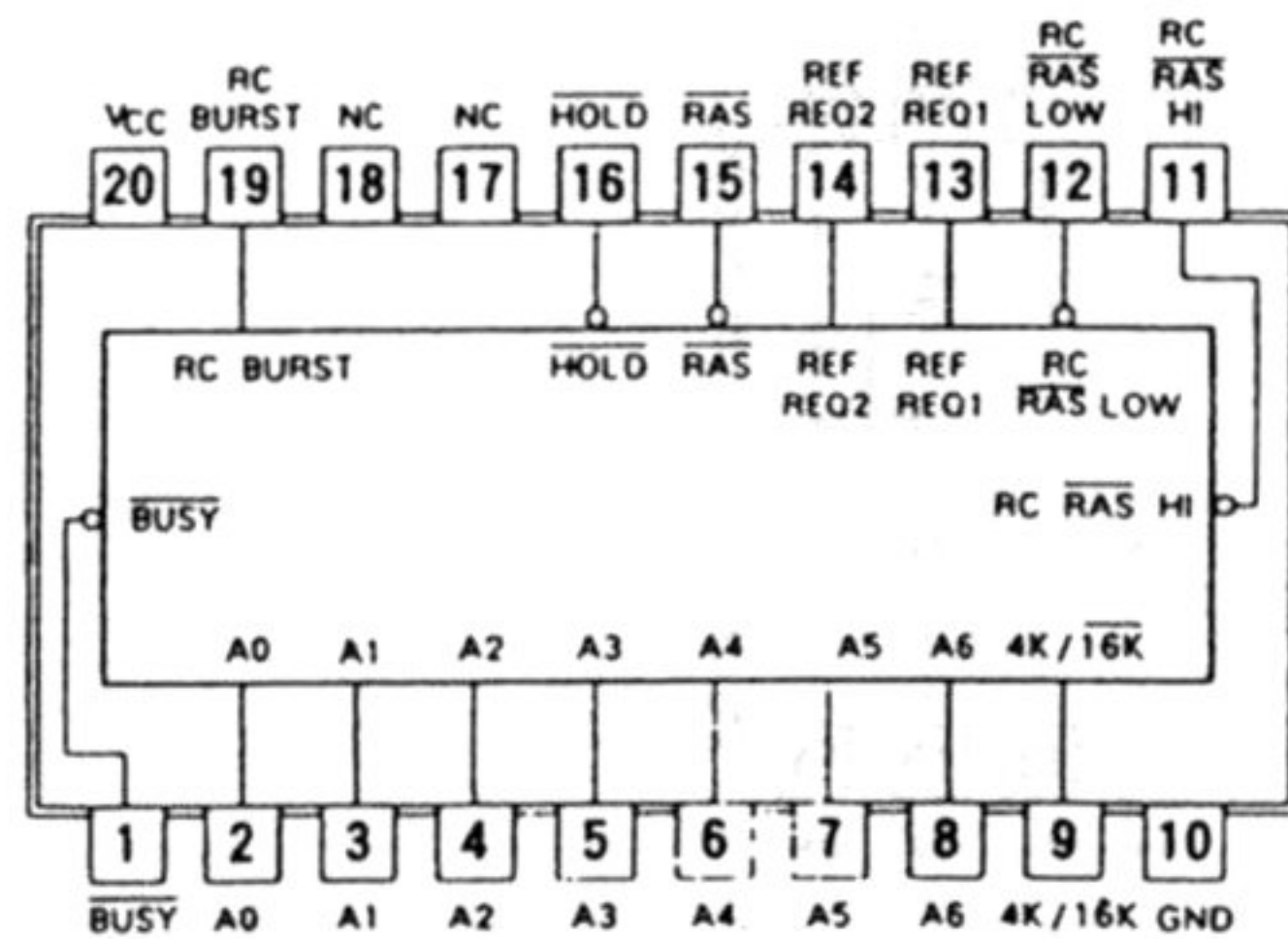
74591 8-BIT BINARY COUNTER WITH OUTPUT REGISTER

●パラレル出力レジスタ内蔵
●非同期クリア（カウンタ）
●オープン・コレクタ出力
●最大動作周波数………20MHz

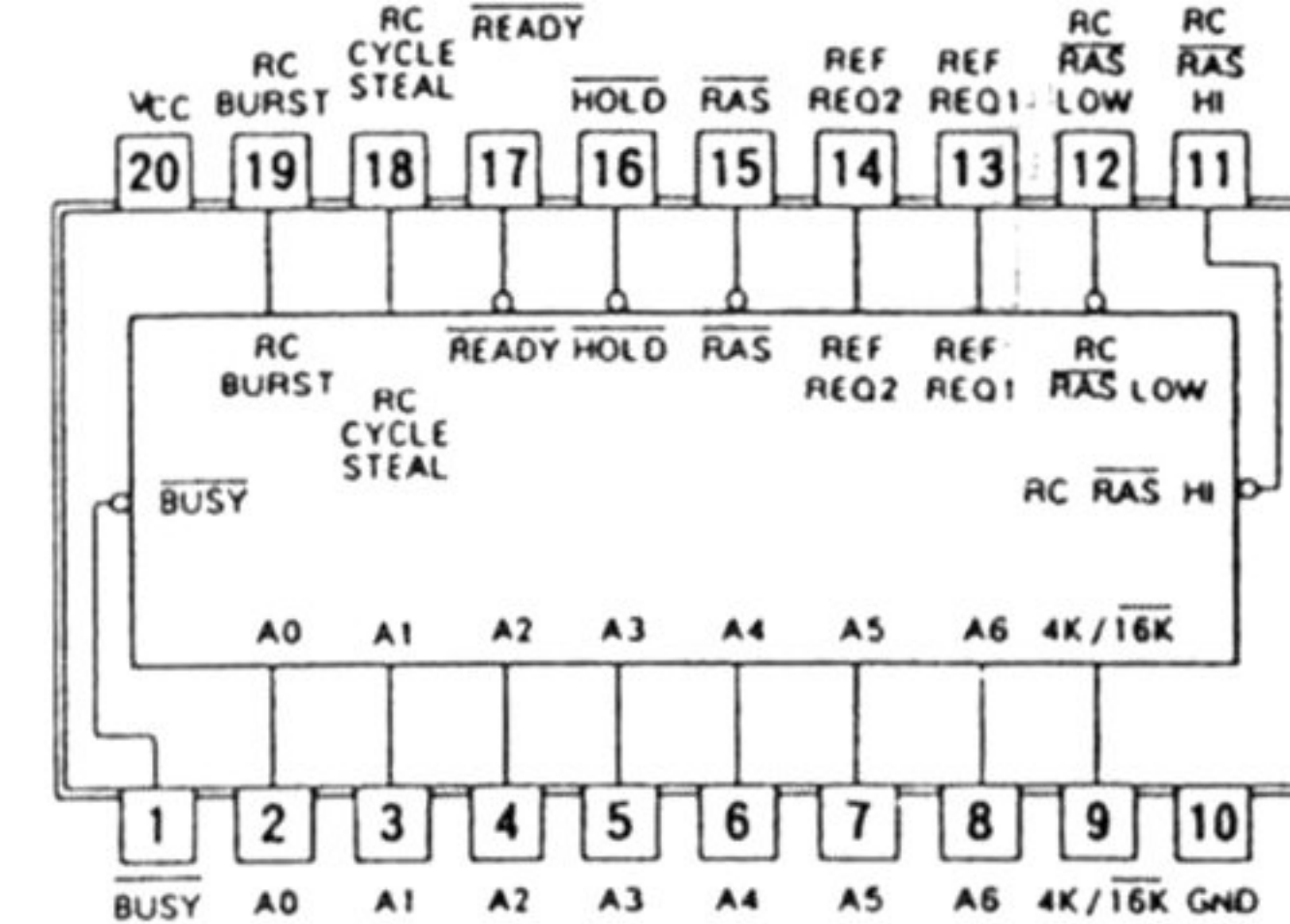
74598 8-BIT SHIFT REGISTER WITH INPUT LATCHE

●I/O ポート（レジスタ入力, シフト・レジスタ出力）
●非同期ロード（シフト・レジスタ）
●非同期クリア（シフト・レジスタ）
●最大動作周波数………20MHz

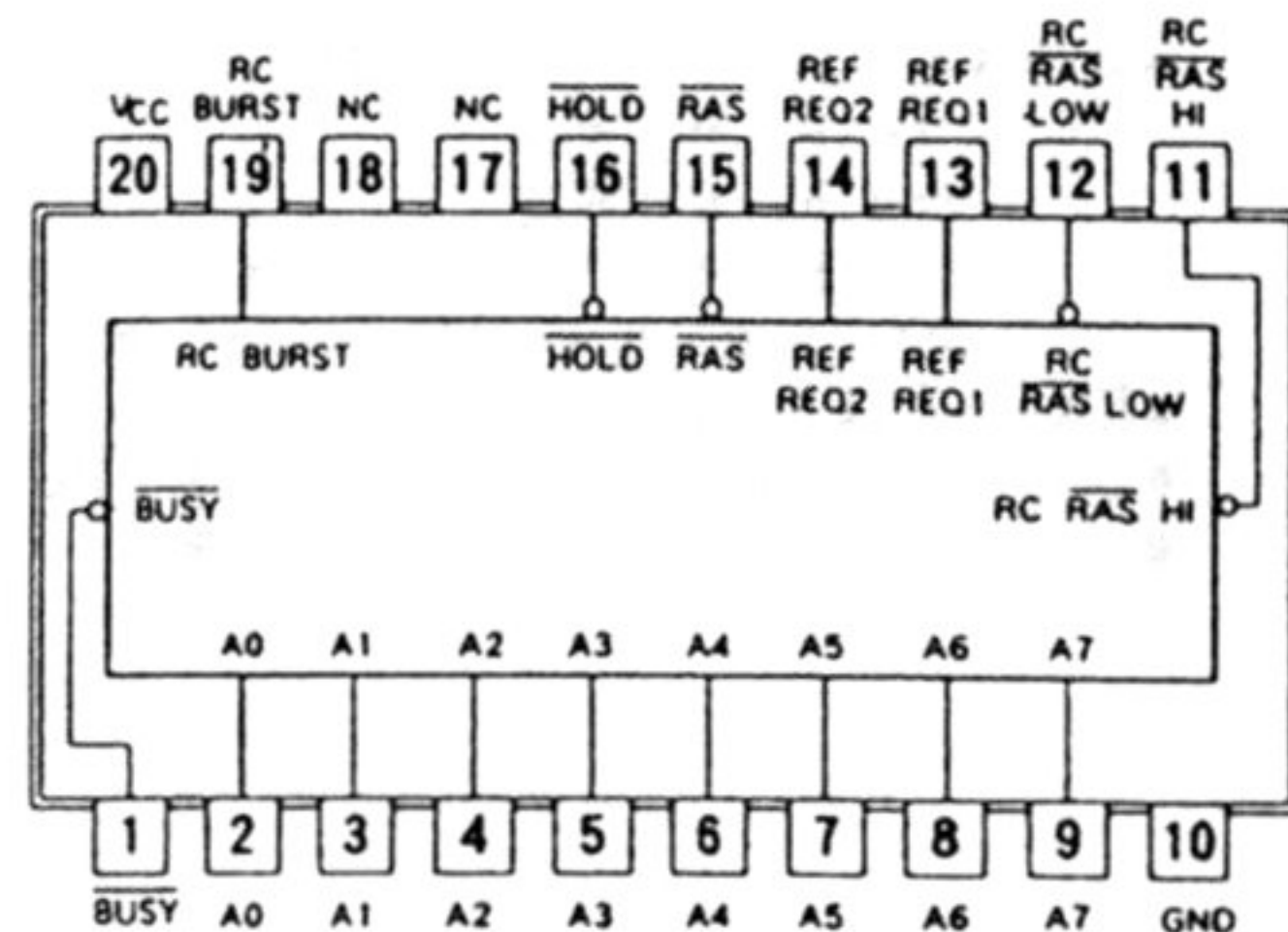
74596 8-BIT SHIFT REGISTER WITH OUTPUT LATCHE

●8ビット・シリアル入力, パラレル出力
●オープン・コレクタ出力
●非同期クリア（シフト・レジスタ）
●最大動作周波数………20MHz

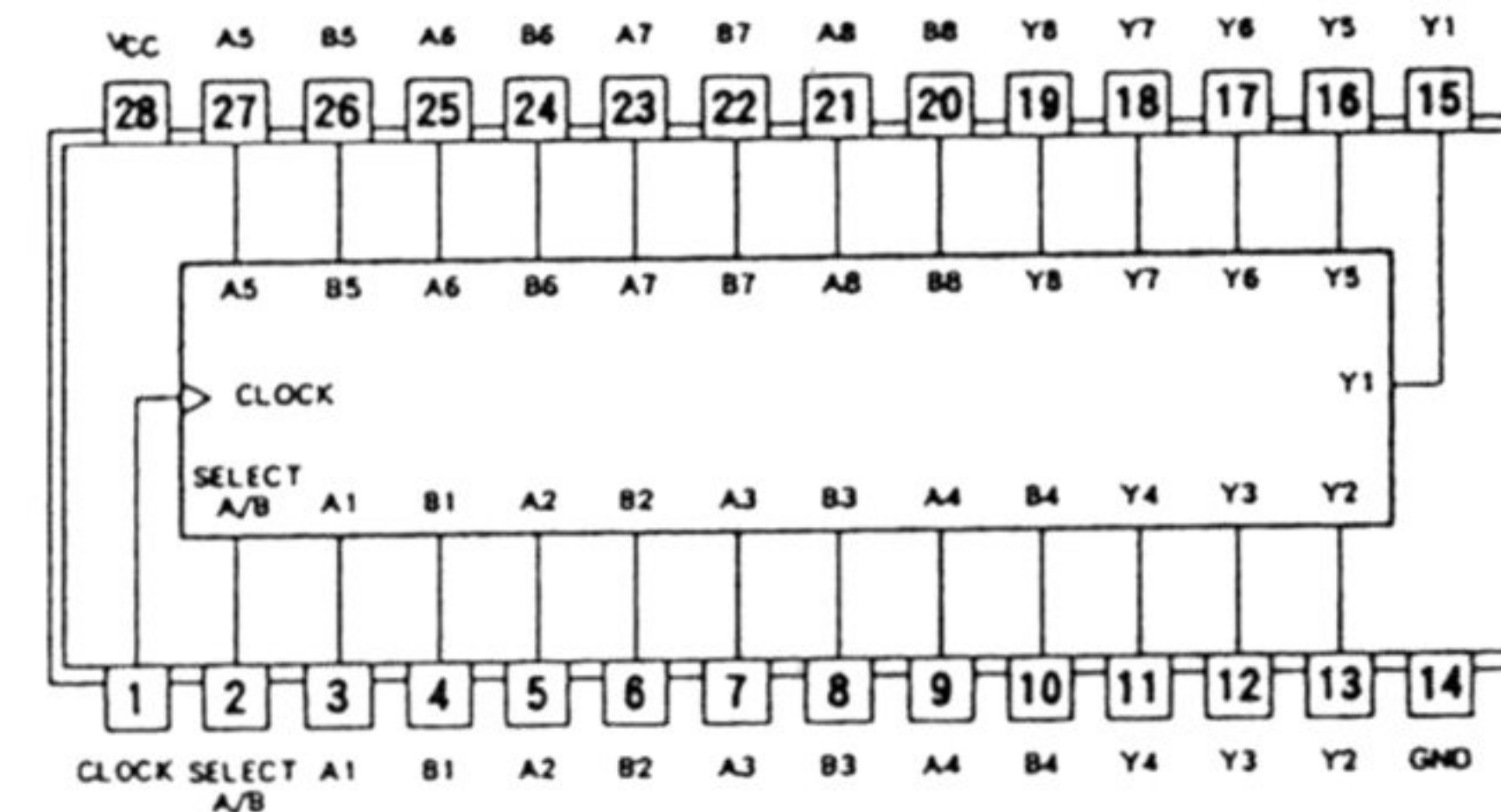
74599 8-BIT SHIFT REGISTER WITH OUTPUT LATCHE

●8ビット・シリアル入力, パラレル出力
●オープン・コレクタ出力
●非同期クリア（シフト・レジスタ, 出力レジスタ）
●クロック（シフト・レジスタ, 出力レジスタ）
●最大動作周波数………20MHz

74600, 74601, 74602, 74604

74600 MEMORY REFRESH CONTROLLER

- 4K または 16K DRAM リフレッシュ・サイクルをコントロール
- DRAM を SRAM 同様に使用可能
- トランスペアレントまたはバースト・リフレッシュ・モード選択可能
- 3ステート出力
- システムに最適なタイミング選択可能（RC 回路）

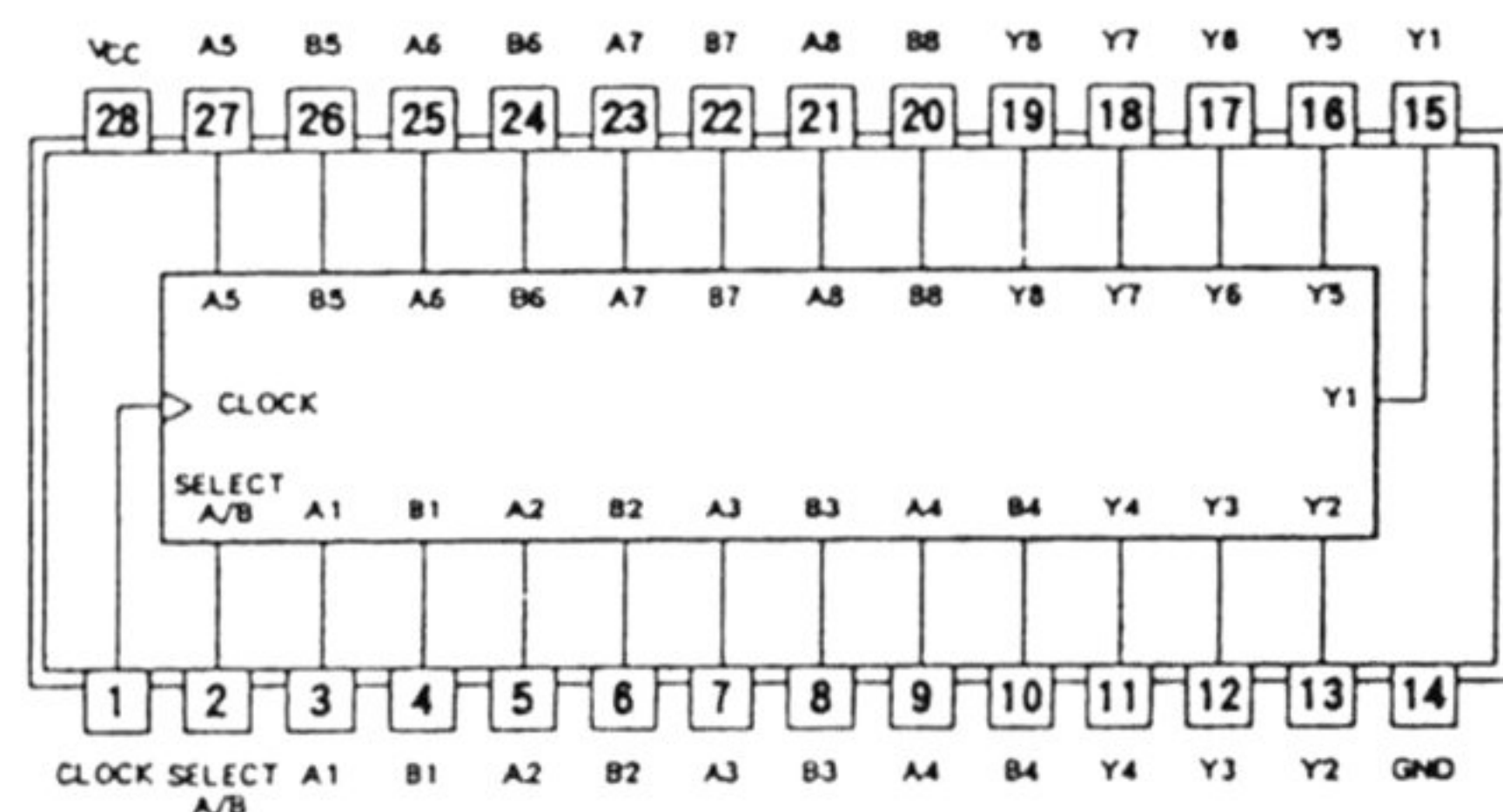
74602 MEMORY REFRESH CONTROLLER

- 4K または 16K DRAM リフレッシュ・サイクルをコントロール
- DRAM を SRAM 同様に使用可能
- トランスペアレントまたはバースト・リフレッシュ・モード選択可能
- 3ステート出力
- システムに最適なタイミング選択可能（RC 回路）

74601 MEMORY REFRESH CONTROLLER

- 64K リフレッシュ・サイクルをコントロール
- DRAM を SRAM 同様に使用可能
- トランスペアレントまたはバースト・リフレッシュ・モード選択可能
- 3ステート出力
  システムに最適なタイミング選択可能（RC 回路）

74604 OCTAL 2-INPUT MULTIPLEXED REGISTER

- 3ステート出力
- A バスまたは B バスからストアされたデータを選択

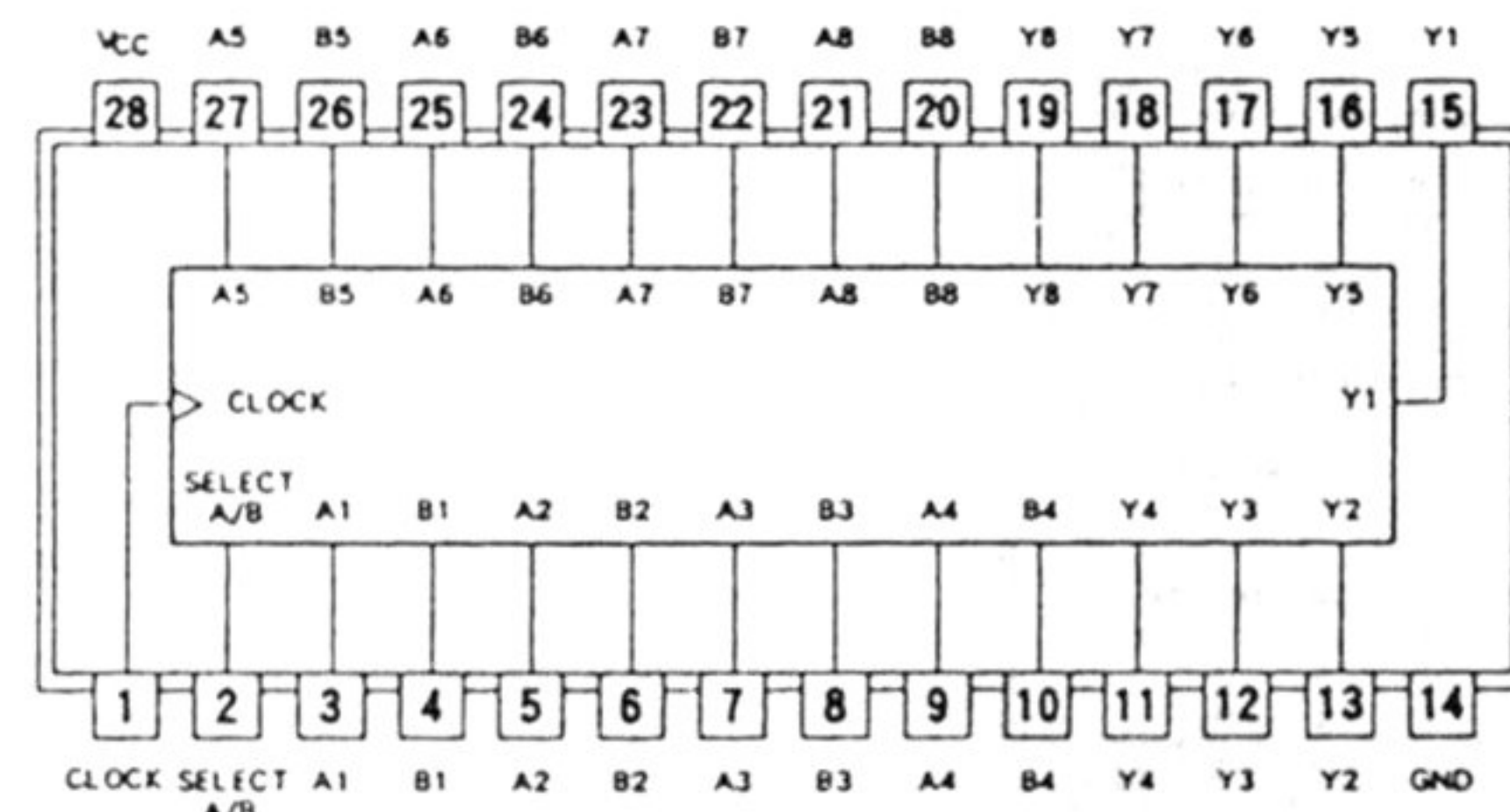
入力				出力
A1・A8	B1・B8	セレクト A/$\overline{B}$	CLOCK	Y1・Y8
Aデータ	Bデータ	L	↑	Bデータ
Aデータ	Bデータ	H	↑	Aデータ
X	X	X	L	Zまたはオフ
X	X	L	H	Bレジスタ・データ
X	X	H	H	Aレジスタ・データ

74605, 74606, 74607, 74608

74605 OCTAL 2-INPUT MULTIPLEXED REGISTER

VCC A5 B5 A6 B6 A7 B7 A8 B8 Y8 Y7 Y6 Y5 Y1
28 27 26 25 24 23 22 21 20 19 18 17 16 15
1 2 3 4 5 6 7 8 9 10 11 12 13 14
CLOCK SELECT A/B A1 B1 A2 B2 A3 B3 A4 B4 Y4 Y3 Y2 GND

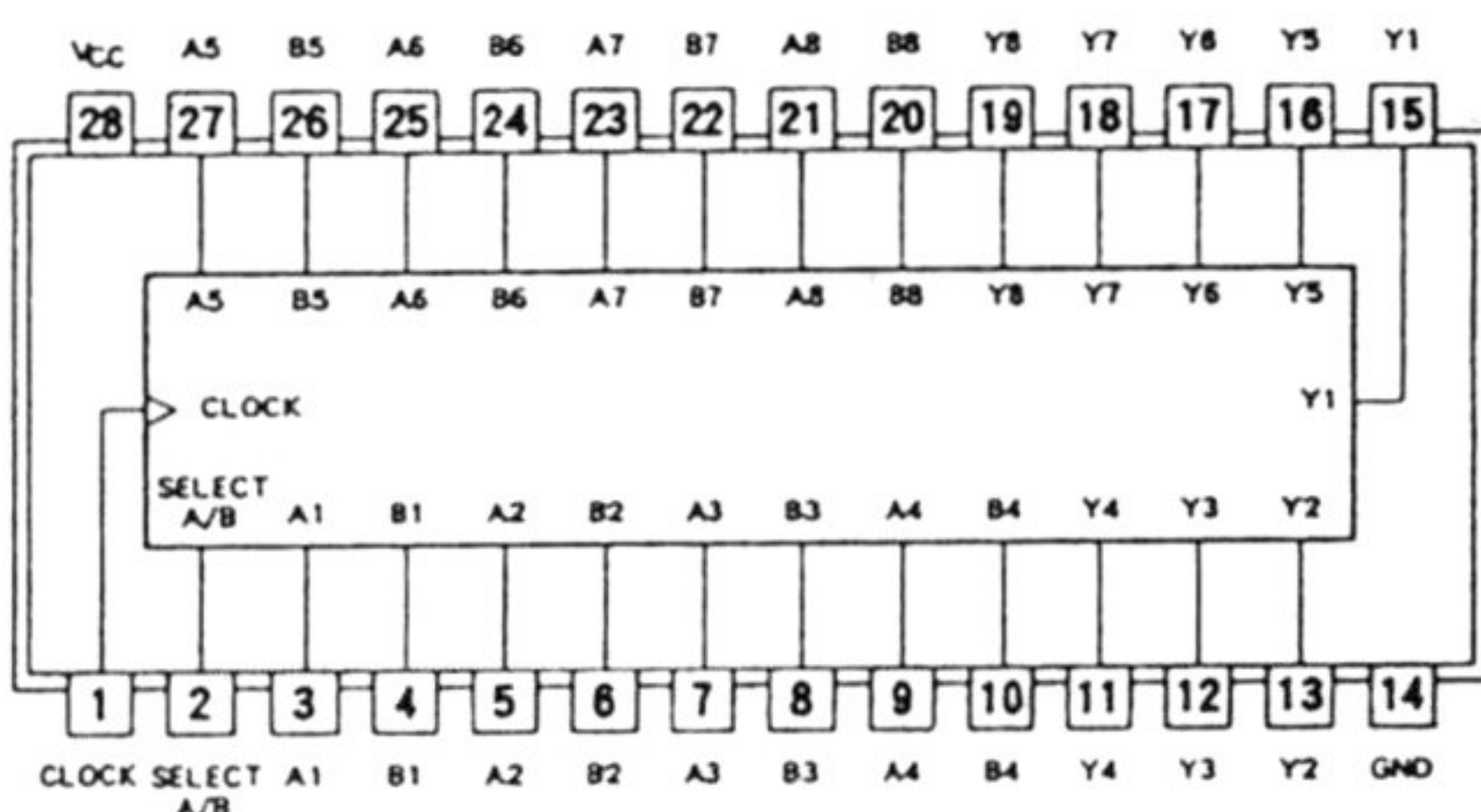
- オープン・コレクタ出力
- A バスまたは B バスからストアされたデータを選択

入	力			出　力
A1・A8	B1・B8	セレクト A/$\overline{B}$	CLOCK	Y1・Y8
Aデータ	Bデータ	L	↑	Bデータ
Aデータ	Bデータ	H	↑	Aデータ
X	X	X	L	Zまたはオフ
X	X	L	H	Bレジスタ・データ
X	X	H	H	Aレジスタ・データ

74607 OCTAL 2-INPUT MULTIPLEXED REGISTER

VCC A5 B5 A6 B6 A7 B7 A8 B8 Y8 Y7 Y6 Y5 Y1
28 27 26 25 24 23 22 21 20 19 18 17 16 15
1 2 3 4 5 6 7 8 9 10 11 12 13 14
CLOCK SELECT A/B A1 B1 A2 B2 A3 B3 A4 B4 Y4 Y3 Y2 GND

- オープン・コレクタ出力
- A バスまたは B バスからストアされたデータを選択

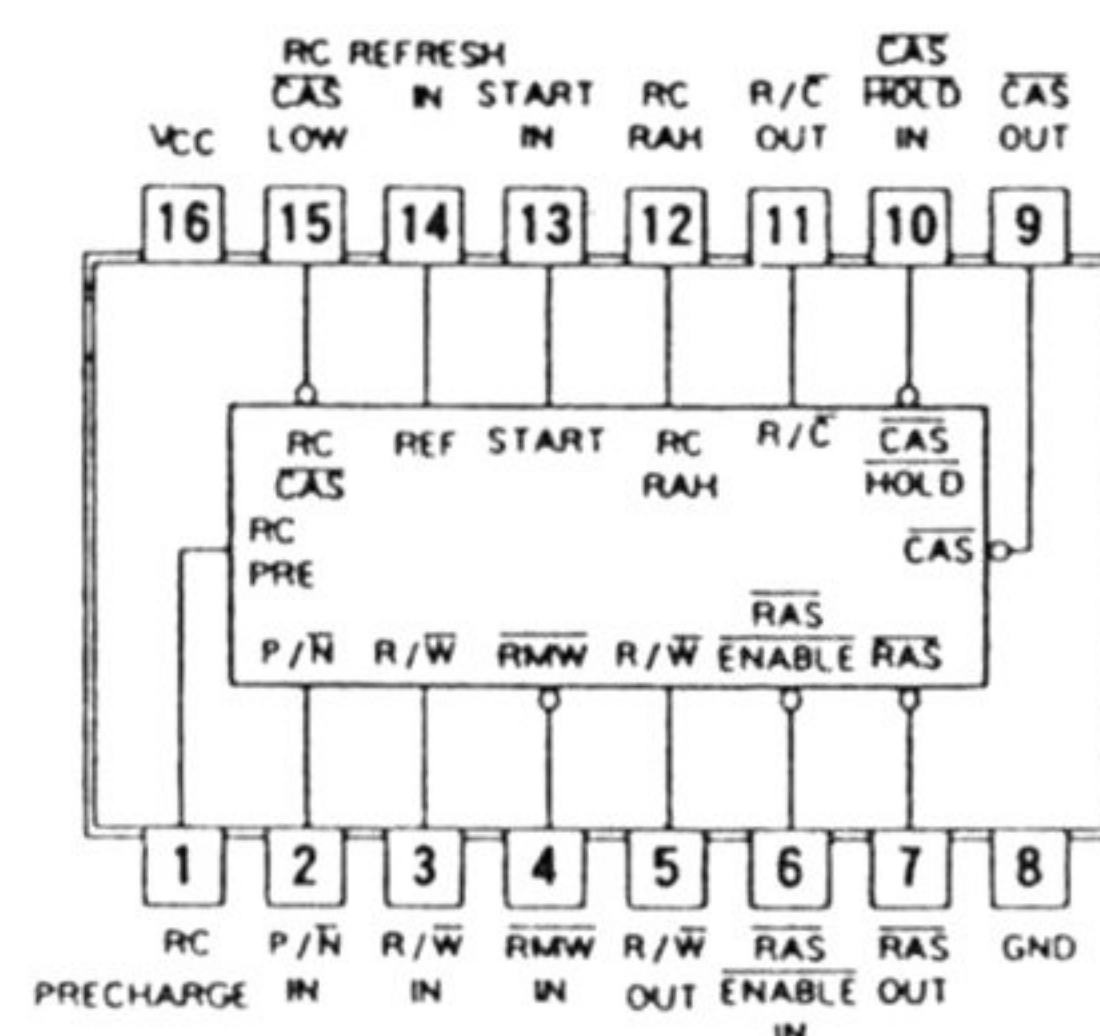
入	力			出　力
A1・A8	B1・B8	セレクト A/$\overline{B}$	CLOCK	Y1・Y8
Aデータ	Bデータ	L	↑	Bデータ
Aデータ	Bデータ	H	↑	Aデータ
X	X	X	L	Zまたはオフ
X	X	L	H	Bレジスタ・データ
X	X	H	H	Aレジスタ・データ

74606 OCTAL 2-INPUT MULTIPLEXED REGISTER

VCC A5 B5 A6 B6 A7 B7 A8 B8 Y8 Y7 Y6 Y5 Y1
28 27 26 25 24 23 22 21 20 19 18 17 16 15
1 2 3 4 5 6 7 8 9 10 11 12 13 14
CLOCK SELECT A/B A1 B1 A2 B2 A3 B3 A4 B4 Y4 Y3 Y2 GND

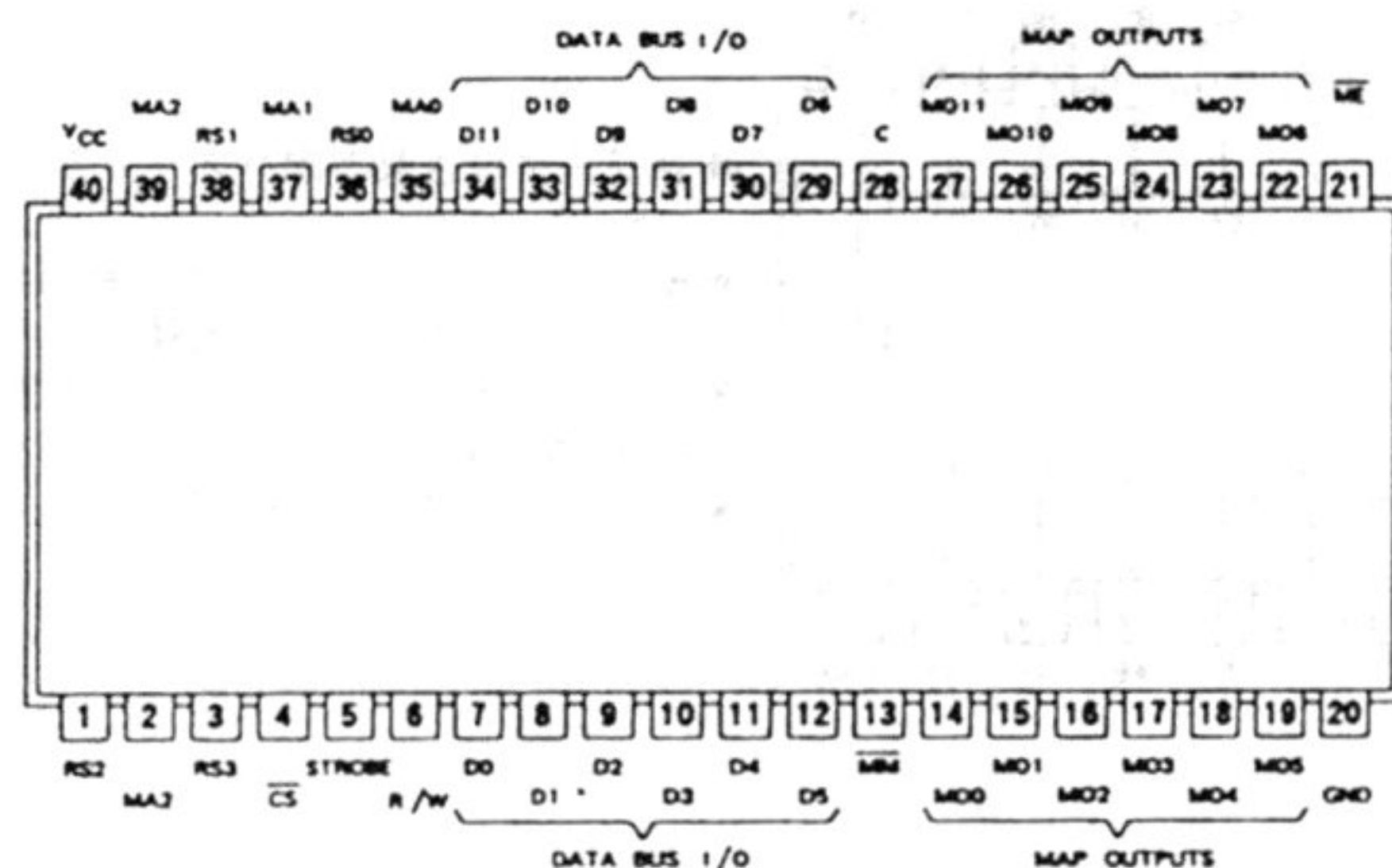
- 3ステート出力
- A バスまたは B バスからストアされたデータを選択

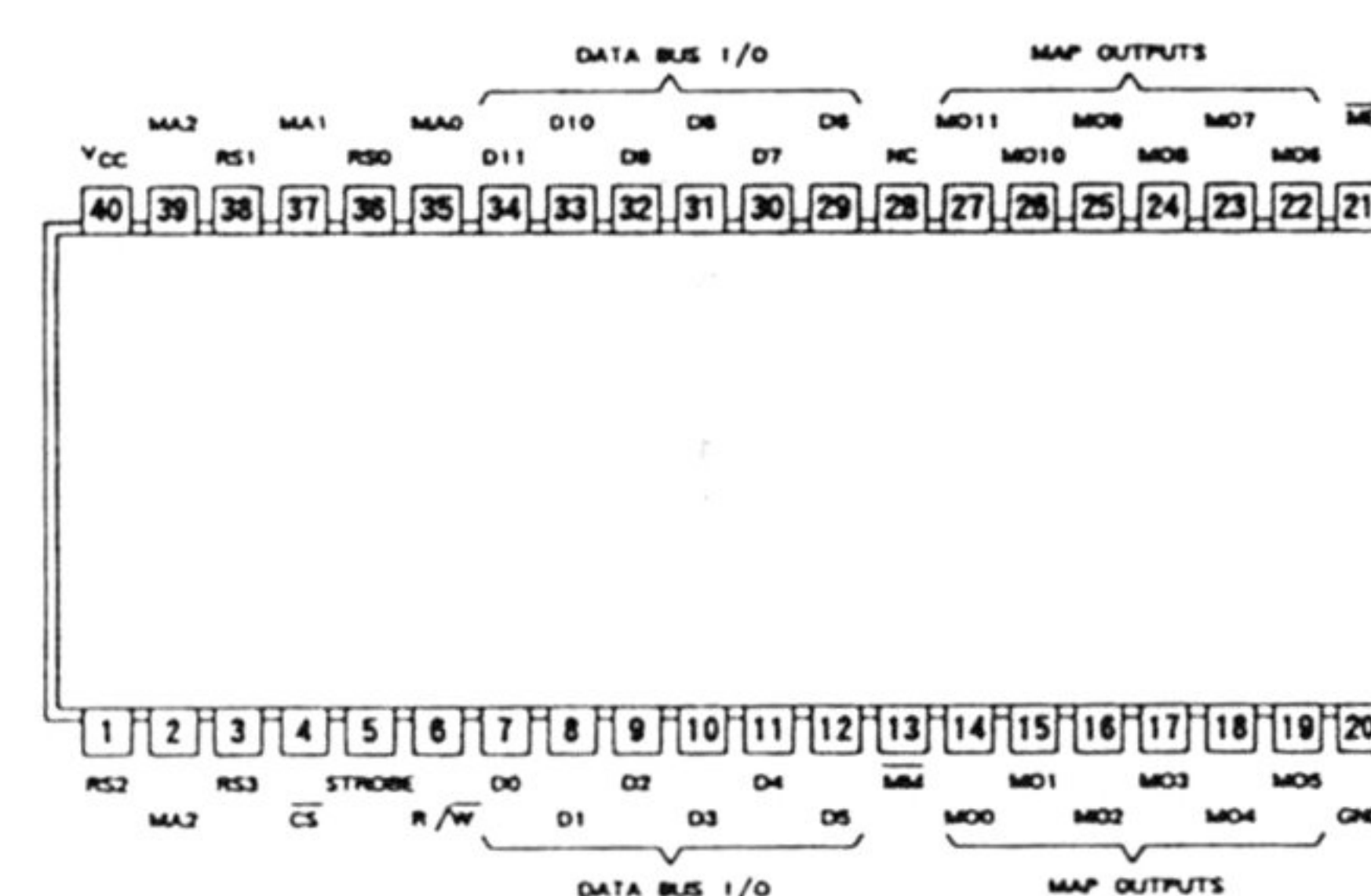
入	力			出　力
A1・A8	B1・B8	セレクト A/$\overline{B}$	CLOCK	Y1・Y8
Aデータ	Bデータ	L	↑	Bデータ
Aデータ	Bデータ	H	↑	Aデータ
X	X	X	L	Zまたはオフ
X	X	L	H	Bレジスタ・データ
X	X	H	H	Aレジスタ・データ

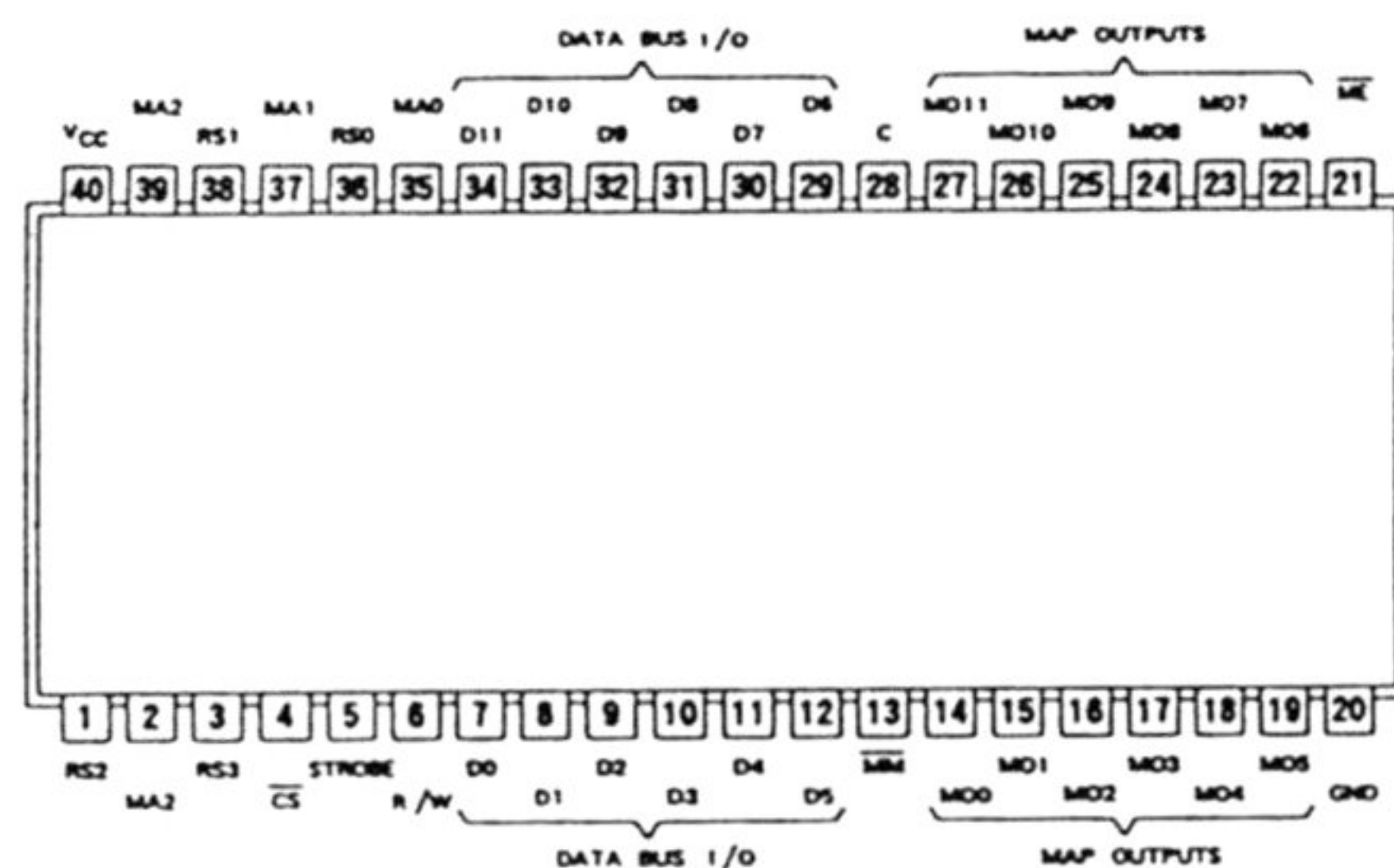
74608 MEMORY CYCLE CONTROLLER

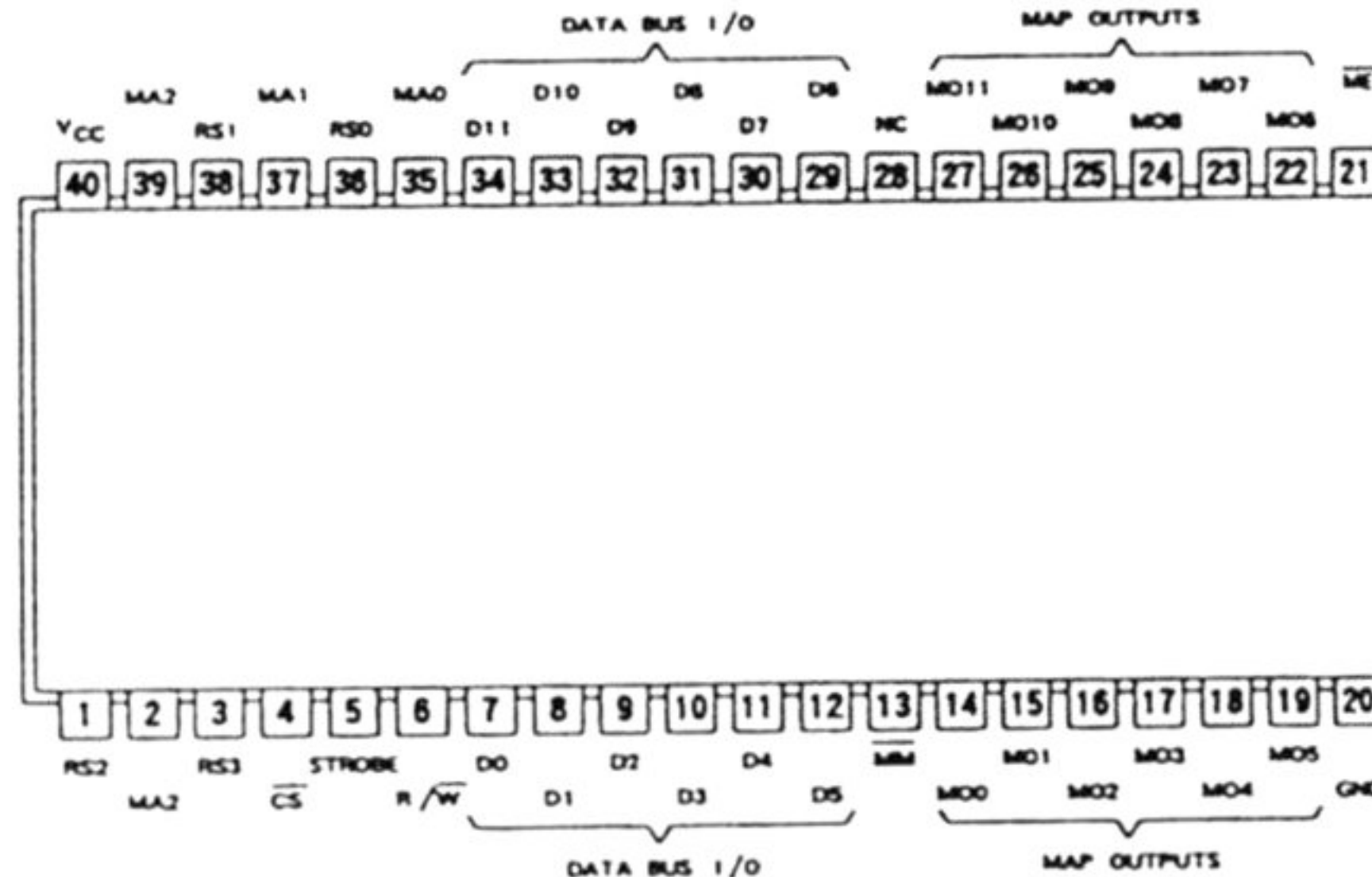
VCC / RC REFRESH $\overline{CAS}$ LOW / IN / START IN / RC RAH / R/$\overline{C}$ OUT / $\overline{CAS}$ HOLD IN / $\overline{CAS}$ OUT
16 15 14 13 12 11 10 9
1 2 3 4 5 6 7 8
RC PRECHARGE / P/$\overline{N}$ IN / R/$\overline{W}$ IN / $\overline{RMW}$ IN / R/$\overline{W}$ OUT / $\overline{RAS}$ ENABLE IN / $\overline{RAS}$ OUT / GND

- 次の各モードでタイミングを発生
  - －リード・サイクル
  - －ライト・サイクル
  - －リード・モディファイ・ライト・サイクル
  - －RAS－オンリ・リフレッシュ・サイクル
- $\overline{RAS}$出力は3ステート出力
- システムに最適なタイミング選択可能（RC回路）
- ページとノーマル・モードの選択可能

74610, 74611, 74612, 74613

74610 MEMORY MAPPERS

●4ラインのアドレス・ラインを12ラインに拡張
●メモリをページ単位でマッピング
●マップ出力にラッチ付き
●マイクロ・プロセッサとの接続が容易
●3ステート出力

74612 MEMORY MAPPERS

●4ラインのアドレス・ラインを12ラインに拡張
●メモリをページ単位でマッピング
●マイクロ・プロセッサとの接続が容易
●3ステート出力

74611 MEMORY MAPPERS

●4ラインのアドレス・ラインを12ラインに拡張
●メモリをページ単位でマッピング
●マップ出力にラッチ付き
●マイクロ・プロセッサとの接続が容易
●オープン・コレクタ出力

74613 MEMORY MAPPERS

●4ラインのアドレス・ラインを12ラインに拡張
●メモリをページ単位でマッピング
●マイクロ・プロセッサとの接続が容易
●オープン・コレクタ出力

74614, 74615

74614　OCTAL BUS TRANSCEIVERS AND REGISTERS

VCC　CBA　SBA　$\overline{G}$BA　B1　B2　B3　B4　B5　B6　B7　B8
24　23　22　21　20　19　18　17　16　15　14　13

CBA　SBA　$\overline{G}$BA　B1　B2　B3　B4　B5　B6　B7
CAB　B8
SAB　GAB　A1　A2　A3　A4　A5　A6　A7　A8

1　2　3　4　5　6　7　8　9　10　11　12
CAB　SAB　GAB　A1　A2　A3　A4　A5　A6　A7　A8　GND

- レジスタ付き双方向バス・トランシーバ
- Aポート,Bポートそれぞれ独自のレジスタとイネーブル内蔵
- リアル・タイムとデータのストア
- 反転出力
- オープン・コレクタ出力

入			力			データ I/O		機能・動作
GAB	$\overline{G}$BA	CAB	CBA	SAB	SBA	A1からA8	B1からB8	
L	H	HまたはL	HまたはL	X	X	入　力	入　力	アイソレーション
L	H	↑	↑	X	X			Aデータ, Bデータ・ストア
X	H	↑	HまたはL	X	X	入　力	不　定	ストアA, ホールドB
H	H	↑	↑	X	X	入　力	出　力	両方のレジスタにAデータをストア
L	X	HまたはL	↑	X	X	不　定	入　力	ホールドA, ストアB
L	L	↑	↑	X	X	出　力	入　力	両方のレジスタにBデータをストア
L	L	X	X	X	L	出　力	入　力	リアル・タイムで$\overline{B}$データをAバスへ
L	L	X	HまたはL	X	H			ストアされた$\overline{B}$データをAバスへ
H	H	X	X	L	X	入　力	出　力	リアル・タイムで$\overline{A}$データをBバスへ
H	H	HまたはL	X	H	X			ストアされた$\overline{A}$データをBバスへ
H	L	HまたはL	HまたはL	H	H	出　力	出　力	ストアされた$\overline{A}$データをBバスへ ストアされた$\overline{B}$データをAバスへ

74615　OCTAL BUS TRANSCEIVERS AND REGISTERS

VCC　CBA　SBA　$\overline{G}$BA　B1　B2　B3　B4　B5　B6　B7　B8
24　23　22　21　20　19　18　17　16　15　14　13

CBA　SBA　$\overline{G}$BA　B1　B2　B3　B4　B5　B6　B7
CAB　B8
SAB　GAB　A1　A2　A3　A4　A5　A6　A7　A8

1　2　3　4　5　6　7　8　9　10　11　12
CAB　SAB　GAB　A1　A2　A3　A4　A5　A6　A7　A8　GND

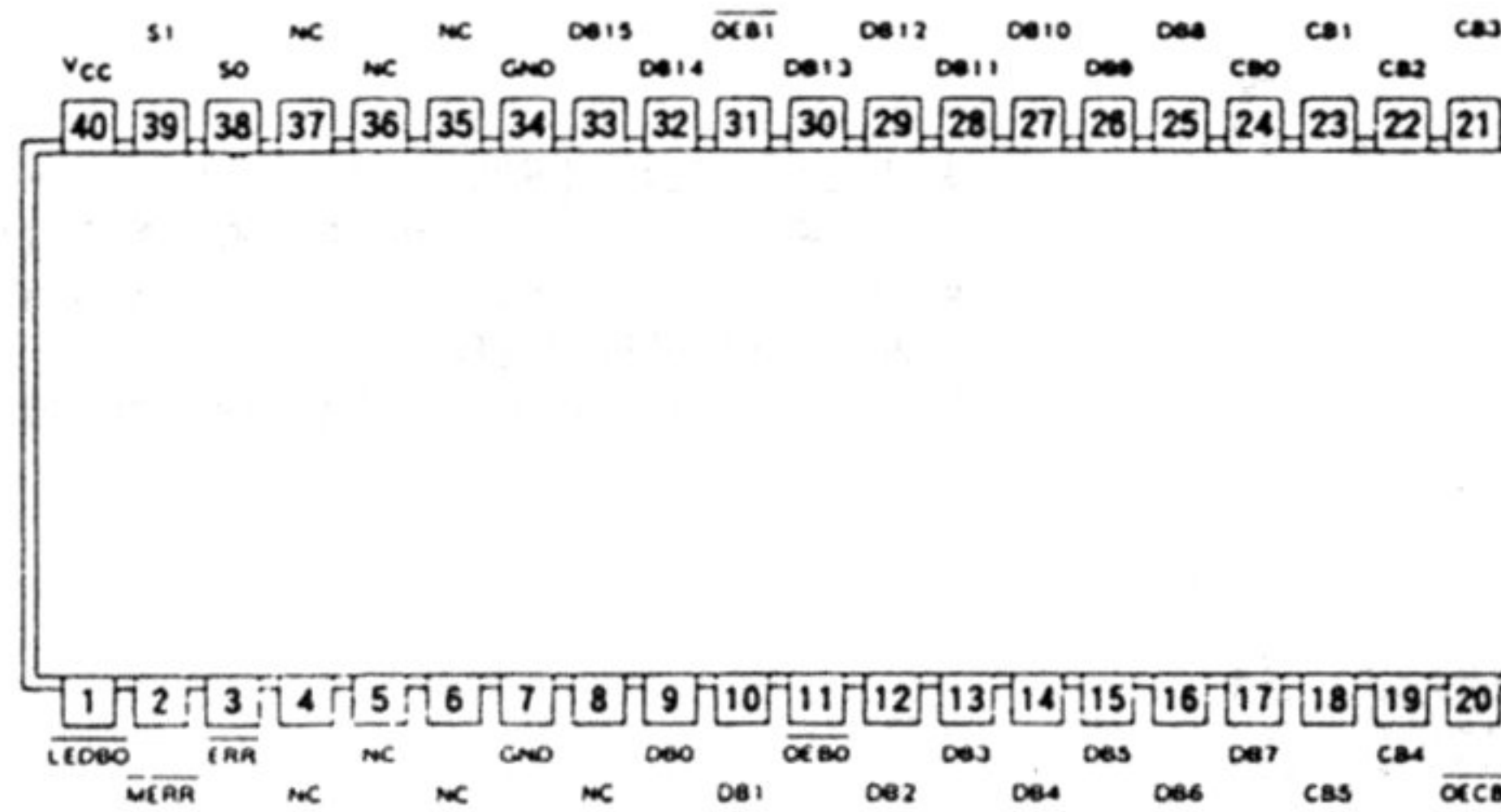
- レジスタ付き双方向バス・トランシーバ
- Aポート,Bポートそれぞれ独自のレジスタとイネーブル内蔵
- リアル・タイムとデータのストア
- 非反転出力
- オープン・コレクタ出力

入			力			データ I/O		機能・動作
GAB	$\overline{G}$BA	CAB	CBA	SAB	SBA	A1からA8	B1からB8	
L	H	HまたはL	HまたはL	X	X	入　力	入　力	アイソレーション
L	H	↑	↑	X	X			Aデータ, Bデータ・ストア
X	H	↑	HまたはL	X	X	入　力	不　定	ストアA, ホールドB・
H	H	↑	↑	X	X	入　力	出　力	両方のレジスタにAデータをストア
L	X	HまたはL	↑	X	X	不　定	入　力	ホールドA, ストアB
L	L	↑	↑	X	X	出　力	入　力	両方のレジスタにBデータをストア
L	L	X	X	X	L	出　力	入　力	リアル・タイムでBデータをAバスへ
L	L	X	HまたはL	X	H			ストアされたBデータをAバスへ
H	H	X	X	L	X	入　力	出　力	リアル・タイムでAデータをBバスへ
H	H	HまたはL	X	H	X			ストアされたAデータをBバスへ
H	L	HまたはL	HまたはL	H	H	出　力	出　力	ストアされたAデータをBバスへ ストアされたBデータをAバスへ

74616, 74617

74616　16-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUIT

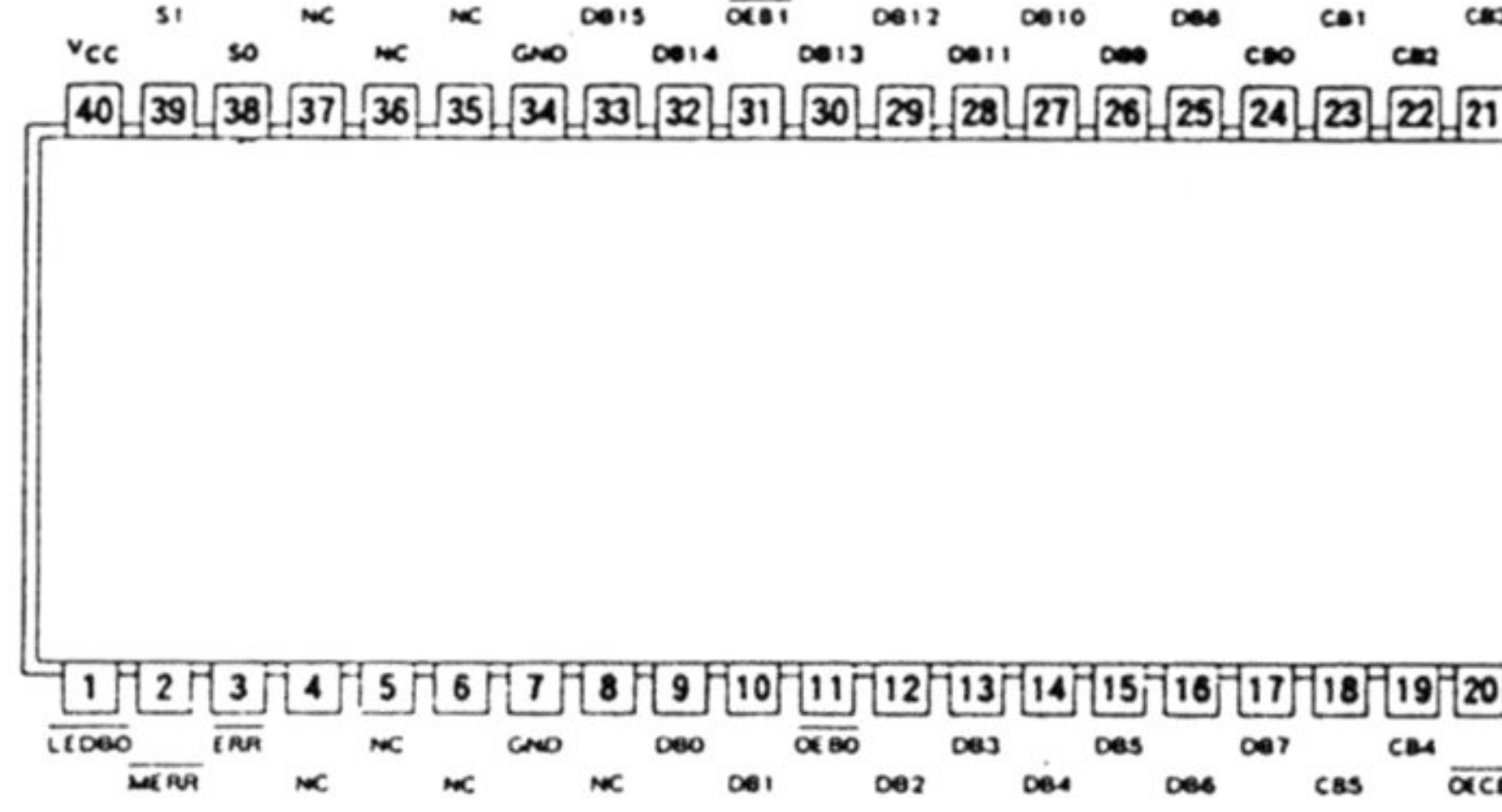
Pins 21–40: 40 V_{CC}, 39 S1, 38 S0, 37 NC, 36 NC, 35 NC, 34 GND, 33 DB15, 32 DB14, 31 $\overline{OEB1}$, 30 DB13, 29 DB12, 28 DB11, 27 DB10, 26 DB9, 25 DB8, 24 CB0, 23 CB1, 22 CB2, 21 CB3

Pins 1–20: 1 $\overline{LEDBO}$, 2 $\overline{MERR}$, 3 $\overline{ERR}$, 4 NC, 5 NC, 6 NC, 7 GND, 8 NC, 9 DB0, 10 DB1, 11 $\overline{OEB0}$, 12 DB2, 13 DB3, 14 DB4, 15 DB5, 16 DB6, 17 DB7, 18 CB5, 19 CB4, 20 $\overline{OECB}$

- 1ビット誤りの検出訂正
- 2ビット誤りの検出
- 自己診断機能付き
- ライトとリードにおいて高速サイクル処理時間
- データのバッファが2系統に分離
- 3ステート出力

メモリサイクル	EDAC 機能	コントロール S1 S0	データ I/O	DB コントロール $\overline{OEBn}$	DB 出力ラッチ $\overline{LEDBO}$	チェック I/O	DB コントロール $\overline{OECB}$	エラーフラグ $\overline{ERR}$ $\overline{MERR}$
ライト	チェック・ワード発生	L L	入力	H	X	チェック・ビット出力	L	H H
リード	エラー・フラグ発生	H L	入力	H	X	入力	H	イネーブル
リード	データとチェック・ビットをラッチ	H H	データ入力	H	L	チェック・ワード入力	H	イネーブル
リード	訂正データとシンドローム・ビットを出力	H H	訂正データ・ワード出力	L	X	シンドローム・ビット出力	L	イネーブル
リード	データとチェック・ビットをラッチ	H H	データ入力	H	L	チェック・ワード入力	H	イネーブル
リード	出力ラッチでデータ・ワード訂正	H H	データワード出力	H	H	H・Z シンドローム・ビット出力	H L	イネーブル
モデファイ/ライト	バイト制御とそのチェック・ワード発生	L L	BYTEOをモデファイした入力 BYTEO出力	H L	H	チェック・ワード出力	L	H H
	リードとフラグ	H L	データ・ワード入力	H	X	チェック・ビット入力	H	H H
	チェック・ワードをラッチ，データ入力はトランスペアレント	L H	自己診断データ・ワード入力	H	L	チェック・ビット入力	H	イネーブル
	出力に自己診断データ・ワードをラッチ	L H	自己診断データ・ワード入力	H	H	チェック・ビット出力 H・Z	L H	イネーブル
	入力に自己診断データ・ワードをラッチ	H H	自己診断データ・ワード入力	H	H	シンドローム・ビット出力 H・Z	L H	イネーブル
	自己診断データ・ワードとシンドローム・ビットを出力	H H	自己診断データ・ワード出力	L	H	シンドローム・ビット出力 H・Z	L H	イネーブル
	訂正自己診断データ・ワードとシンドローム・ビットを出力	H. H	訂正自己診断データ・ワード出力	L	L	シンドローム・ビット出力 H・Z	L H	イネーブル

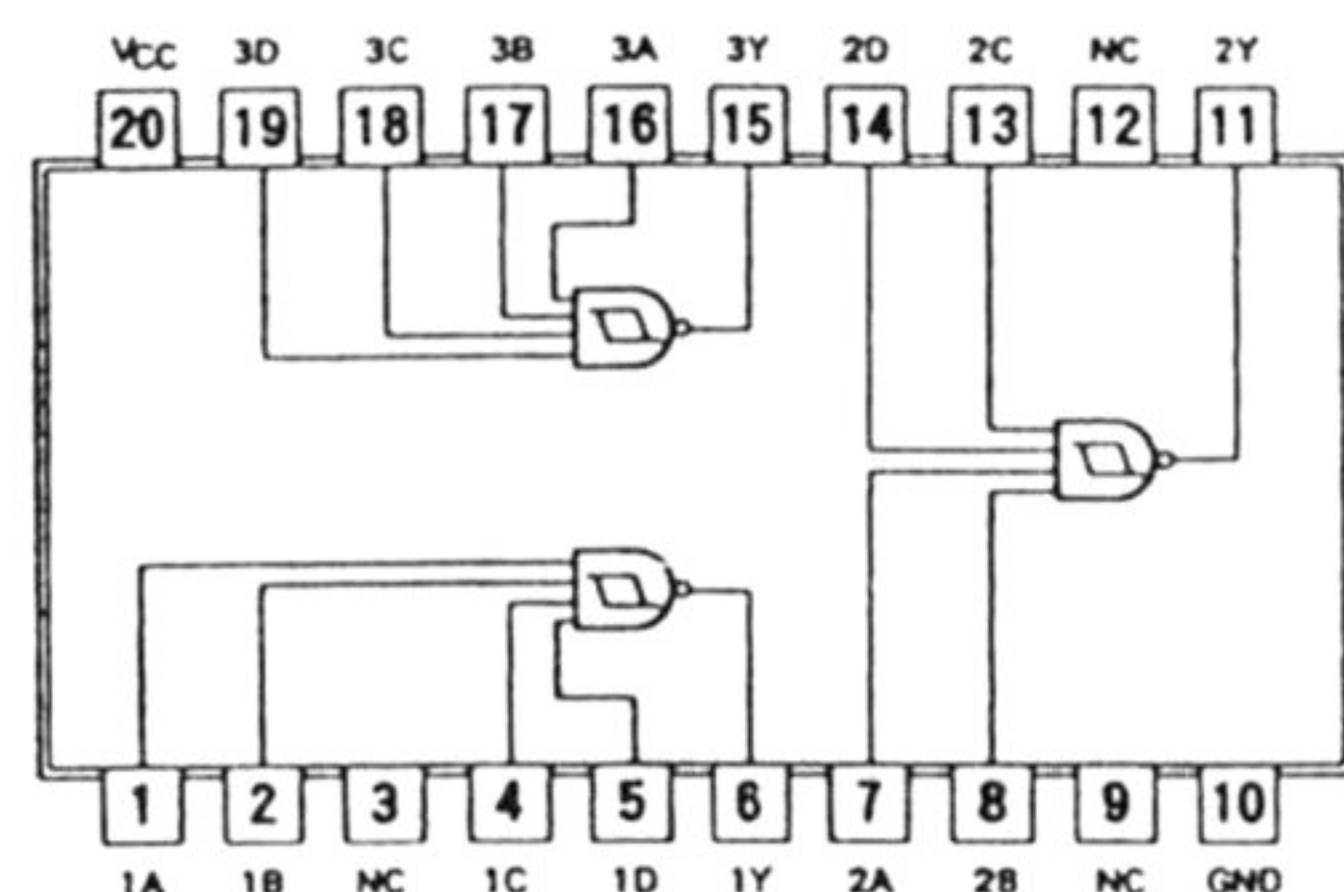
74617　16-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUIT

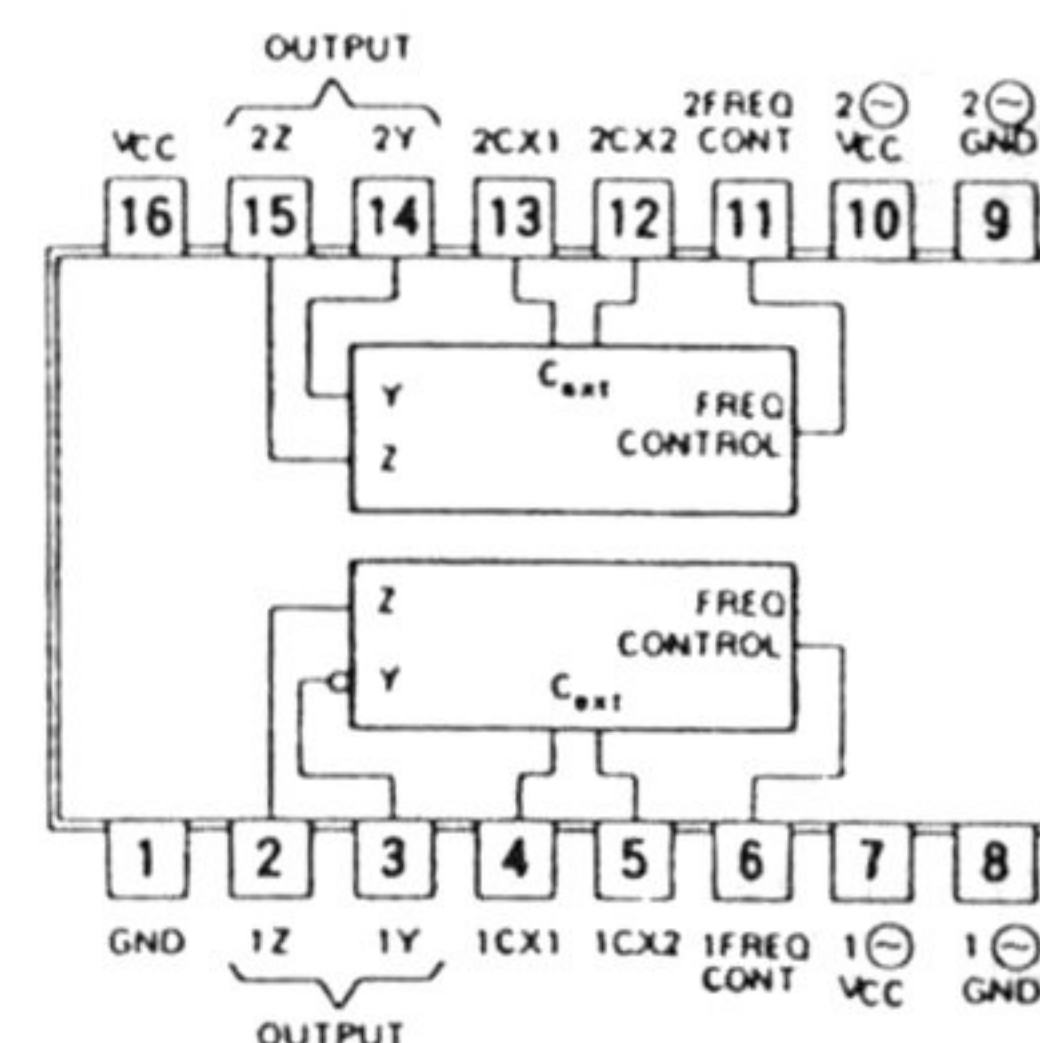
Pins 21–40: 40 V_{CC}, 39 S1, 38 S0, 37 NC, 36 NC, 35 NC, 34 GND, 33 DB15, 32 DB14, 31 $\overline{OEB1}$, 30 DB13, 29 DB12, 28 DB11, 27 DB10, 26 DB9, 25 DB8, 24 CB0, 23 CB1, 22 CB2, 21 CB3

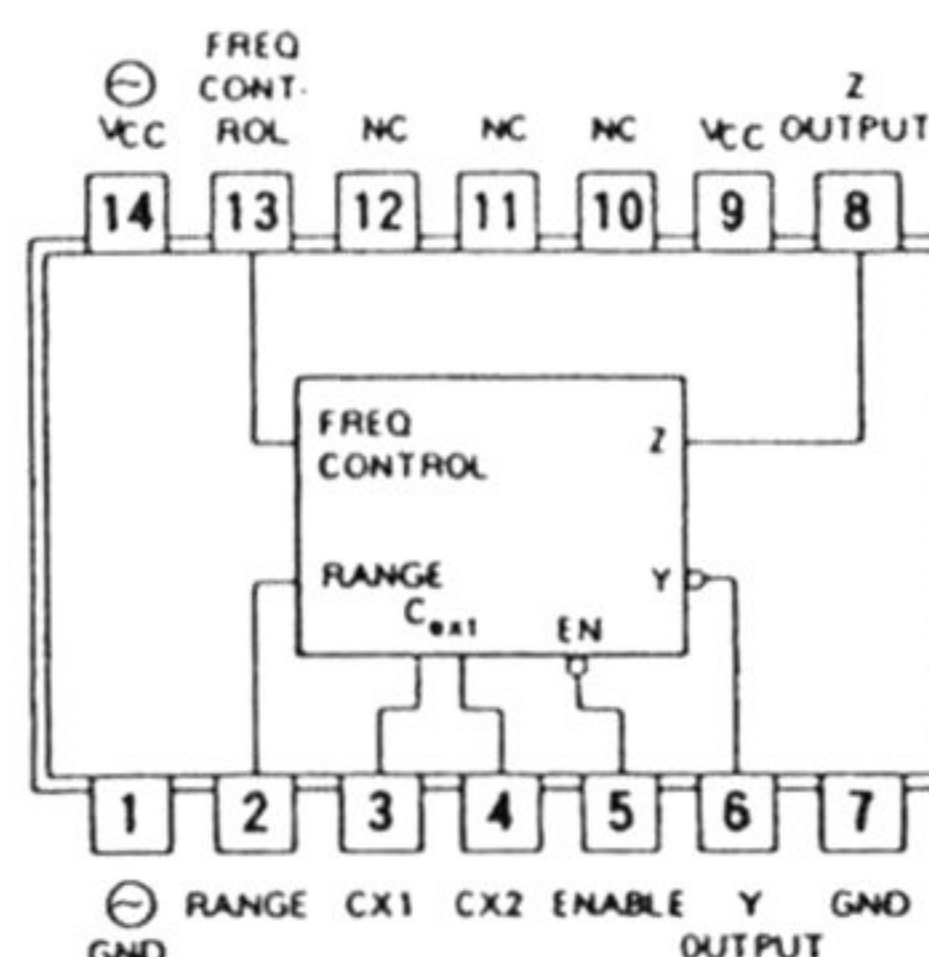
Pins 1–20: 1 $\overline{LEDBO}$, 2 $\overline{MERR}$, 3 $\overline{ERR}$, 4 NC, 5 NC, 6 NC, 7 GND, 8 NC, 9 DB0, 10 DB1, 11 $\overline{OEB0}$, 12 DB2, 13 DB3, 14 DB4, 15 DB5, 16 DB6, 17 DB7, 18 CB5, 19 CB4, 20 $\overline{OECB}$

- 1ビット誤りの検出訂正
- 2ビット誤りの検出
- 自己診断機能付き
- ライトとリードにおいて高速サイクル処理時間
- データのバッファが2系統に分離
- オープン・コレクタ出力

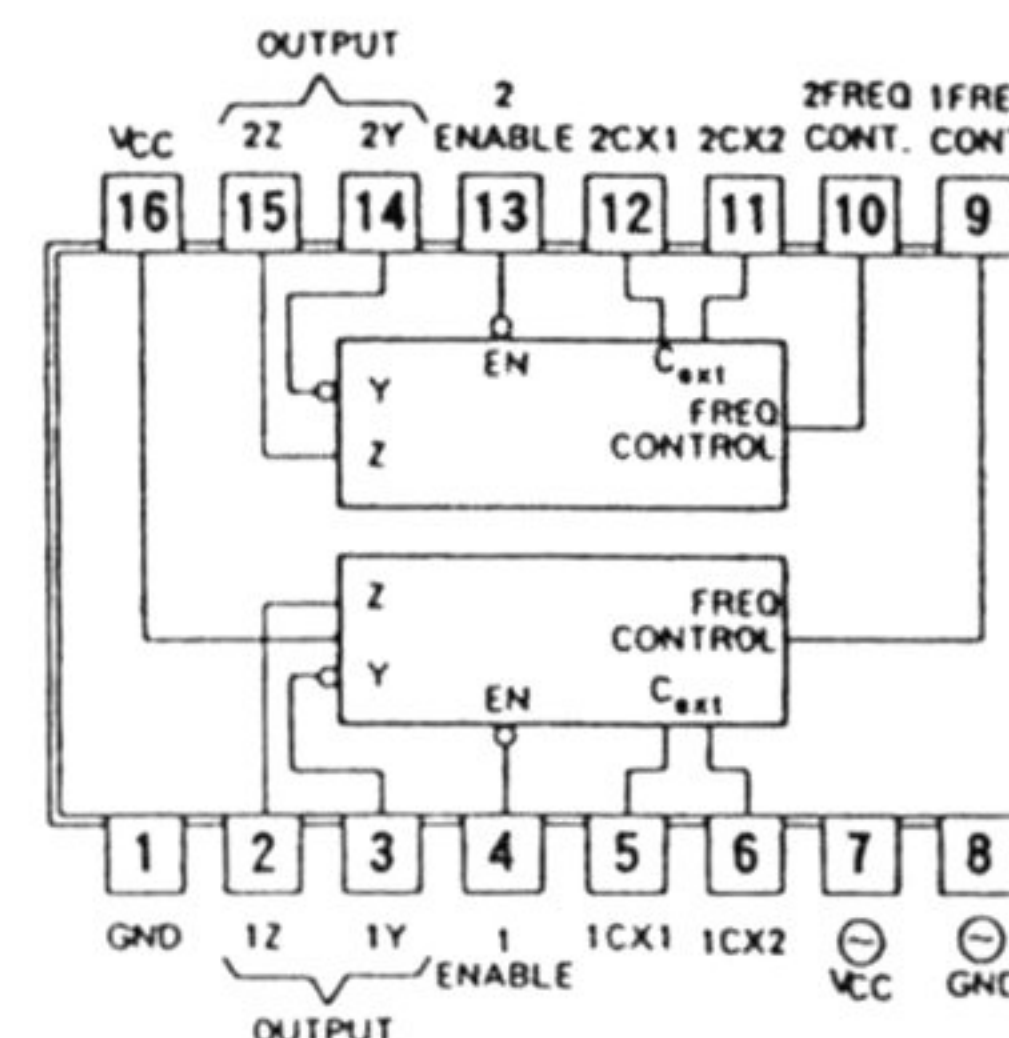
メモリサイクル	EDAC 機能	コントロール S1 S0	データ I/O	DB コントロール $\overline{OEBn}$	DB 出力ラッチ $\overline{LEDBO}$	チェック I/O	CB コントロール $\overline{OECB}$	エラーフラグ $\overline{ERR}$ $\overline{MERR}$
ライト	チェック・ワード発生	L L	入力	H	X	チェック・ビット出力	L	H H
リード	エラー・フラグ発生	H L	入力	H	X	入力	H	イネーブル
リード	データとチェック・ビットをラッチ	H H	データ入力	H	L	チェック・ワード入力	H	イネーブル
リード	訂正データとシンドローム・ビットを発生	H H	訂正データワード出力	L	X	シンドローム・ビット出力	L	イネーブル
リード	データとチェック・ビットをラッチ	H H	データ入力	H	L	チェック・ワード入力	H	イネーブル
リード	出力ラッチでデータ・ワード訂正	H H	データ・ワード出力	H	H	H・Z シンドローム・ビット出力	H L	イネーブル
モデファイ/ライト	バイト制御とそのチェック・ワード発生	L L	BYTEOをモデファイした入力 BYTEO出力	H L	H	チェック・ワード出力	L	H H
	リードとフラグ	H L	データ・ワード入力	H	X	チェック・ビット入力	H	H H
	チェック・ワードをラッチ，データ入力はトランスペアレント	L H	自己診断データ・ワード入力	H	L	チェック・ビット入力	H	イネーブル
	出力に自己診断データ・ワードをラッチ	L H	自己診断データ・ワード入力	H	H	チェック・ビット出力 H・Z	L H	イネーブル
	入力に自己診断データ・ワードをラッチ	H H	自己診断データ・ワード入力	H	H	シンドローム・ビット出力 H・Z	L H	イネーブル
	自己診断データ・ワードとシンドローム・ビットを出力	H H	自己診断データ・ワード入力	L	H	シンドローム・ビット出力 H・Z	L H	イネーブル
	訂正自己診断データ・ワードとシンドローム・ビットを出力	H H	訂正自己診断データ・ワード出力	L	L	シンドローム・ビット出力 H・Z	L H	イネーブル

74618, 74624, 74625, 74626

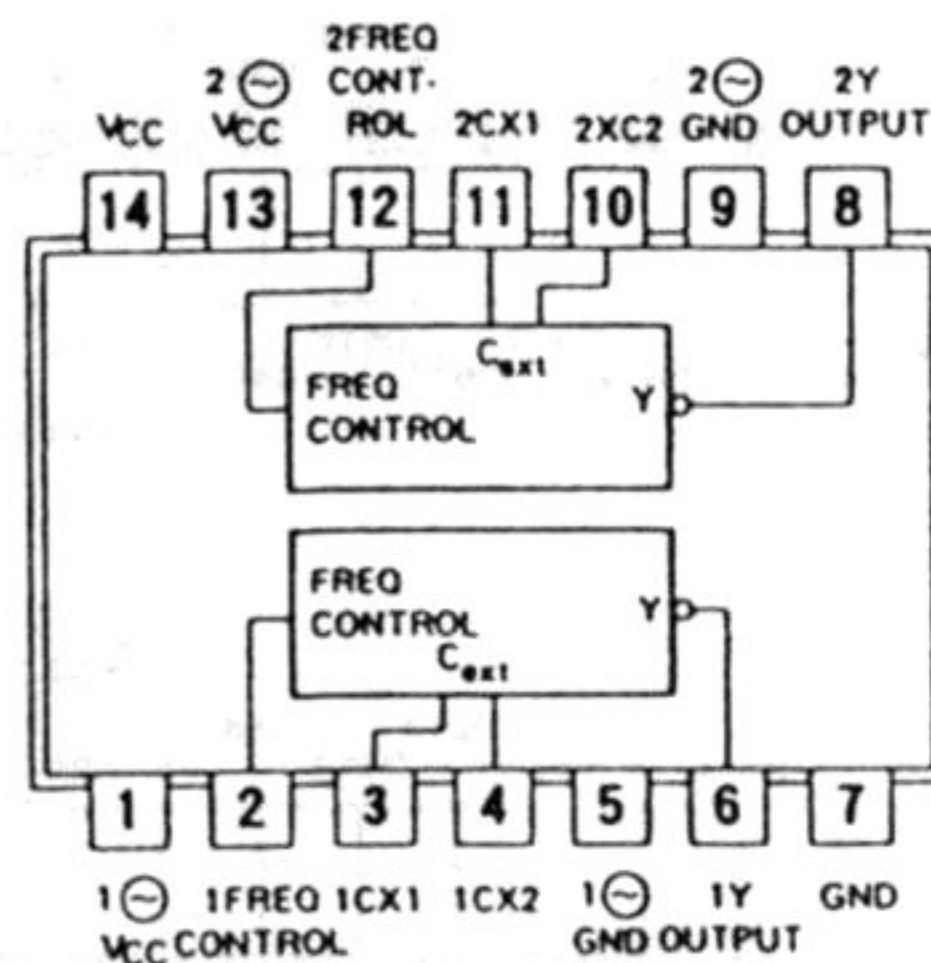
74618 SCHMITT-TRIGGER POSITIVE-NAND GATES WITH TOTEM-POLE OUTPUTS

●PNPトランジスタ入力

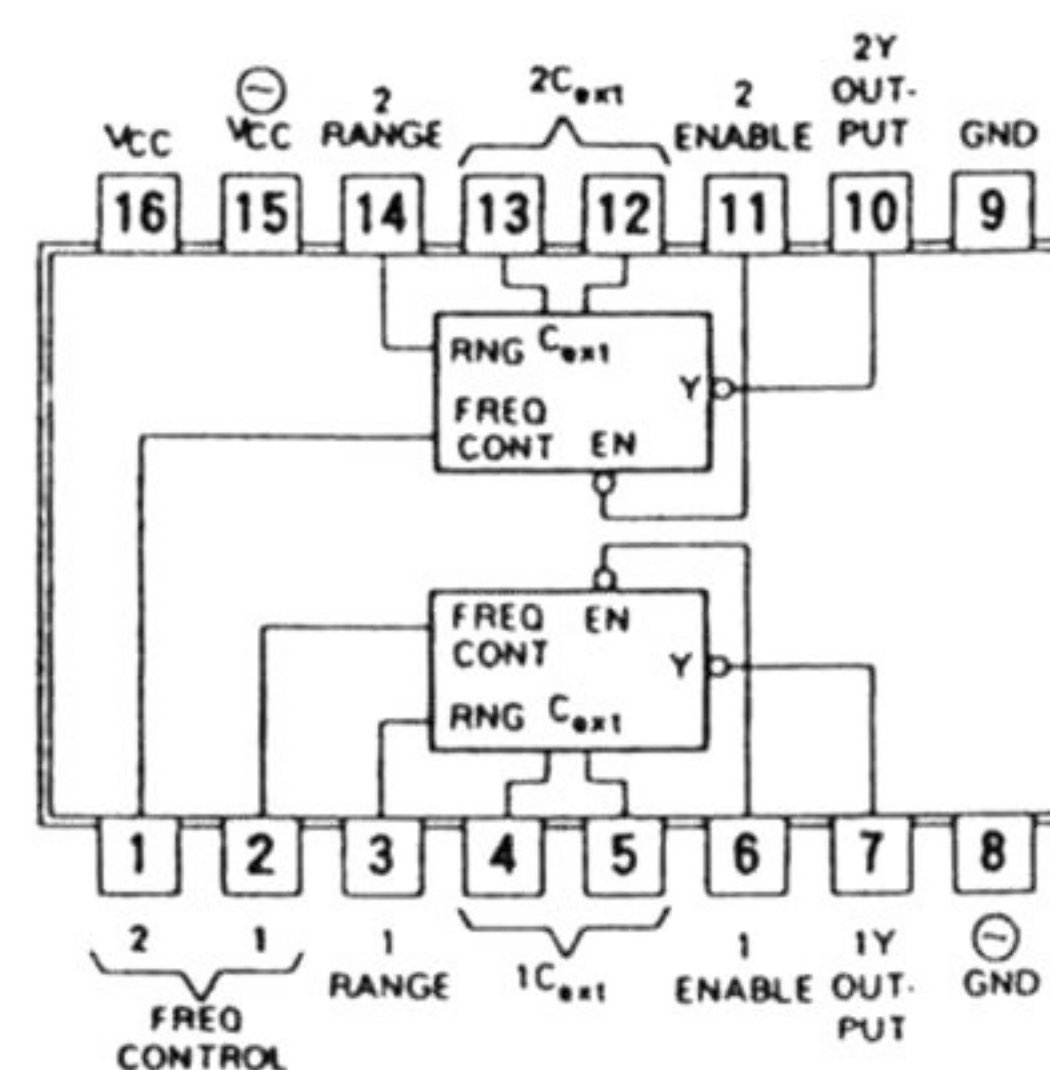
74625 VOLTAGE-CONTROLLED OSCILLATOR

●LS124, LS324 ~LS327 に比べ，コントロール入力電圧に対する出力周波数の直線性を改善
●LS124, LS324 ~LS327 に比べ，同一Cext の値で4倍の発振周波数が得られる
●イネーブル端子による原発振の停止が可能

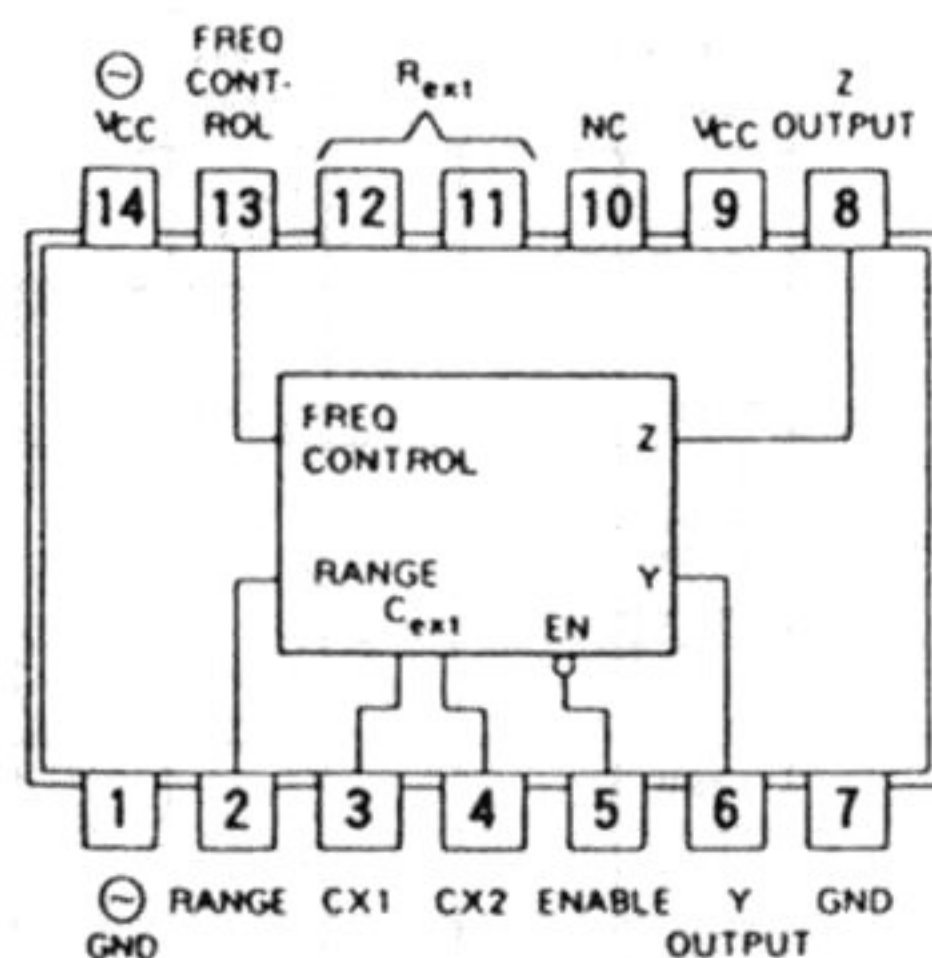
74624 VOLTAGE-CONTROLLED OSCILLATOR

●LS124, LS324 ~LS327 に比べ，コントロール入力電圧に対する出力周波数の直線性を改善
●LS124, LS324 ~LS327 に比べ，同一Cext の値で4倍の発振周波数が得られる
●イネーブル端子による原発振の停止が可能

74626 VOLTAGE-CONTROLLED OSCILLATOR

●LS124, LS324 ~LS327 に比べ，コントロール入力電圧に対する出力周波数の直線性を改善
●LS124, LS324 ~LS327 に比べ，同一Cext の値で4倍の発振周波数が得られる
●イネーブル端子による原発振の停止が可能

74627, 74628, 74629, 74630

74627 VOLTAGE-CONTROLLED OSCILLATOR

- LS124, LS324 ～LS327 に比べ，コントロール入力電圧に対する出力周波数の直線性を改善
- LS124, LS324 ～LS327 に比べ，同一Cext の値で 4 倍の発振周波数が得られる
- イネーブル端子による原発振の停止が可能

74629 VOLTAGE-CONTROLLED OSCILLATOR

- LS124, LS324 ～LS327 に比べ，コントロール入力電圧に対する出力周波数の直線性を改善
- LS124, LS324 ～LS327 に比べ，同一Cext の値で 4 倍の発振周波数が得られる
- イネーブル端子による原発振の停止が可能

74628 VOLTAGE-CONTROLLED OSCILLATOR

- LS124, LS324 ～LS327 に比べ，コントロール入力電圧に対する出力周波数の直線性を改善
- LS124, LS324 ～LS327 に比べ，同一Cext の値で 4 倍の発振周波数が得られる
- 外付け抵抗により温度補償が可能

74630 16-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUIT

- 1 ビット誤りの検出訂正
- 2 ビット誤りの検出
- 高速処理
  - ーライト・サイクル：平均 45ns でチェック・ワード発生
  - ーリード・サイクル：平均 27ns でフラグ発生

メモリ・サイクル	コントロール S1	コントロール S0	EDAC 機能	データ I/O	チェック・ワード I/O	誤差信号 SEF	誤差信号 DEF
ライト	L	L	チェック・ワードを発生	データ入力	チェック・ワード出力	L	L
リード	L	H	データとチェック・ワード読込み	データ入力	チェック・ワード入力	L	L
リード	H	H	データ・ラッチとエラー検出	データをラッチ	チェック・ワードをラッチ	イネーブル	
リード	H	L	データ訂正とシンドローム・ビットの発生	訂正データを出力	シンドローム・ビットを出力	イネーブル	

74631, 74632

74631 16-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUIT

- 1ビット誤りの検出訂正
- 2ビット誤りの検出
- 高速処理
  - ーライト・サイクル：
    平均45nsでチェック・ワード発生
  - ーリード・サイクル：
    平均27nsでフラグ発生

メモリ・サイクル	コントロール S1	コントロール S0	EDAC 機能	データ I/O	チェック・ワード I/O	誤差信号 SEF	誤差信号 DEF
ライト	L	L	チェック・ワードを発生	データ入力	チェック・ワード出力	L	L
リード	L	H	データとチェック・ワード読込み	データ入力	チェック・ワード入力	L	L
リード	H	H	データ・ラッチとエラー検出	データをラッチ	チェック・ワードをラッチ	イネーブル	
リード	H	L	データ訂正とシンドローム・ビットの発生	訂正データを出力	シンドローム・ビットを出力	イネーブル	

74632 32-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUIT

- 1ビット誤りの検出と訂正
- 2ビット誤りの検出
- 自己診断機能付き
- ライトとリードにおいて高速サイクル処理時間
- バイト・ライト機能付き

メモリサイクル	EDAC機能	コントロール S1 S0	データ I/O	DB コントロール $\overline{OEBn}$	DB 出力ラッチ $\overline{LEDBO}$	チェック I/O	CB コントロール $\overline{OECB}$	エラーフラグ ERR MERR
ライト	チェック・ワード発生	L L	入力	H	X	チェック・ビット出力	L	H H
リード	エラー・フラグ発生	H L	入力	H	X	入力	H	イネーブル
リード	データとチェック・ビットをラッチ	H H	データ入力	H	L	チェック・ワード入力	H	イネーブル
リード	訂正データとシンドローム・ビットを発生	H H	訂正データ・ワード出力	L	X	シンドローム・ビット出力	L	イネーブル
リード	データとチェック・ビットをラッチ	H H	データ入力	H	L	チェック・ワード入力	H	イネーブル
リード	出力ラッチでデータ・ワード訂正	H H	データ・ワード出力	H	H	Hi-Z シンドローム・ビット出力	H L	イネーブル
モディファイ/ライト	バイト制御とそのチェック・ワード発生	L L	BYTE0をモディファイした入力 BYTE0出力	H L	H	チェック・ワード出力	L	H H
	エラー・フラグ発生	H L	データ・ワード入力	H	X	チェック・ビット入力	H	H H
	チェック・ワードをラッチ、データ入力はトランスペアレント	L H	自己診断データ・ワード入力	H	L	チェック・ビット入力	H	イネーブル
	出力ラッチに自己診断データ・ワードをラッチ	L H	自己診断データ・ワード入力	H	H	チェック・ビット出力 Hi-Z	L H	イネーブル
	入力ラッチに自己診断データ・ワードをラッチ	H H	自己診断データ・ワード入力	H	H	シンドローム・ビット出力 Hi-Z	L H	イネーブル
	自己診断データ・ワードとシンドローム・ビットを出力	H H	自己診断データ・ワード出力	L	H	シンドローム・ビット出力 Hi-Z	L H	イネーブル
	訂正自己診断データ・ワードとシンドローム・ビットを出力	H H	訂正自己診断データ・ワード出力	L	L	シンドローム・ビット出力 Hi-Z	L H	イネーブル

74633, 74634

74633　32-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUIT

VCC 52, S1 51, S0 50, DB31 49, DB30 48, DB29 47, DB28 46, DB27 45, DB26 44, OEB3 43, DB25 42, DB24 41, GND 40, DB23 39, DB22 38, OEB2 37, DB21 36, DB20 35, DB19 34, DB18 33, DB17 32, DB16 31, CB0 30, CB1 29, CB2 28, CB3 27

LEDBO 1, MERR 2, ERR 3, DB0 4, DB1 5, DB2 6, DB3 7, DB4 8, DB5 9, OEB0 10, DB6 11, DB7 12, GND 13, DB8 14, DB9 15, OEB1 16, DB10 17, DB11 18, DB12 19, DB13 20, DB14 21, DB15 22, CB6 23, CB5 24, CB4 25, OECB 26

●1ビット誤りの検出と訂正
●2ビット誤りの検出
●自己診断機能付き
●ライトとリードにおいて高速サイクル処理時間
●バイト・ライト機能付き

メモリサイクル	EDAC機能	コントロール S1 S0	データ I/O	DBコントロール OEBn	DB出力ラッチ LEDBO	チェック I/O	CBコントロール OECB	エラーフラグ ERR MERR
ライト	チェック・ワード発生	L L	入力	H	X	チェック・ビット出力	L	H H
リード	エラー・フラグ発生	H L	入力	H	X	入力	H	イネーブル
リード	データとチェック・ビットをラッチ	H H	データ入力	H	L	チェック・ワード入力	H	イネーブル
リード	訂正データとシンドローム・ビットを発生	H H	訂正データ・ワード出力	L	X	シンドローム・ビット出力	L	イネーブル
リード	データとチェック・ビットをラッチ	H H	データ入力	H	L	チェック・ワード入力	H	イネーブル
リード	出力ラッチでデータ・ワード訂正	H H	データ・ワード出力	H	H	Hi-Z シンドローム・ビット出力	H L	イネーブル
モディファイ/ライト	バイト制御とそのチェック・ワード発生	L L	BYTE0をモディファイした入力 BYTE0出力	H L	H	チェック・ワード出力	L	H H
	エラー・フラグ発生	H L	データ・ワード入力	H	X	チェック・ビット入力	H	H H
	チェック・ワードをラッチ, データ入力はトランスペアレント	L H	自己診断データ・ワード入力	H	L	チェック・ビット入力	H	イネーブル
	出力ラッチに自己診断データ・ワードをラッチ	L H	自己診断データ・ワード入力	H	H	チェック・ビット出力 Hi-Z	L H	イネーブル
	入力ラッチに自己診断データ・ワードをラッチ	H H	自己診断データ・ワード入力	H	H	シンドローム・ビット出力 Hi-Z	L H	イネーブル
	自己診断データ・ワードとシンドローム・ビットを出力	H H	自己診断データ・ワード出力	L	H	シンドローム・ビット出力 Hi-Z	L H	イネーブル
	訂正自己診断データ・ワードとシンドローム・ビットを出力	H H	訂正自己診断データ・ワード出力	L	L	シンドローム・ビット出力 Hi-Z	L H	イネーブル

74634　32-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUIT

VCC 48, S1 47, S0 46, DB31 45, DB30 44, DB29 43, DB28 42, DB27 41, DB26 40, DB25 39, DB24 38, GND 37, DB23 36, DB22 35, DB21 34, DB20 33, DB19 32, DB18 31, DB17 30, DB16 29, CB0 28, CB1 27, CB2 26, CB3 25

MERR 1, ERR 2, DB0 3, DB1 4, DB2 5, DB3 6, DB4 7, DB5 8, OEDB 9, DB6 10, DB7 11, GND 12, DB8 13, DB9 14, DB10 15, DB11 16, DB12 17, DB13 18, DB14 19, DB15 20, CB6 21, CB5 22, CB4 23, OECB 24

●1ビット誤りの検出と訂正
●2ビット誤りの検出
●自己診断機能付き
●ライトとリードにおいて高速サイクル処理時間

メモリサイクル	EDAC機能	コントロール S1 S0	データ I/O	DBコントロール OEDB	DB出力ラッチ LEDBO	チェック I/O	CBコントロール OECB	エラーフラグ ERR MERR
ライト	チェック・ワード発生	L L	入力	H	X	チェック・ビット出力	L	H H
リード	エラー・フラグ発生	H L	入力	H	X	入力	H	イネーブル
リード	データとチェック・ビットをラッチ	H H	データ入力	H	L	チェック・ワード入力	H	イネーブル
リード	訂正データとシンドローム・ビットを発生	H H	訂正データ・ワード出力	L	X	シンドローム・ビット出力	L	イネーブル
リード	データとチェック・ビットをラッチ	H H	データ入力	H	L	チェック・ワード入力	H	イネーブル
リード	出力ラッチでデータ・ワード訂正	H H	データ・ワード出力	H	H	Hi-Z シンドローム・ビット出力	H L	イネーブル
モディファイ・ライト	バイト制御とそのチェック・ワード発生	L L	BYTE0をモディファイした入力 BYTE0出力	H L	H	チェック・ワード出力	L	H H
	エラー・フラグ発生	H L	データ・ワード入力	H		チェック・ビット入力	H	H H
	チェック・ワードをラッチ, データ入力はトランスペアレント	L H	自己診断データ・ワード入力	H		チェック・ビット入力	H	イネーブル
	チェック・ビット入出力	L H	自己診断データ・ワード入力	L		チェック・ビット出力	H	イネーブル
	入力ラッチに自己診断データ・ワードをラッチ	H H	自己診断データ・ワードをラッチ	H		シンドローム・ビット出力 Hi-Z	L H	イネーブル
	自己診断データ・ワード出力	H H	自己診断データ・ワード出力	L		シンドローム・ビット出力 Hi-Z	L H	イネーブル

74635, 74636, 74637

74635 32-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUITS

●1ビット誤りの検出と訂正
●2ビット誤りの検出
●自己診断機能付き
●ライトとリードにおいて高速サイクル処理時間

メモリサイクル	EDAC 機能	コントロール S1	コントロール S0	データ I/O	DB コントロール OEDB	DB 出力ラッチ LEDBO	チェック I/O	CB コントロール OECB	エラーフラグ ERR	エラーフラグ MERR
ライト	チェック・ワード発生	L	L	入力	H	*	チェック・ビット出力	L	H	H
リード	エラー・フラグ発生	H	L	入力	H	*	入力	H	イネーブル	
リード	データとチェック・ビットをラッチ	H	H	データ入力	H	L	チェックワード入力	H	イネーブル	
リード	訂正データとシンドローム・ビットを発生	H	H	訂正データワード出力	L	*	シンドロームビット出力	L	イネーブル	
リード	データとチェック・ビットをラッチ	H	H	データ入力	H	L	チェックワード入力	H	イネーブル	
リード	出力ラッチでデータ・ワード訂正	H	H	データワード出力	H	H	H·Z シンドロームビット出力	H L	イネーブル	
モディファイ/ライト	バイト制御とそのチェック・ワード発生	L	L	BYTE0をモディファイした入力 BYTE0出力	H L	H	チェックワード出力	L	H	H
	エラー・フラグ発生	H	L	データ・ワード入力	H		チェックビット入力	H	H	H
	チェック・ワードをラッチ、データ入力はトランスペアレント	L	H	自己診断データ・ワード入力	H		チェックビット入力	H	イネーブル	
	チェック・ビット入出力	L	H	自己診断データ・ワード入力	L		チェックビット出力	H	イネーブル	
	入力ラッチに自己診断データ・ワードをラッチ	H	H	自己診断データ・ワードをラッチ	H		シンドロームビット出力 H·Z	L H	イネーブル	
	自己診断データ・ワード出力	H	H	自己診断データ・ワード出力	L		シンドロームビット出力 H·Z	L H	イネーブル	

74636 8-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUIT

●1ビット誤りの検出訂正
●2ビット誤りの検出
●高速処理
　—ライト・サイクル；
　　平均45nsでチェック・ワード発生
　—リード・サイクル；
　　平均27nsでフラグ発生

メモリ・サイクル	コントロール S1	コントロール S0	EDAC 機能	データ I/O	チェック・ワード I/O	誤差信号 SEF	誤差信号 DEF
ライト	L	L	チェック・ワードを発生	データ入力	チェック・ワード出力	L	L
リード	L	H	データとチェック・ワード読込み	データ入力	チェック・ワード入力	L	L
リード	H	H	データ・ラッチとエラー検出	データをラッチ	チェック・ワードをラッチ	イネーブル	
リード	H	L	データ訂正とシンドローム・ビットの発生	訂正データを出力	シンドローム・ビットを出力	イネーブル	

74637 8-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUIT

●1ビット誤りの検出訂正
●2ビット誤りの検出
●高速処理
　—ライト・サイクル；
　　平均45nsでチェック・ワード発生
　—リード・サイクル；
　　平均27nsでフラグ発生

メモリ・サイクル	コントロール S1	コントロール S0	EDAC 機能	データ I/O	チェック・ワード I/O	誤差信号 SEF	誤差信号 DEF
ライト	L	L	チェック・ワードを発生	データ入力	チェック・ワード出力	L	L
リード	L	H	データとチェック・ワード読込み	データ入力	チェック・ワード入力	L	L
リード	H	H	データ・ラッチとエラー検出	データをラッチ	チェック・ワードをラッチ	イネーブル	
リード	H	L	データ訂正とシンドローム・ビットの発生	訂正データを出力	シンドローム・ビットを出力	イネーブル	

74647, 74649, 74653, 74654

74647　OCTAL BUS TRANSCEIVERS AND REGISTERS

Vcc 24, CLOCK BA 23, SELECT BA 22, CONTROL G̅ 21, B1 20, B2 19, B3 18, B4 17, B5 16, B6 15, B7 14, B8 13

CLOCK AB 1, SELECT AB 2, DIRECTION 3, A1 4, A2 5, A3 6, A4 7, A5 8, A6 9, A7 10, A8 11, GND 12

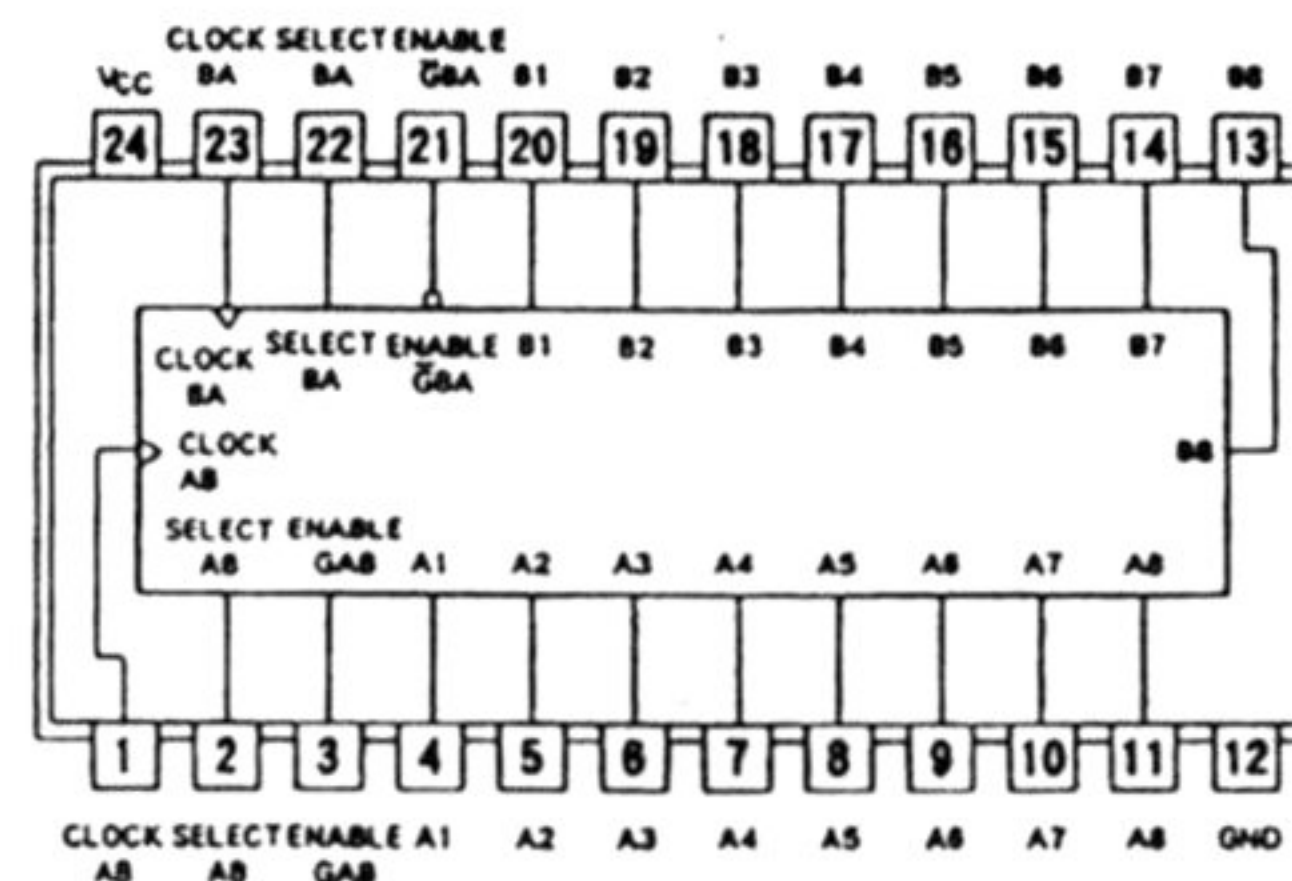
●レジスタ付き双方向バス・トランシーバ
●Aポート，Bポートそれぞれ独立のレジスタ内蔵
●リアル・タイムとデータのストア
●非反転出力
●オープン・コレクタ出力

入		力				データ I/O*		機能・動作
G̅	DIR	CAB	CBA	SAB	SBA	A1からA8	B1からB8	
H	X	HまたはL	HまたはL	X	X	入　力	入　力	アイソレーション
H	X	↑	↑	X	X			Aデータ，Bデータ・ストア
L	L	X	X	X	L	出　力	入　力	リアル・タイムBデータからAバス
L	L	X	HまたはL	X	H			ストアードBデータからAバス
L	H	X	X	L	X	入　力	出　力	リアル・タイムAデータからBバス
L	H	HまたはL	X	H	X			ストアードAデータからBバス

* Aポート，Bポートのデータはクロックの立ち上りエッヂで常に取込まれます。

74653　OCTAL BUS TRANSCEIVERS AND REGISTERS

Vcc 24, CLOCK BA 23, SELECT BA 22, ENABLE G̅BA 21, B1 20, B2 19, B3 18, B4 17, B5 16, B6 15, B7 14, B8 13

CLOCK AB 1, SELECT AB 2, ENABLE GAB 3, A1 4, A2 5, A3 6, A4 7, A5 8, A6 9, A7 10, A8 11, GND 12

●レジスタ付き双方向バス・トランシーバ
●Aポート，Bポートそれぞれ独自のレジスタとイネーブル内蔵
●リアル・タイムとデータのストア
●反転出力
●Aポート：オープン・コレクタ出力
　Bポート：3ステート出力

入		力				データ I/O		機能・動作
GAB	G̅BA	CAB	CBA	SAB	SBA	A1からA8	B1からB8	
L	H	HまたはL	HまたはL	X	X	入　力	入　力	アイソレーション
L	H	↑	↑	X	X			Aデータ，Bデータ・ストア
X	H	↑	HまたはL	X	X	入　力	不　定	ストアA，ホールドB
H	H	↑	↑	X	X	入　力	出　力	両方のレジスタにAデータをストア
L	X	HまたはL	↑	X	X	不　定	入　力	ホールドA，ストアB
L	L	↑	↑	X	X	出　力	入　力	両方のレジスタにBデータをストア
L	L	X	X	X	L	出　力	入　力	リアル・タイムでB̅データをAバスへ
L	L	X	HまたはL	X	H			ストアされたB̅データをAバスへ
H	H	X	X	L	X	入　力	出　力	リアル・タイムでA̅データをBバスへ
H	H	HまたはL	X	H	X			ストアされたA̅データをBバスへ
H	L	HまたはL	HまたはL	H	H	出　力	出　力	ストアされたA̅データをBバスへ ストアされたB̅データをAバスへ

74649　OCTAL BUS TRANSCEIVERS AND REGISTERS

Vcc 24, CLOCK BA 23, SELECT BA 22, CONTROL G̅ 21, B1 20, B2 19, B3 18, B4 17, B5 16, B6 15, B7 14, B8 13

CLOCK AB 1, SELECT AB 2, DIRECTION 3, A1 4, A2 5, A3 6, A4 7, A5 8, A6 9, A7 10, A8 11, GND 12

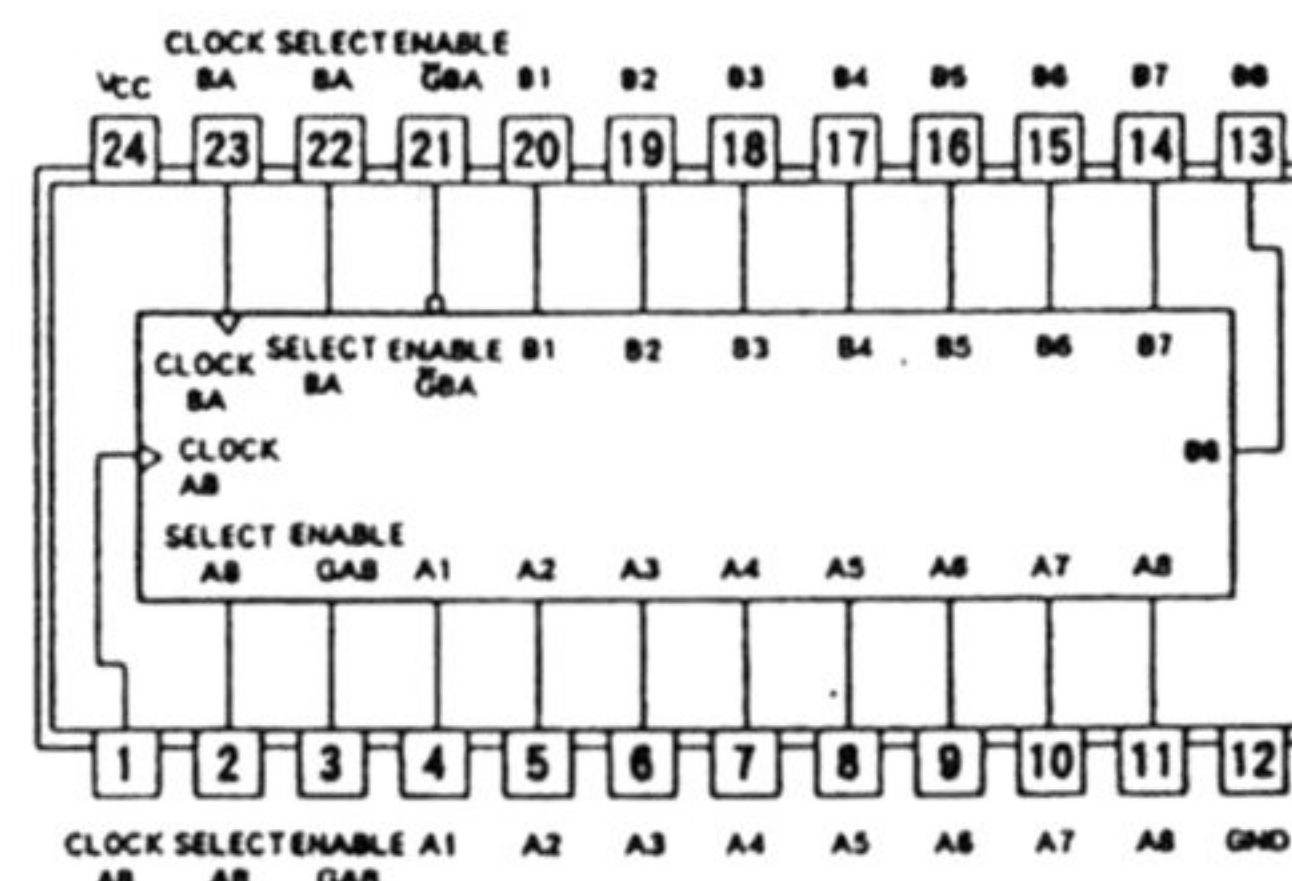
●レジスタ付き双方向バス・トランシーバ
●Aポート，Bポートそれぞれ独立のレジスタ内蔵
●リアル・タイムとデータのストア
●反転出力
●オープン・コレクタ出力

入		力				データ I/O*		機能・動作
G̅	DIR	CAB	CBA	SAB	SBA	A1からA8	B1からB8	
H	X	HまたはL	HまたはL	X	X	入　力	入　力	アイソレーション
H	X	↑	↑	X	X			Aデータ，Bデータ・ストア
L	L	X	X	X	L	出　力	入　力	リアル・タイムB̅データからAバス
L	L	X	HまたはL	X	H			ストアードB̅データからAバス
L	H	X	X	L	X	入　力	出　力	リアル・タイムA̅データからBバス
L	H	HまたはL	X	H	X			ストアードA̅データからBバス

* Aポート，Bポートのデータはクロックの立ち上りエッヂで常に取込まれます。

74654　OCTAL BUS TRANSCEIVERS AND REGISTERS

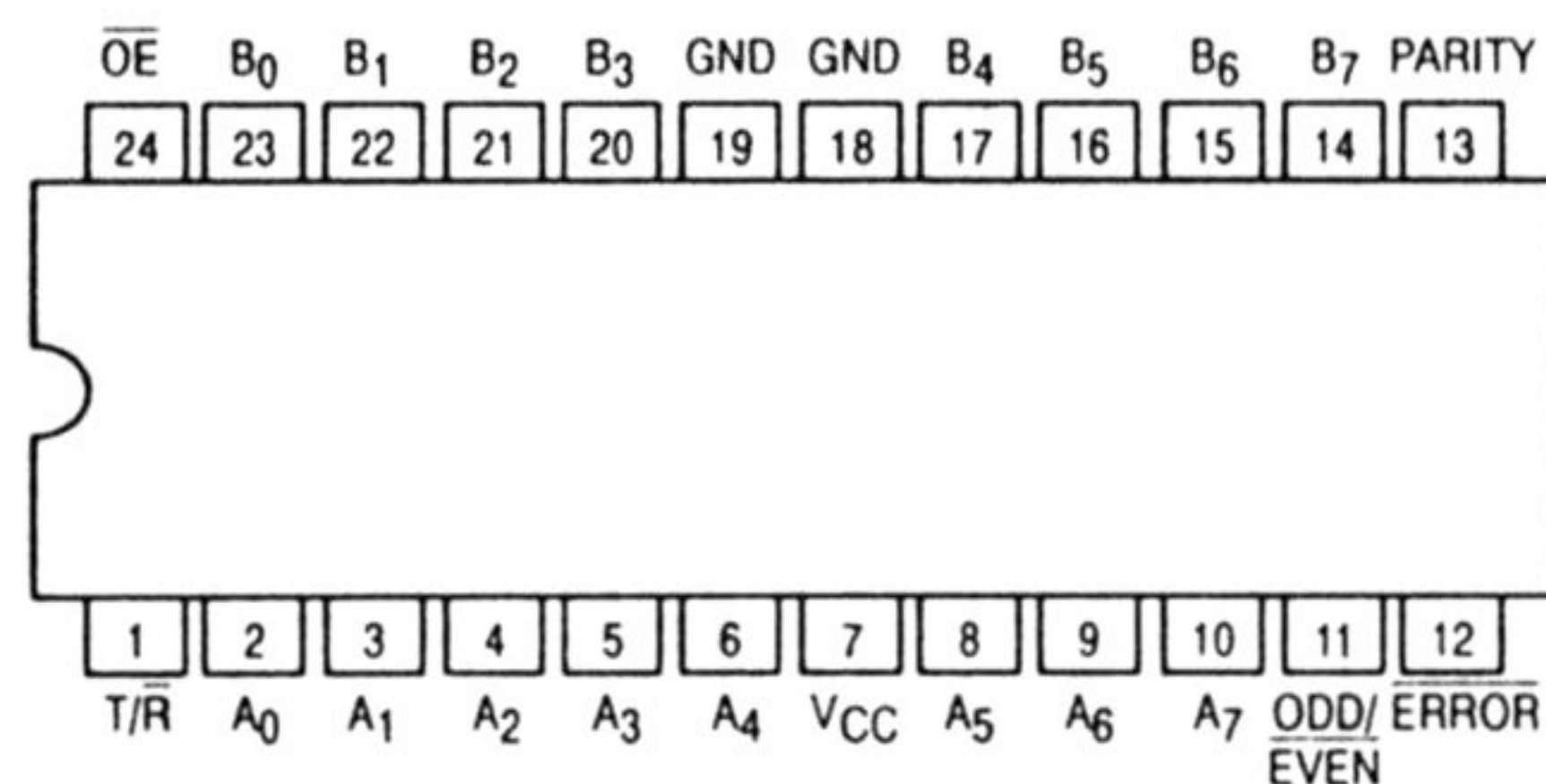
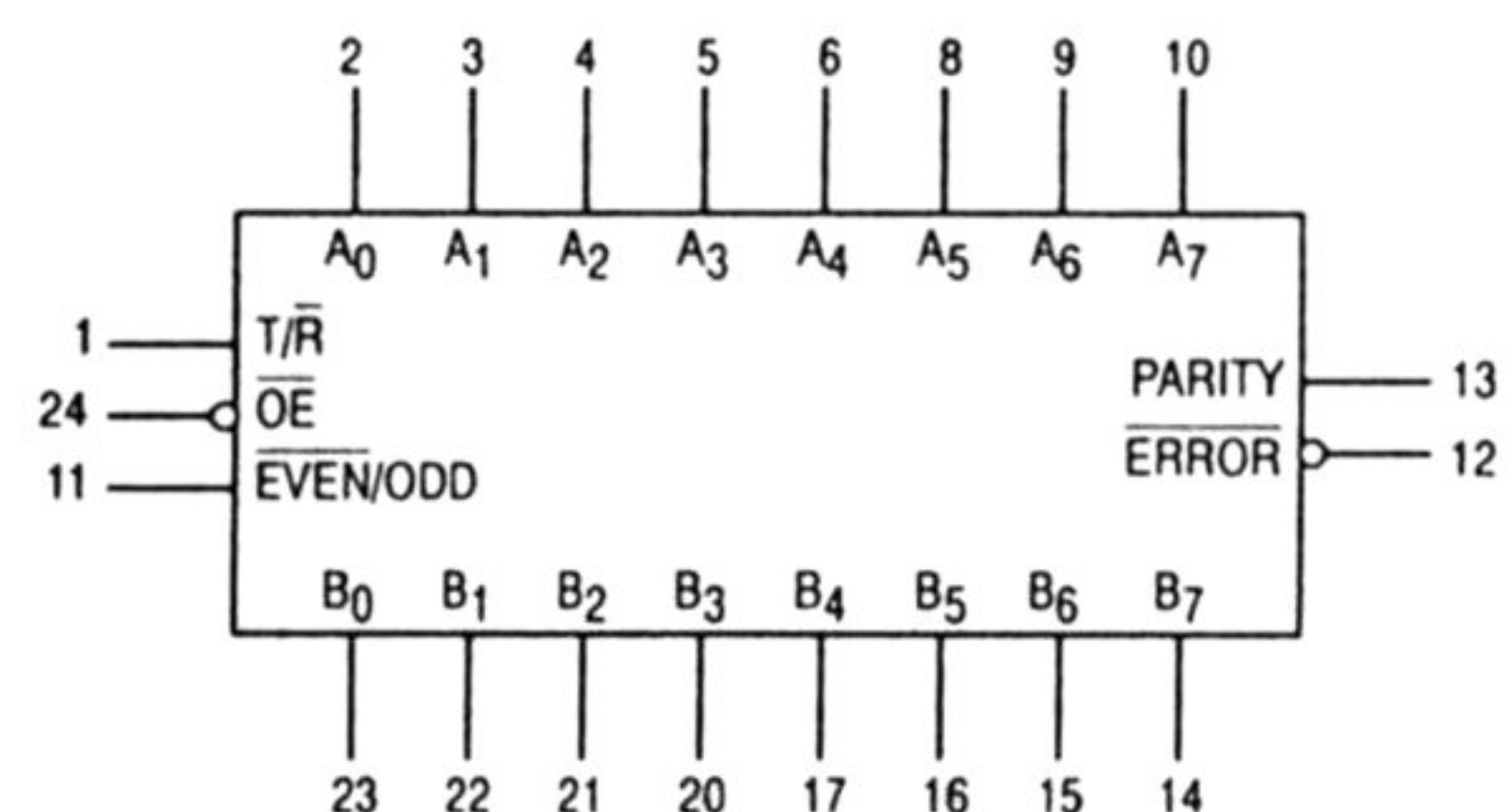
Vcc 24, CLOCK BA 23, SELECT BA 22, ENABLE G̅BA 21, B1 20, B2 19, B3 18, B4 17, B5 16, B6 15, B7 14, B8 13

CLOCK AB 1, SELECT AB 2, ENABLE GAB 3, A1 4, A2 5, A3 6, A4 7, A5 8, A6 9, A7 10, A8 11, GND 12

●レジスタ付き双方向バス・トランシーバ
●Aポート，Bポートそれぞれ独自のレジスタとイネーブル内蔵
●リアル・タイムとデータのストア
●非反転出力
●Aポート：オープン・コレクタ出力
　Bポート：3ステート出力

入		力				データ I/O		機能・動作
GAB	G̅BA	CAB	CBA	SAB	SBA	A1からA8	B1からB8	
L	H	HまたはL	HまたはL	X	X	入　力	入　力	アイソレーション
L	H	↑	↑	X	X			Aデータ，Bデータ・ストア
X	H	↑	HまたはL	X	X	入　力	不　定	ストアA，ホールドB
H	H	↑	↑	X	X	入　力	出　力	両方のレジスタにAデータをストア
L	X	HまたはL	↑	X	X	不　定	入　力	ホールドA，ストアB
L	L	↑	↑	X	X	出　力	入　力	両方のレジスタにBデータをストア
L	L	X	X	X	L	出　力	入　力	リアル・タイムでBデータをAバスへ
L	L	X	HまたはL	X	H			ストアされたBデータをAバスへ
H	H	X	X	L	X	入　力	出　力	リアル・タイムでAデータをBバスへ
H	H	HまたはL	X	H	X			ストアされたAデータをBバスへ
H	L	HまたはL	HまたはL	H	H	出　力	出　力	ストアされたAデータをBバスへ ストアされたBデータをAバスへ

74657 OCTAL BIDIRECTIONAL TRANSCEIVER WITH 8-BIT PARITY GENERATOR CHECKER

OE̅ 24, B0 23, B1 22, B2 21, B3 20, GND 19, GND 18, B4 17, B5 16, B6 15, B7 14, PARITY 13

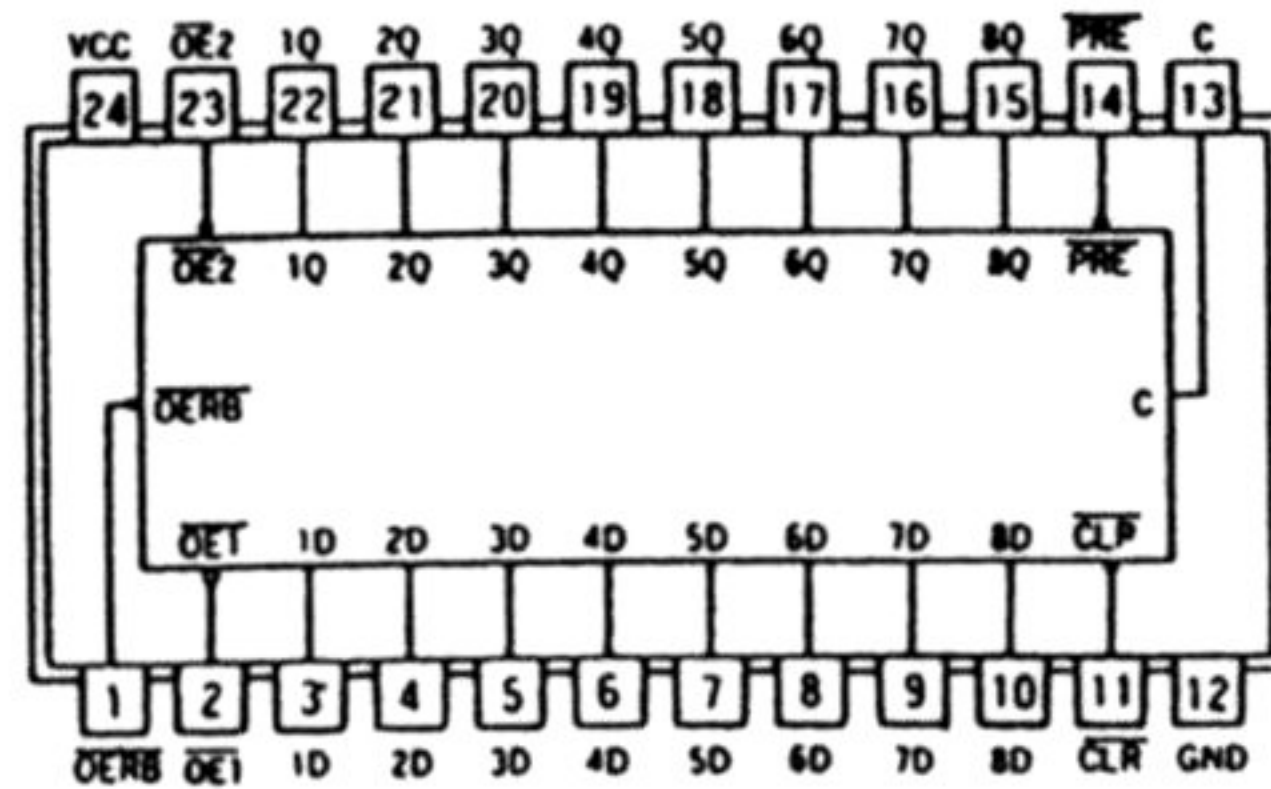
T/R̅ 1, A0 2, A1 3, A2 4, A3 5, A4 6, VCC 7, A5 8, A6 9, A7 10, ODD/EVEN̅ 11, ERROR̅ 12

- '245と'280の機能を1パッケージ化
- 3ステート出力

入力が"H"の数	OE	T/R̅	Even̅/Odd	Parity	Error	出力のモード
0, 2, 4, 6, 8	L	H	H	H	Z	Transmit
	L	H	L	L	Z	Transmit
	L	L	H	H	H	Receive
	L	L	H	L	L	Receive
	L	L	L	H	L	Receive
	L	L	L	L	H	Receive

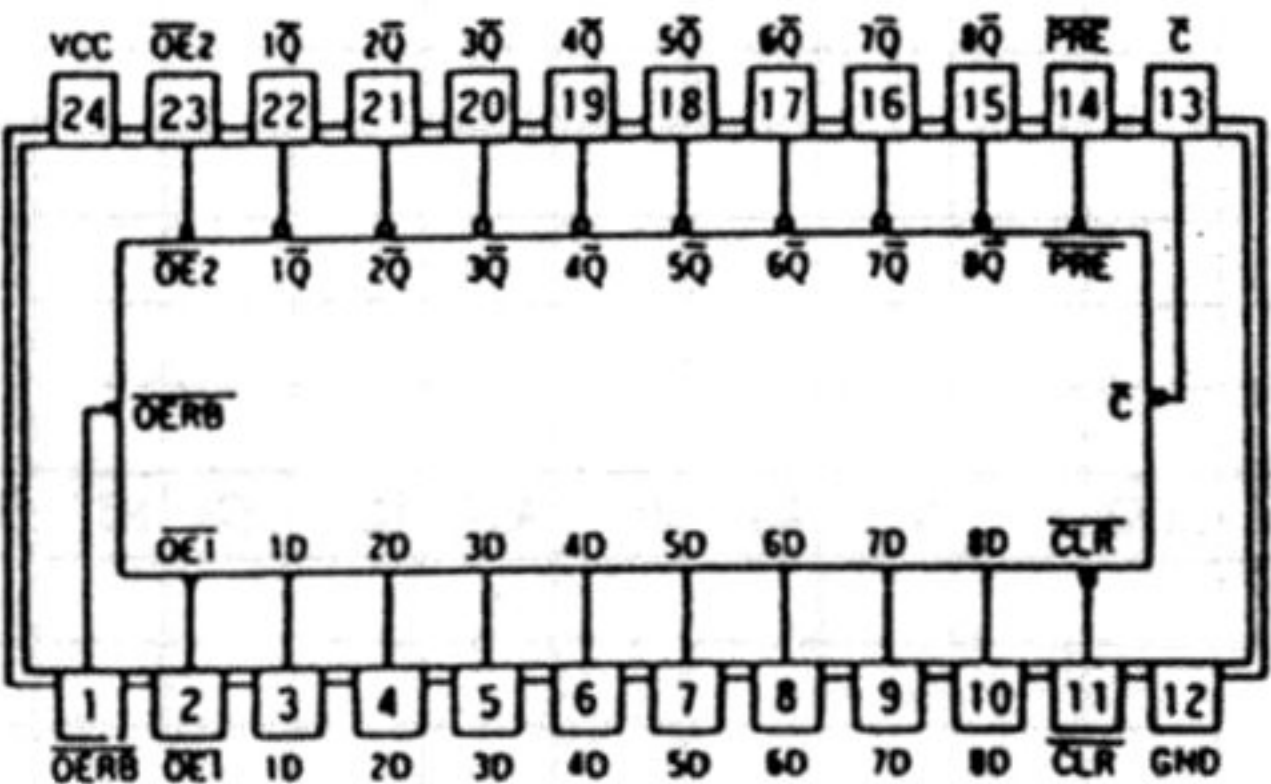
入力が"H"の数	OE	T/R̅	Even̅/Odd	Parity	Error	出力のモード
1, 3, 5, 7	L	H	H	L	Z	Transmit
	L	H	L	H	Z	Transmit
	L	L	H	H	L	Receive
	L	L	H	L	H	Receive
	L	L	L	H	H	Receive
	L	L	L	L	L	Receive
無視	H	X	X	Z	Z	Z

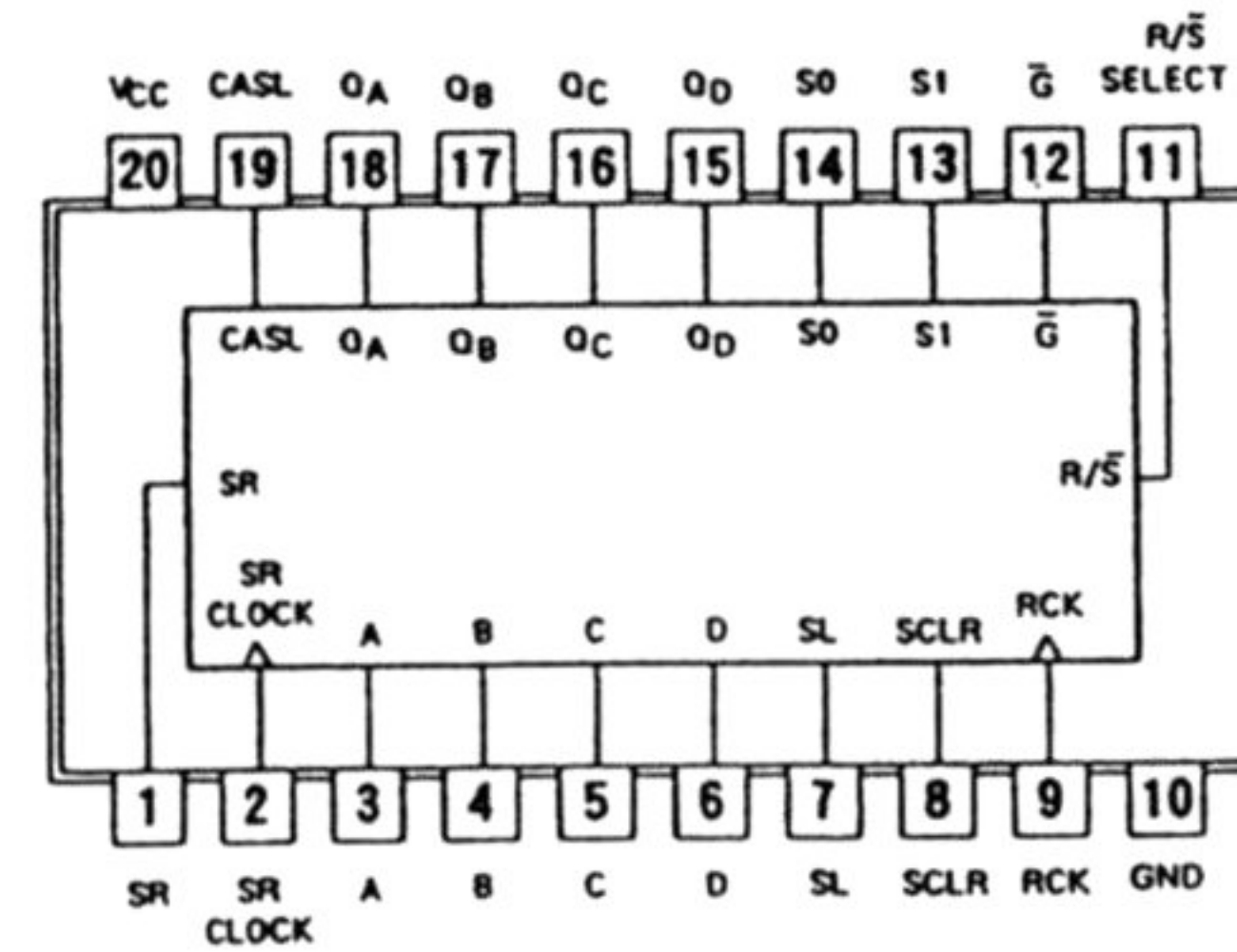
項目	大小	入力	IN	出力	OUT	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	An/Bn		Bn/An	L→H					7.5										ns
tpd	max	An/Bn		Bn/An	H→L					7.5										ns
tpd	max	An		PARITY	L→H					14										ns
tpd	max	An		PARITY	H→L					14										ns
tpd	max	Bn		ERROR	L→H					19										ns
tpd	max	Bn		ERROR	H→L					19										ns
tpd	max	OE			Z→H					9.0										ns
tpd	max	OE			Z→L					10										ns
Icc	max				H					135										mA
Icc	max				L					150										mA
Icc	max				Z					145										mA
IIH	max	An	H							2.0										mA
IIH	max	Bn	H							1.0										mA
IIL	max	ALL	L							0.6										mA
IOH	max			ALL	H					-3.0										mA
IOL	max			ALL	L					24										mA

社名	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立															
JRC															
MOT					DF										
日電															
NS															
沖															
PHIL															
RCA															
三洋															
SIGNE															
TI															
東芝															

74666, 74667, 74671

74666 8-BIT D-TYPE TRANSPARENT READ-BACK LATCHES

- 3ステートI/Oタイプ　リード・バック入力
- 正論理出力
- バス構成に合ったピン配置

74667 8-BIT D-TYPE TRANSPARENT READ-BACK LATCHES

- 3ステートI/Oタイプ　リード・バック入力
- 負論理出力
- バス構成に合ったピン配置

74671 4-BIT UNIVERSAL SHIFT REGISTER/LATCH WITH THREE-STATE OUTPUT

- シフト・レジスタの出力にラッチとマルチプレクサを付加
- ダイレクト・クリア付きシフト・レジスタ
- 3ステート出力
- 任意のワード長に拡張可能

			SRモード		SCK	シリアル入力		パラレル入力				パラレル出力				
$\overline{G}$	R/$\overline{S}$	$\overline{SCLR}$	S1	S0	'LS671	SL	SR	A	B	C	D	Q_A	Q_B	Q_C	Q_D	CASC*
L	L	L	X	X	X	X	X	X	X	X	X	L	L	L	L	(*)
L	L	H	X	X	L	X	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}	(*)
L	L	H	L	L	X	X	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}	H
L	L	H	L	H	↑	X	H	X	X	X	X	H	Q_{An}	Q_{Bn}	Q_{Cn}	Q_{Cn}
L	L	H	L	H	↑	X	L	X	X	X	X	L	Q_{An}	Q_{Bn}	Q_{Cn}	Q_{Cn}
L	L	H	H	L	↑	H	X	X	X	X	X	Q_{Bn}	Q_{Cn}	Q_{Dn}	H	Q_{Bn}
L	L	H	H	L	↑	L	X	X	X	X	X	Q_{Bn}	Q_{Cn}	Q_{Dn}	L	Q_{Bn}
L	L	H	H	H	↑	X	X	a	b	c	d	a	b	c	d	H
H	X	X	L	H	↑	X	X	X	X	X	X	Z	Z	Z	Z	Q_{Cn}
H	X	X	H	L	↑	X	X	X	X	X	X	Z	·Z	Z	Z	Q_{Bn}
L	H	X	X	X	X	X	X	X	X	X	X	内部レジスタ・データ				(*)

・出力コントロール$\overline{G}$がハイのときスリー・ステート出力はハイ・インピーダンス状態である．
しかしながら，シフト・レジスタの内部動作やCASC出力には影響しない．

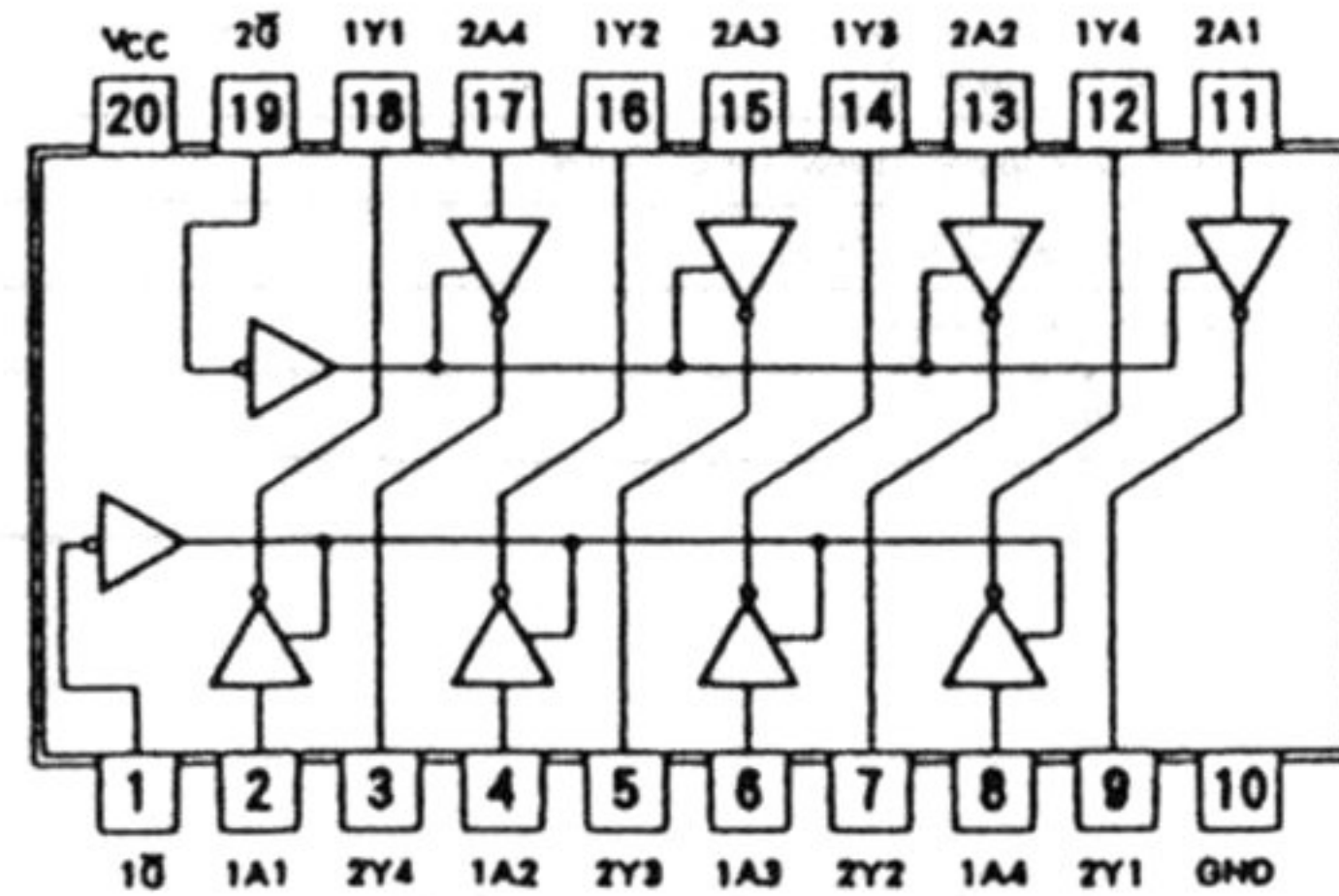
74748 8-LINE-TO-3-LINE PRIORITY ENCODERS

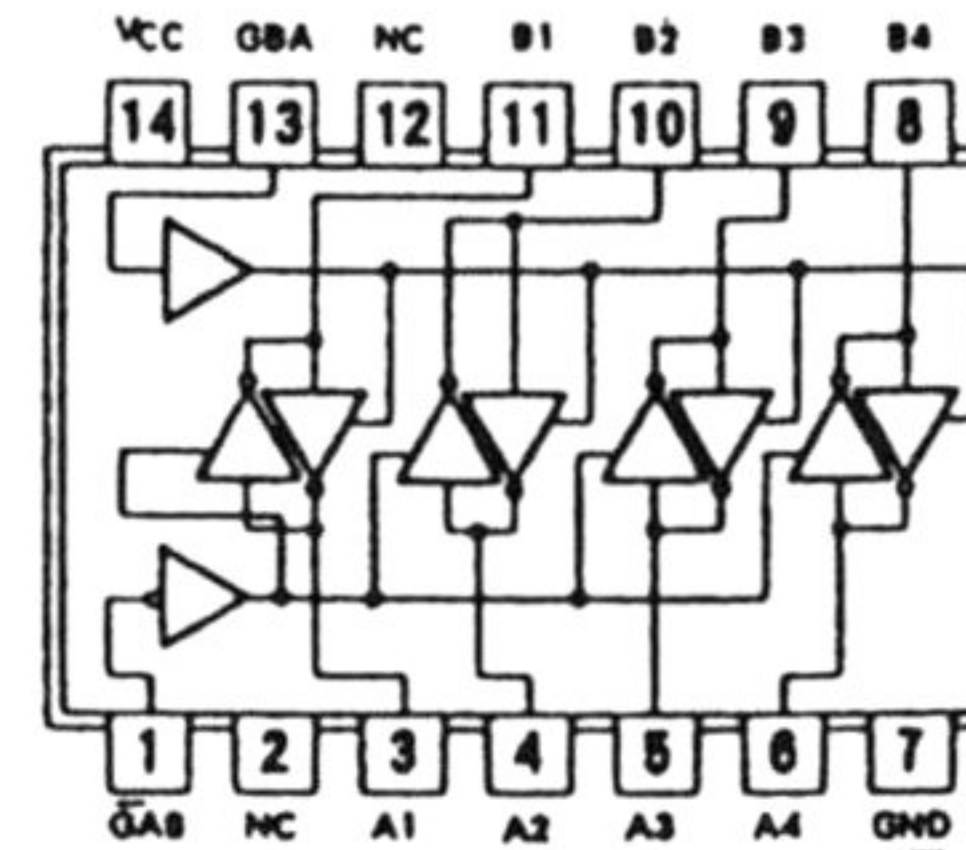
入力									出力				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

項目	大小	入力	IN	出力	OUT	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	Input		Output	L→H		18													ns
tpd	max	Input		Output	H→L		25													ns
tpd	max	Input		EO	L→H		18													ns
tpd	max	Input		EO	H→L		40													ns
tpd	max	Input		GS	L→H		55													ns
tpd	max	Input		GS	H→L		21													ns
Icc	max				H		17													mA
Icc	max				L		20													mA
IIH	max	ALL	H				0.06													mA
IIL	max	ALL	L				-1.2													mA
IOH	max			ALL	H		-0.4													mA
IOL	max			ALL	L		8													mA

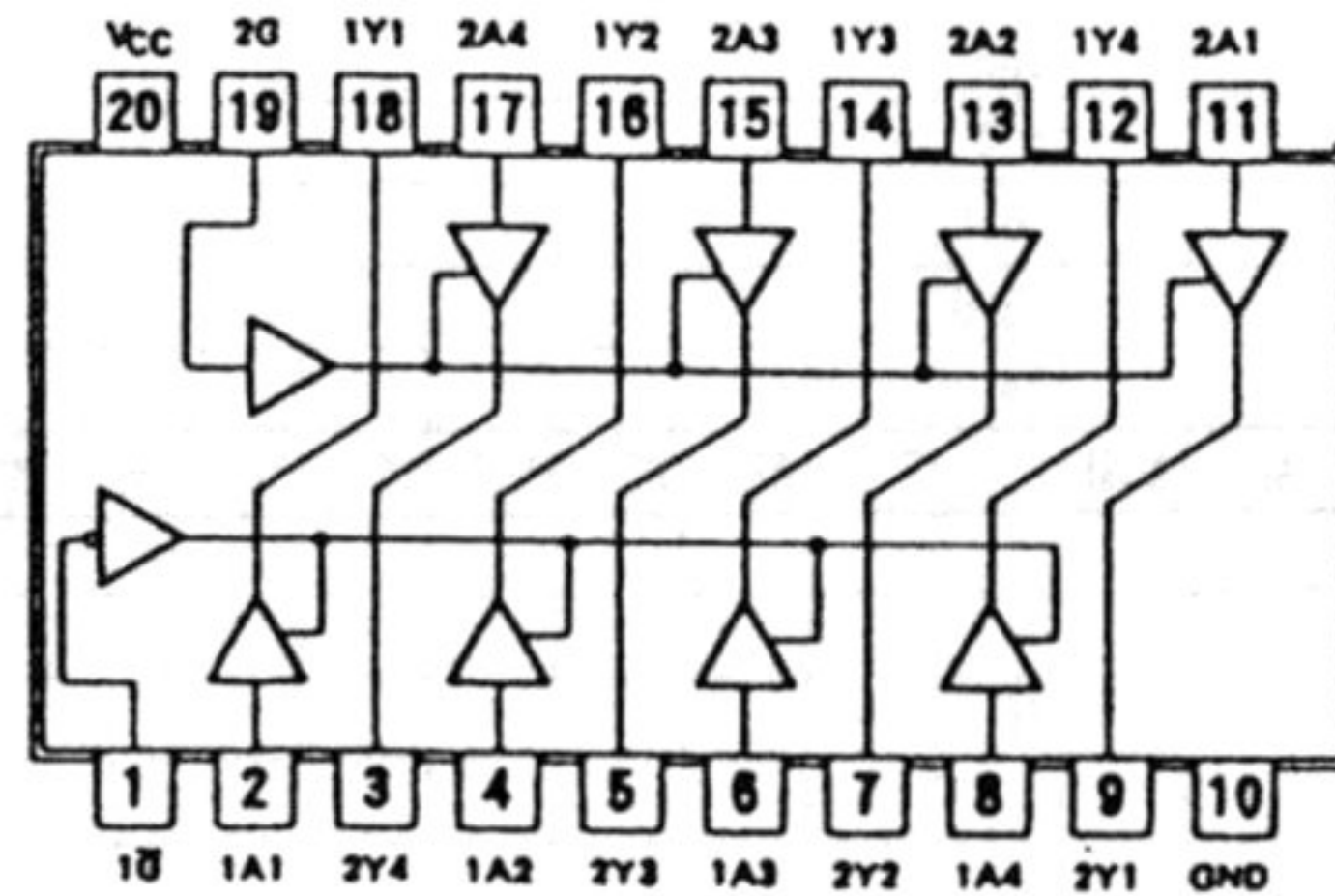
社名	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立															
JRC															
MOT		DF													
日電															
NS															
沖															
PHIL															
RCA															
三洋															
SIGNE															
TI															
東芝															

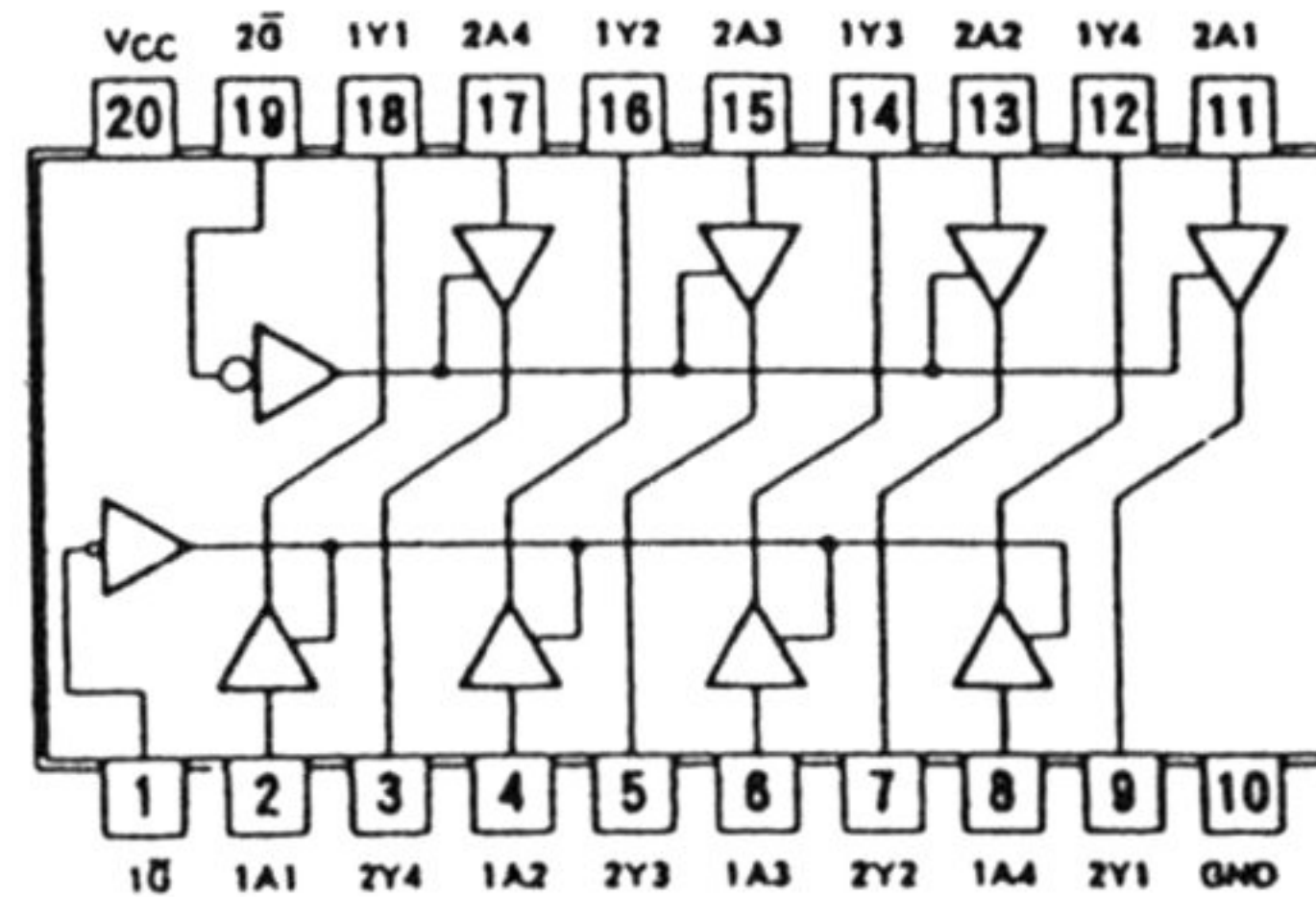
74756, 74757, 74758, 74760

74756 OCTAL BUFFER/LINE DRIVER/LINE RECEIVER (WITH OPEN-COLLECTOR OUTPUTS)

- 3ステート・オーバーラップ・プロテクション不要
- PNP入力
- AS240のオープン・コレクタ型

74758 QUADRUPLE BUS TRANSCEIVER (WITH OPEN-COLLECTOR OUTPUTS)

- PNP入力
- AS242のオープン・コレクタ型

入力		動作
$\overline{GAB}$	GBA	
L	L	$\overline{A}$からB
H	H	$\overline{B}$からA
H	L	アイソレーション
L	H	ラッチAとB ($A=\overline{B}$)

74757 OCTAL BUFFER/LINE DRIVER/LINE RECEIVER (WITH OPEN-COLLECTOR OUTPUTS)

- 3ステート・オーバーラップ・プロテクション不要
- PNP入力
- AS241のオープン・コレクタ型

74760 OCTAL BUFFER/LINE DRIVER/LINE RECEIVER (WITH OPEN-COLLECTOR OUTPUTS)

- オープン・コレクタ出力
- PNP入力
- AS244のオープン・コレクタ型
- 74AC11×××ファミリはセンタ・ピン・タイプ

74779 8-BIT BIDIRECTIONAL BINARY COUNTER (3-STATE)

Pin	16	15	14	13	12	11	10	9
	I/O_0	CP	$\overline{CET}$	V_{CC}	$\overline{TC}$	S_0	S_1	$\overline{OE}$

Pin	1	2	3	4	5	6	7	8
	I/O_1	I/O_2	I/O_3	GND	I/O_4	I/O_5	I/O_6	I/O_7

S1	S0	$\overline{CET}$	$\overline{OE}$	CP	動作モード
X	X	X	H	X	I/Oa to I/Oh in Hi-Z
X	X	X	L	X	Flip-flop outputs appear on I/O lines
L	L	X	H	↑	Parallel load all flip-flops
(not LL)		H	X	↑	Hold (TC held High)
H	L	L	X	↑	Count up
L	H	L	X	↑	Count Down

項目	大小	入力	IN	出力	OUT	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min									80										MHz
tpd	max	CP	↑	I/On	L→H					11										ns
tpd	max	CP	↑	I/On	H→L					11										ns
tpd	max	CP	↑	TC	L→H					10										ns
tpd	max	CP	↑	TC	H→L					10										ns
tpd	max				Z→H					8.0										ns
tpd	max				Z→L					9.5										ns
tpd	max				H→Z					8.0										ns
tpd	max				L→Z					8.0										ns
Icc	max				H					116										mA
Icc	max				L					128										mA
Icc	max				Z					136										mA
IIH	max	ALL	H							1.0										mA
IIL	max	ALL	L							-0.6										mA
IOH	max			ALL	H					-3.0										mA
IOL	max			ALL	L					24										mA

社名	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立														
JRC														
MOT					DF									
日電														
NS														
沖														
PHIL														
RCA														
三洋														
SIGNE														
TI														
東芝														

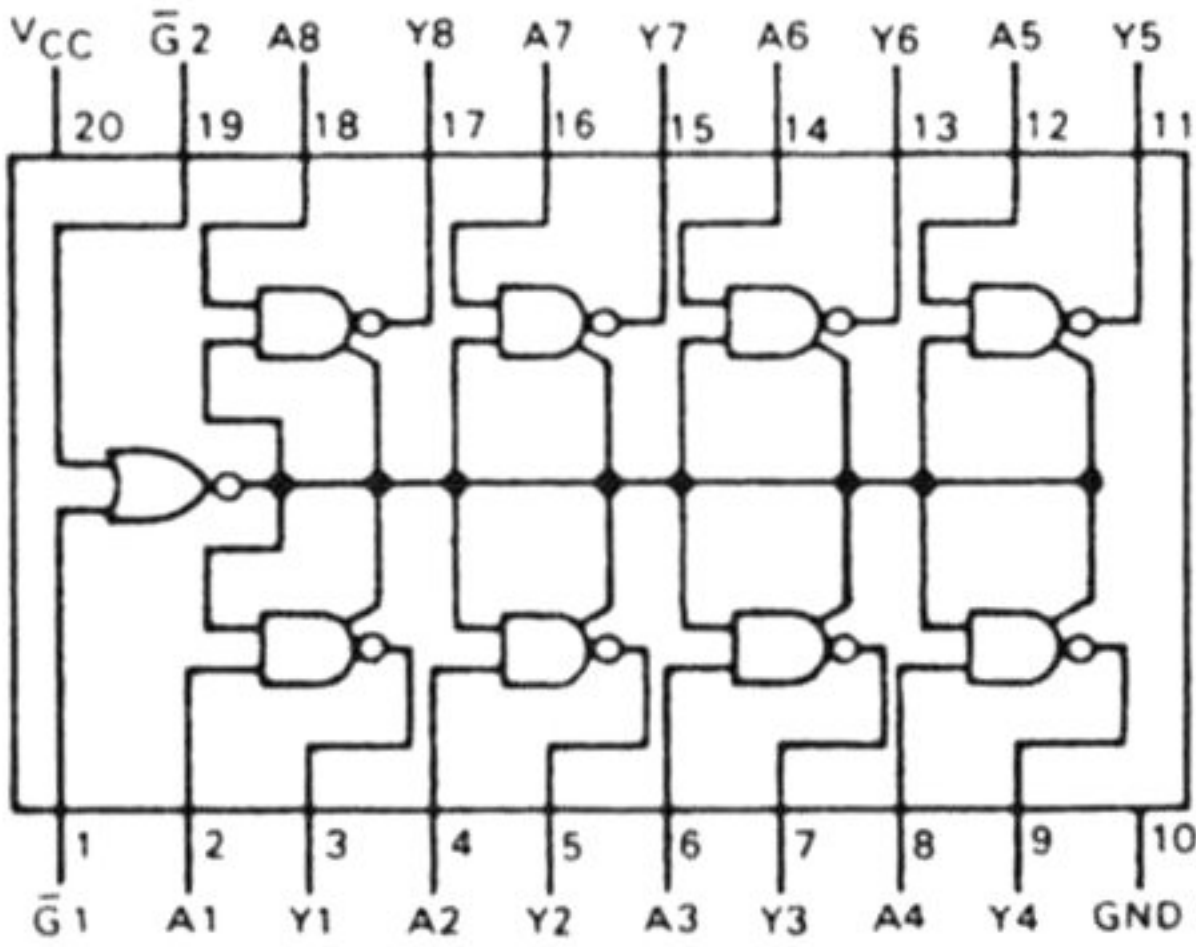
A の詳細

74795 TRI-STATE OCTAL BUFFERS

入力			出力
$\overline{G}1$	$\overline{G}2$	A	Y
H	X	X	Z
X	H	X	Z
L	L	H	H
L	L	L	L

項目	大小	入力	IN	出力	OUT	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max				L→H		16													ns
tpd	max				H→L		22													ns
tpd	max				Z→H		25													ns
tpd	max				Z→L		20													ns
tpd	max				H→Z		20													ns
tpd	max				L→Z		27													ns
Icc	max						26													mA
IIH	max	ALL	H				0.02													mA
IIL	max	ALL	L				-0.4													mA
IOH	max				H		-5													mA
IOL	max				L		16													mA

社名	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立															
JRC															
MOT		DF													
日電															
NS															
沖															
PHIL															
RCA															
三洋															
SIGNE															
TI															
東芝															

74796　TRI-STATE OCTAL BUFFERS

入力			出力
$\bar{G}1$	$\bar{G}2$	A	Y
H	X	X	Z
X	H	X	Z
L	L	H	L
L	L	L	H

項目	大小	入力	IN	出力	OUT	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max				L→H		10													ns
tpd	max				H→L		17													ns
tpd	max				Z→H		27													ns
tpd	max				Z→L		25													ns
tpd	max				H→Z		20													ns
tpd	max				L→Z		27													ns
Icc	max						21													mA
IIH	max	ALL	H				0.02													mA
IIL	max	ALL	L				-0.4													mA
IOH	max				H		-5													mA
IOL	max				L		16													mA

社名	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立														
JRC														
MOT		DF												
日電														
NS														
沖														
PHIL														
RCA														
三洋														
SIGNE														
TI														
東芝														

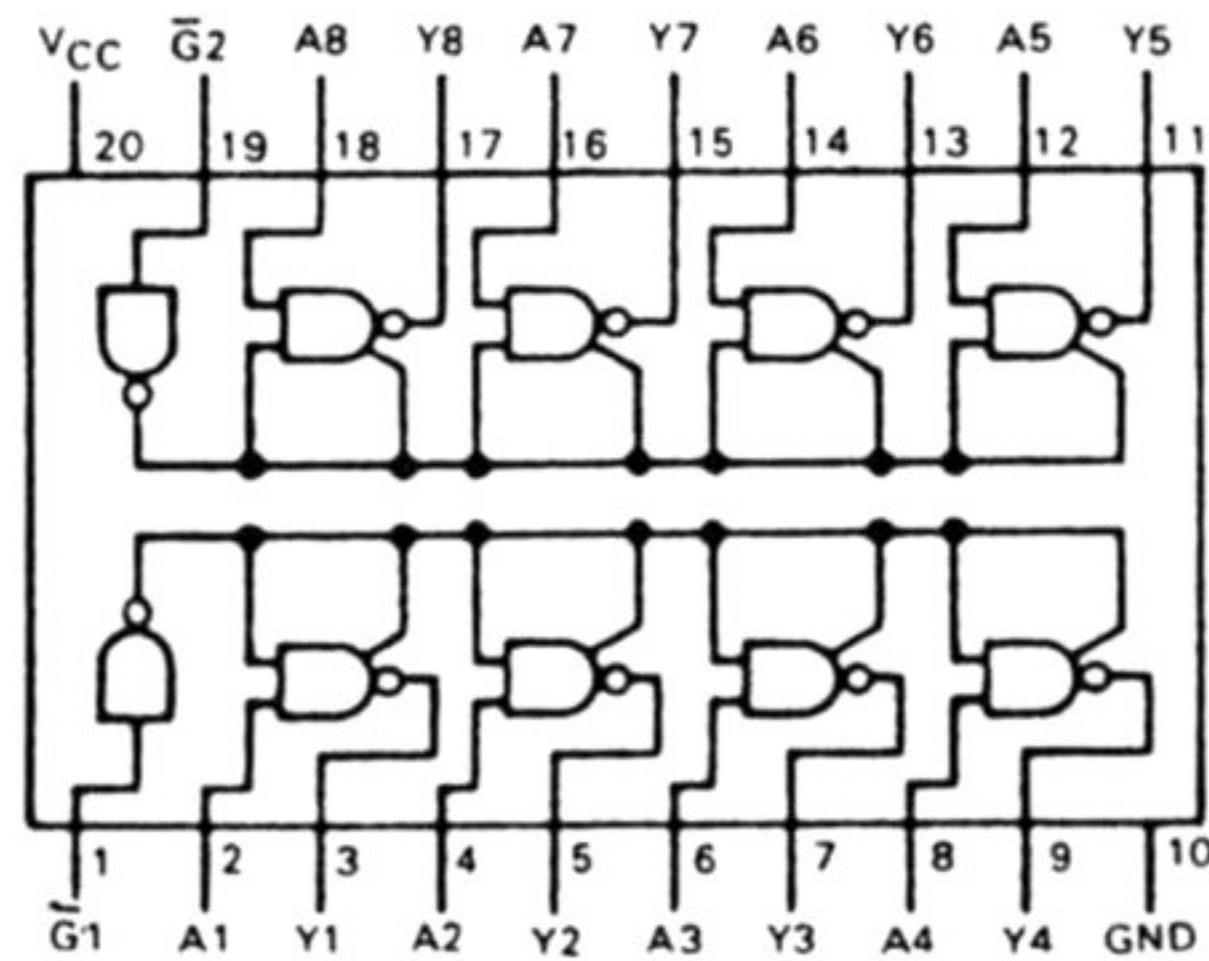
74797　TRI-STATE OCTAL BUFFERS

VCC　$\overline{G}$2　A8　Y8　A7　Y7　A6　Y6　A5　Y5
20　19　18　17　16　15　14　13　12　11
1　2　3　4　5　6　7　8　9　10
$\overline{G}$1　A1　Y1　A2　Y2　A3　Y3　A4　Y4　GND

入力		出力
$\overline{G}$	A	Y
H	X	Z
L	H	H
L	L	L

項目	大小	入力	IN	出力	OUT	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max				L→H		16													ns
tpd	max				H→L		22													ns
tpd	max				Z→H		25													ns
tpd	max				Z→L		20													ns
tpd	max				H→Z		20													ns
tpd	max				L→Z		27													ns
Icc	max						26													mA
IIH	max	ALL	H				0.02													mA
IIL	max	ALL	L				-0.4													mA
IOH	max				H		-5													mA
IOL	max				L		16													mA

社名	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立														
JRC														
MOT		DF												
日電														
NS														
沖														
PHIL														
RCA														
三洋														
SIGNE														
TI														
東芝														

74798 TRI-STATE OCTAL BUFFERS

入力		出力
$\overline{G}$	A	Y
H	X	Z
L	H	L
L	L	H

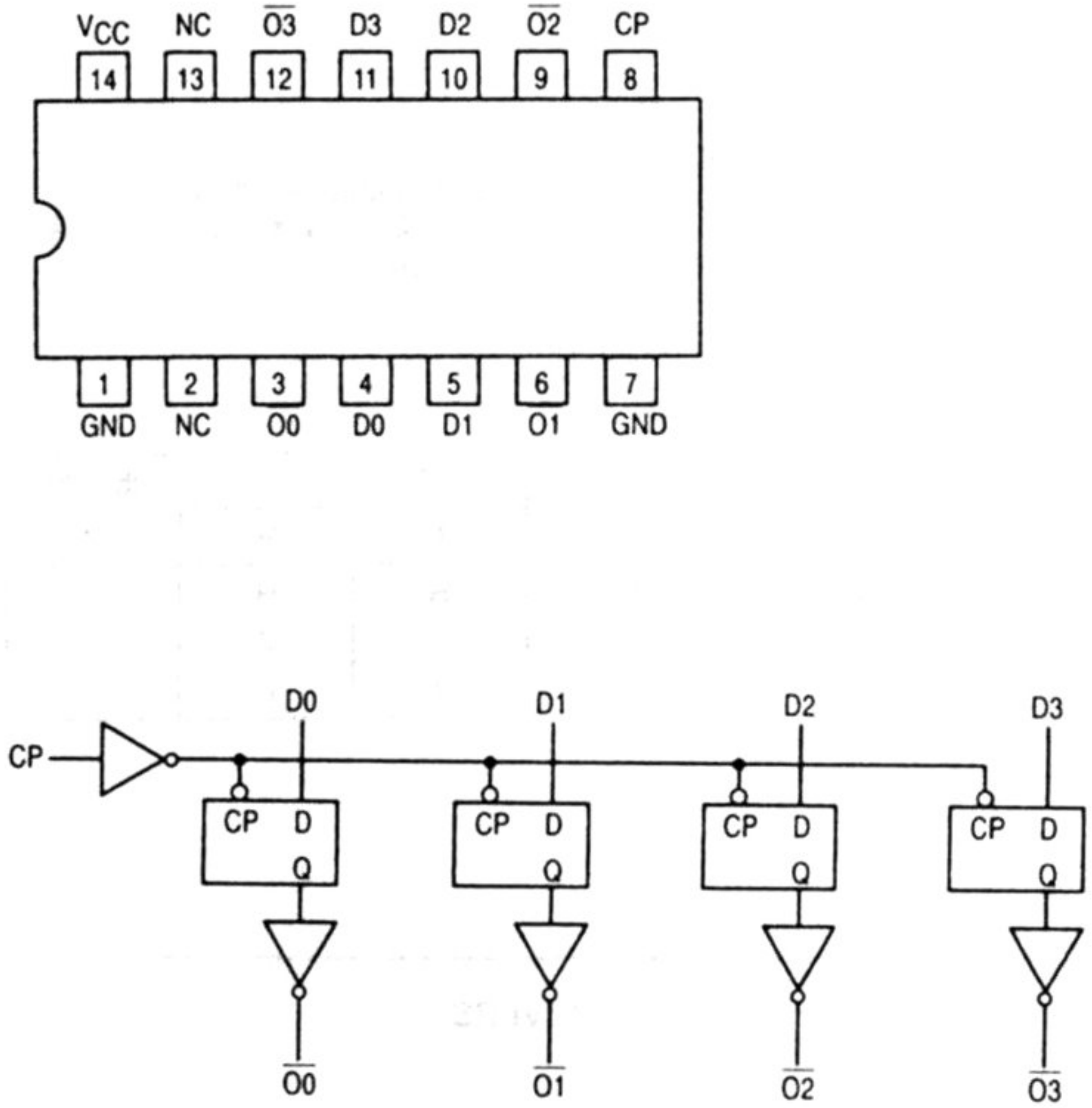
項目	大小	入力	IN	出力	OUT	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max				L→H		10													ns
tpd	max				H→L		17													ns
tpd	max				Z→H		27													ns
tpd	max				Z→L		25													ns
tpd	max				H→Z		20													ns
tpd	max				L→Z		27													ns
Icc	max						21													mA
IIH	max	ALL	H				0.02													mA
IIL	max	ALL	L				-0.4													mA
IOH	max				H		-5													mA
IOL	max				L		16													mA

社名	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立															
JRC															
MOT		DF													
日電															
NS															
沖															
PHIL															
RCA															
三洋															
SIGNE															
TI															
東芝															

74803 CLOCK DRIVER QUAD D-TYPE FLIP-FLOP WITH MATCHED PROPAGATION DELAYS

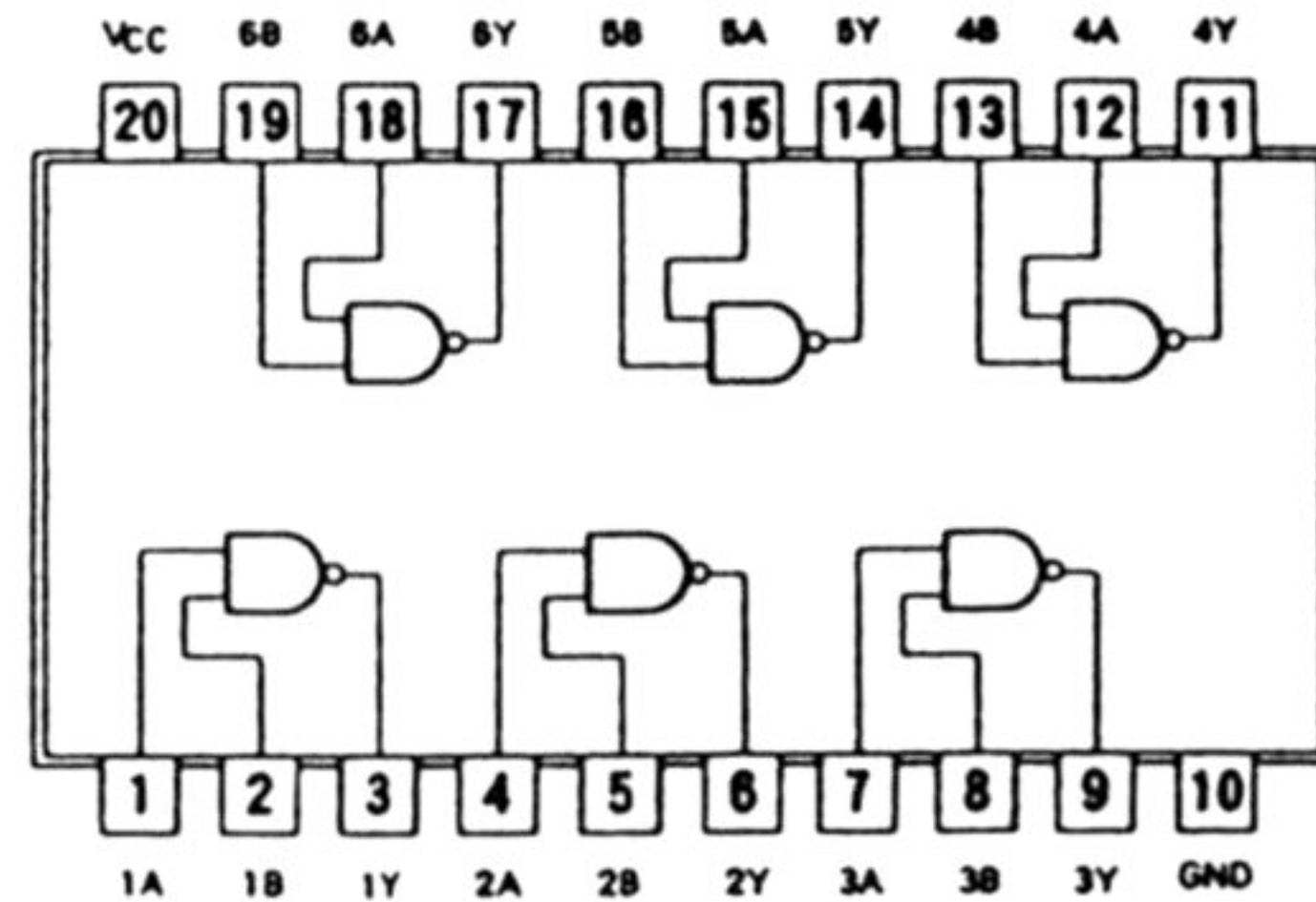
V_{CC} 14, NC 13, $\overline{O3}$ 12, D3 11, D2 10, $\overline{O2}$ 9, CP 8

GND 1, NC 2, O0 3, D0 4, D1 5, O1 6, GND 7

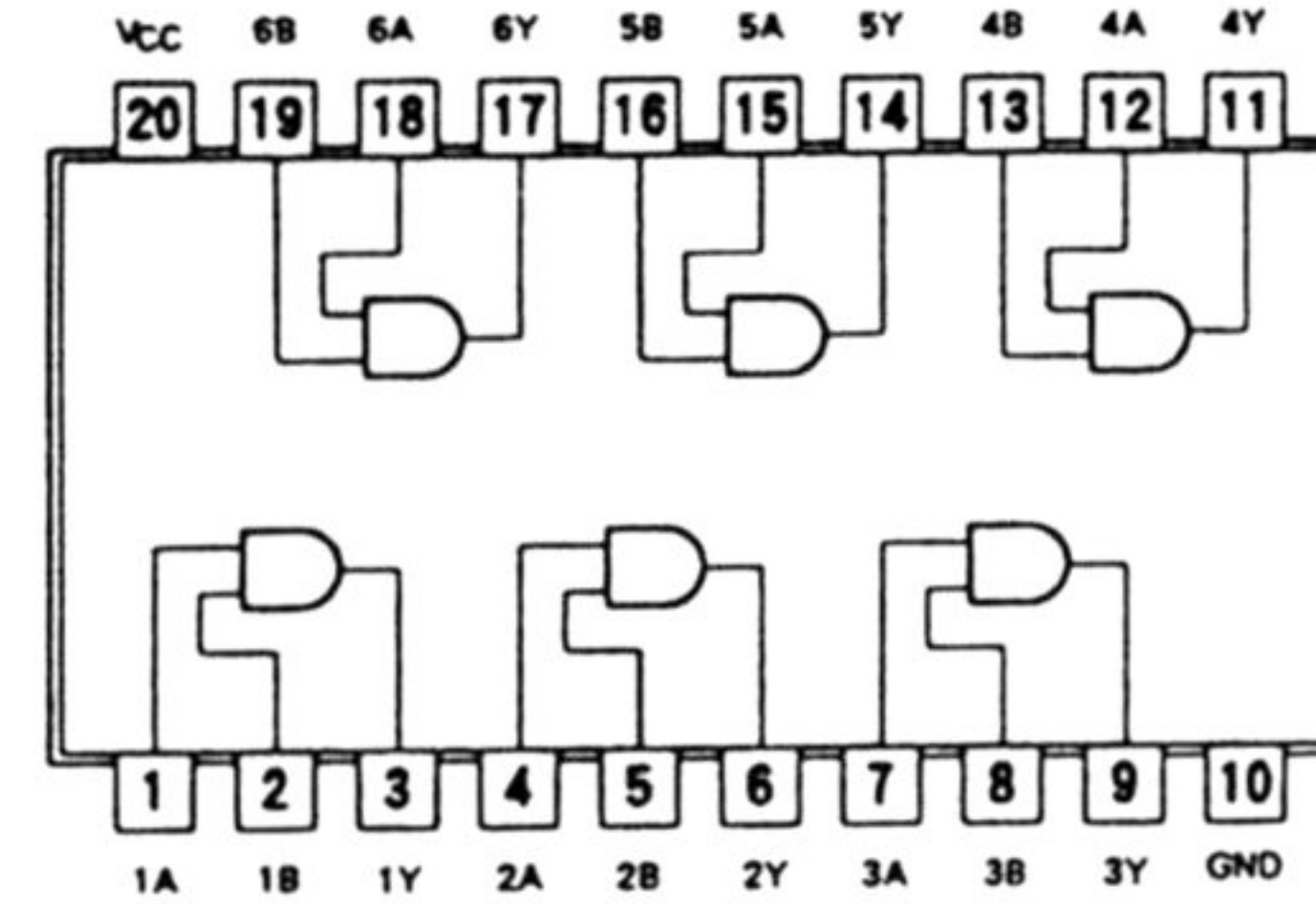
CP, D0, D1, D2, D3, CP D Q, $\overline{O0}$, $\overline{O1}$, $\overline{O2}$, $\overline{O3}$

項目	大小	入力	IN	出力	OUT	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min									50										MHz
tpd	max	CP	↑	On	L→H					10										ns
tpd	max	CP	↑	On	H→L					10										ns
Icc	max									70										mA
IIH	max	ALL	H							0.1										mA
IIL	max	ALL	L							-0.6										mA
IOH	max			ALL	H					-20										mA
IOL	max			ALL	L					24										mA

社名	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立															
JRC															
MOT					DF										
日電															
NS															
沖															
PHIL															
RCA															
三洋															
SIGNE															
TI															
東芝															

74804, 74805, 74808, 74832

74804 HEX 2-INPUT NAND DRIVERS

- バッファ出力タイプ
- 動作電源電圧範囲 2V～6V
- 入力端子に保護ダイオード内蔵
- $Y=\overline{AB}$

入	力	出 力
A	B	Y
H	H	H
L	X	L
X	L	L

74808 HEX 2-INPUT AND DRIVERS

- バッファ出力タイプ
- 動作電源電圧範囲 2V～6V
- 入力端子に保護ダイオード内蔵
- $Y=AB$

入	力	出 力
A	B	Y
H	H	H
L	X	L
X	L	L

74805 HEX 2-INPUT NOR DRIVERS

- バッファ出力タイプ
- 動作電源電圧範囲 2V～6V
- 入力端子に保護ダイオード内蔵
- $Y=\overline{A+B}$

入	力	出 力
A	B	Y
H	X	L
X	H	L
L	L	H

74832 HEX 2-INPUT OR DRIVERS

- バッファ出力タイプ
- 動作電源電圧範囲 2V～6V
- 入力端子に保護ダイオード内蔵
- $Y=A+B$

入	力	出 力
A	B	Y
H	X	H
X	H	H
L	L	L

74846, 74852, 74857

74846 8-BIT BUS INTERFACE D-TYPE LACHES WITH 3-STATE OUTPUT

●3ステート・バッファ出力
●バス構成に合ったピン配置
●パリティ付きアドレス/データ・バスに最適
●電源投入時には，ハイ・インピーダンス状態を保持

入				力			出力
$\overline{PRE}$	$\overline{CLR}$	$\overline{OC1}$	$\overline{OC2}$	$\overline{OC3}$	C	$\overline{D}$	Q
L	H	L	L	L	X	X	H
H	L	L	L	L	X	X	L
L	L	L	L	L	X	X	H
H	H	L	L	L	H	L	H
H	H	L	L	L	H	H	L
H	H	L	L	L	L	X	Q_0
X	X	L	L	H	X	X	Z
X	X	L	H	L	X	X	Z
X	X	L	H	H	X	X	Z
X	X	H	L	L	X	X	Z
X	X	H	L	H	X	X	Z
X	X	H	H	L	X	X	Z
X	X	H	H	H	X	X	Z

74857 HEX2-TO-1 UNIVERSAL MULTIPLEXERS

●非反転出力または反転出力を選択可能
●オペランドAnとBnのAND/NAND可能
●オペランドの数を拡張するためのカスケード接続可能
●オペランドAまたはBのゼロチェック可能
●システム・バスに直結できる3ステート出力

COMP	S1	S0	Y	OPER＝ZERO
L	L	L	A	H(A入力がすべてLレベルのとき)
L	L	H	B	H(B入力がすべてLレベルのとき)
L	H	L	A・B	Z
L	H	H	L	L
H	L	L	$\overline{A}$	H(A入力がすべてLレベルのとき)
H	L	H	$\overline{B}$	H(B入力がすべてLレベルのとき)
H	H	L	$\overline{A \cdot B}$	Z
H	H	H	Z	Z

74852 8-BIT UNIVERSAL TRANSCEIVER/PORT CONTROLLER

●3ステート出力
●カスケード接続可能
●トランシーバ/ポートとしての八つの機能
●シフト・レジスタを内蔵

S2	S1	S0	CLOCK	SERIN	A1	Q1	B1	A2	Q2	B2	A3	Q3	B3	A4	Q4	B4
L	L	L	HまたはL	X	Z	Qn	A1	Z	Qn	A2	Z	Qn	A3	Z	Qn	A4
L	L	L	↑	X	Z	A1	A1	Z	A2	A2	Z	A3	A3	Z	A4	A4
L	L	H	HまたはL	X	B1	Qn	Z	B2	Qn	Z	B3	Qn	Z	B4	Qn	Z
L	L	H	↑	X	B1	B1	Z	B2	B2	Z	B3	B3	Z	B4	B4	Z
L	H	L	HまたはL	X	X	Qn	Q1	X	Qn	Q2	X	Qn	Q3	X	Qn	Q4
L	H	L	↑	X	Z	A1	A1	Z	A2	A2	Z	A3	A3	Z	A4	A4
L	H	H	HまたはL	X	Q1	Qn	X	Q2	Qn	X	Q3	Qn	X	Q4	Qn	X
L	H	H	↑	X	B1	B1	Z	B2	B2	Z	B3	B3	Z	B4	B4	Z
H	L	L	HまたはL	X	Z	Qn	A1	Z	Qn	A2	Z	Qn	A3	Z	Qn	A4
H	L	L	↑	H	Z	H	A1	Z	Q1	A2	Z	Q2	A3	Z	Q3	A4
H	L	L	↑	L	Z	L	A1	Z	Q1	A2	Z	Q2	A3	Z	Q3	A4
H	L	H	HまたはL	X	B1	Qn	Z	B2	Qn	Z	B3	Qn	Z	B4	Qn	Z
H	L	H	↑	H	B1	H	Z	B2	Q1	Z	B3	Q2	Z	B4	Q3	Z
H	L	H	↑	L	B1	L	Z	B2	Q1	Z	B3	Q2	Z	B4	Q3	Z
H	H	L	HまたはL	X	Z	Qn	Z	Z	Qn	Z	Z	Qn	Z	Z	Qn	Z
H	H	L	↑	H	Z	H	Z	Z	Q1	Z	Z	Q2	Z	Z	Q3	Z
H	H	L	↑	L	Z	L	Z	Z	Q1	Z	Z	Q2	Z	Z	Q3	Z
H	H	H	HまたはL	X	Z	Qn	Z	Z	Qn	Z	Z	Qn	Z	Z	Qn	Z
H	H	H	↑	X	Z	L	Z	Z	L	Z	Z	L	Z	Z	L	Z

S2	S1	S0	A5	Q5	B5	A6	Q6	B6	A7	Q7	B7	A8	Q8	B8	PORT機能
L	L	L	Z	Qn	A5	Z	Qn	A6	Z	Qn	A7	Z	Qn	A8	AからB
L	L	L	Z	A5	A5	Z	A6	A6	Z	A7	A7	Z	A8	A8	
L	L	H	B5	Qn	Z	B6	Qn	Z	B7	Qn	Z	B8	Qn	Z	BからA
L	L	H	B5	B5	Z	B6	B6	Z	B7	B7	Z	B8	B8	Z	
L	H	L	X	Qn	Q5	X	Qn	Q6	X	Qn	Q7	X	Qn	Q8	QnからBn
L	H	L	Z	A5	A5	Z	A6	A6	Z	A7	A7	Z	A8	A8	
L	H	H	Q5	Qn	X	Q6	Qn	X	Q7	Qn	X	Q8	Qn	X	QnからAn
L	H	H	B5	B5	Z	B6	B6	Z	B7	B7	Z	B8	B8	Z	
H	L	L	Z	Qn	A5	Z	Qn	A6	Z	Qn	A7	Z	Qn	A8	シフトとAからB
H	L	L	Z	Q4	A5	Z	Q5	A6	Z	Q6	A7	Z	Q7	A8	
H	L	L	Z	Q4	A5	Z	Q5	A6	Z	Q6	A7	Z	Q7	A8	
H	L	H	B5	Qn	Z	B6	Qn	Z	B7	Qn	Z	B8	Qn	Z	シフトとBからA
H	L	H	B5	Q4	Z	B6	Q5	Z	B7	Q6	Z	B8	Q7	Z	
H	L	H	B5	Q4	Z	B6	Q5	Z	B7	Q6	Z	B8	Q7	Z	
H	H	L	Z	Qn	Z	Z	Qn	Z	Z	Qn	Z	Z	Qn	Z	シフト
H	H	L	Z	Q4	Z	Z	Q5	Z	Z	Q6	Z	Z	Q7	Z	
H	H	L	Z	Q4	Z	Z	Q5	Z	Z	Q6	Z	Z	Q7	Z	
H	H	H	Z	Qn	Z	Z	Qn	Z	Z	Qn	Z	Z	Qn	Z	クリア
H	H	H	Z	L	Z	Z	L	Z	Z	L	Z	Z	L	Z	

74848 8-INPUT PRIORITY ENCODERS WITH 3-STATE OUPUTS

入力									出力				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	Z	Z	Z	H	H
L	H	H	H	H	H	H	H	H	Z	Z	Z	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

項目	大小	入力	IN	出力	OUT	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	I1-I7		A0-A2	L→H		18													ns
tpd	max	I1-I7		A0-A2	H→L		30													ns
tpd	max	I0-I7		EO	L→H		18													ns
tpd	max	I0-I7		EO	H→L		40													ns
tpd	max	I0-I7		GS	L→H		55													ns
tpd	max	I0-I7		GS	H→L		21													ns
Icc	max				H		23													mA
Icc	max				L		25													mA
IIH	max	ALL	H				0.06													mA
IIL	max	ALL	L				-1.2													mA
IOH	max				H		-0.4													mA
IOL	max				L		24													mA

社名	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立															
JRC															
MOT		DF													
日電															
NS															
沖															
PHIL															
RCA															
三洋															
SIGNE															
TI															
東芝															

74867, 74869, 74877

74867 8-BIT SYNCHRONOUS BIDIRECTIONAL COUNTER

VCC (24), ENABLE $\overline{F}$ (23), Q_A (22), Q_B (21), Q_C (20), Q_D (19), Q_E (18), Q_F (17), Q_G (16), Q_H (15), CLK (14), $\overline{RCO}$ (13)
S0 (1), S1 (2), A (3), B (4), C (5), D (6), E (7), F (8), G (9), H (10), ENABLE $\overline{Y}$ (11), GND (12)

●同期カウントとロード
●非同期クリア
●カスケード接続するための
リップル・キャリ・アウト

S1	S0	機　能
L	L	クリア
L	H	カウント・ダウン
H	L	ロード
H	H	カウント・アップ

74869 8-BIT SYNCHRONOUS BIDIRECTIONAL COUNTER

VCC (24), ENABLE $\overline{F}$ (23), Q_A (22), Q_B (21), Q_C (20), Q_D (19), Q_E (18), Q_F (17), Q_G (16), Q_H (15), CLK (14), $\overline{RCO}$ (13)
S0 (1), S1 (2), A (3), B (4), C (5), D (6), E (7), F (8), G (9), H (10), ENABLE $\overline{Y}$ (11), GND (12)

●同期カウントとロード
●同期クリア
●カスケード接続するための
リップル・キャリ・アウト

S1	S0	機　能
L	L	クリア
L	H	カウント・ダウン
H	L	ロード
H	H	カウント・アップ

74877 8-BIT UNIVERSAL TRANSCEIVER/PORT CONTROLLERS

VCC (24), CLK (23), SERIN (22), B1 (21), B2 (20), B3 (19), B4 (18), B5 (17), B6 (16), B7 (15), B8 (14), Q8 (13)
S0 (1), S1 (2), S2 (3), A1 (4), A2 (5), A3 (6), A4 (7), A5 (8), A6 (9), A7 (10), A8 (11), GND (12)

●バス・ラインを直接ドライブする３ステート出力
●カスケード接続可能
●トランシーバ/ポートとしての八つの機能

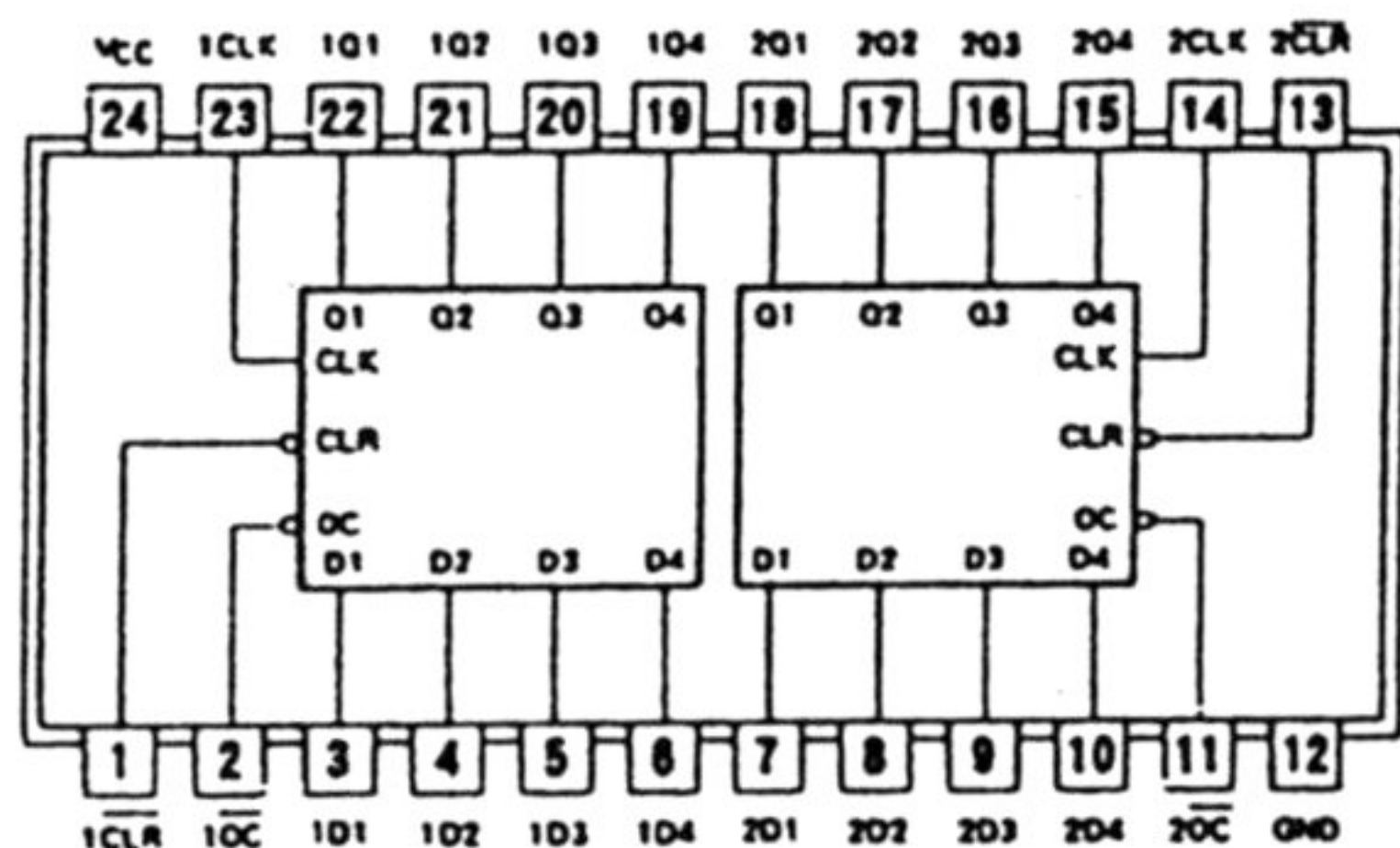
モード S2	S1	S0	CLOCK	SERIN	A1	Q1	B1	A2	Q2	B2	A3	Q3	B3	A4	Q4	B4	A5	Q5	B5	A6	Q6	B6	A7	Q7	B7	A8	Q8	B8	PORT 機能
L	L	L	HまたはL	x	Z	On	A1	Z	On	A2	Z	On	A3	Z	On	A4	Z	On	A5	Z	On	A6	Z	On	A7	Z	On	A8	AからB
L	L	L	·	x	Z	A1	A1	Z	A2	A2	Z	A3	A3	Z	A4	A4	Z	A5	A5	Z	A6	A6	Z	A7	A7	Z	A8	A8	
L	L	H	HまたはL	x	B1	On	Z	B2	On	Z	B3	On	Z	B4	On	Z	B5	On	Z	B6	On	Z	B7	On	Z	B8	On	Z	BからA
L	L	H	·	x	B1	B1	Z	B2	B2	Z	B3	B3	Z	B4	B4	Z	B5	B5	Z	B6	B6	Z	B7	B7	Z	B8	B8	Z	
L	H	L	HまたはL	x	Z	On	O1	Z	On	O2	Z	On	O3	Z	On	O4	Z	On	O5	Z	On	O6	Z	On	O7	Z	On	O8	OnからBn
L	H	L	·	x	Z	A1	A1	Z	A2	A2	Z	A3	A3	Z	A4	A4	Z	A5	A5	Z	A6	A6	Z	A7	A7	Z	A8	A8	
L	H	H	HまたはL	x	O1	On	Z	O2	On	Z	O3	On	Z	O4	On	Z	O5	On	Z	O6	On	Z	O7	On	Z	O8	On	Z	OnからAn
L	H	H	·	x	B1	B1	Z	B2	B2	Z	B3	B3	Z	B4	B4	Z	B5	B5	Z	B6	B6	Z	B7	B7	Z	B8	B8	Z	
H	L	L	HまたはL	x	Z	On	O1	Z	On	O2	Z	On	O3	Z	On	O4	Z	On	O5	Z	On	O6	Z	On	O7	Z	On	O8	シフトとOからA
H	L	L	·	H	Z	H	H	Z	O1	O1	Z	O2	O2	Z	O3	O3	Z	O4	O4	Z	O5	O5	Z	O6	O6	Z	7	O7	
H	L	L	·	L	Z	L	L	Z	O1	O1	Z	O2	O2	Z	O3	O3	Z	O4	O4	Z	O5	O5	Z	O6	O6	Z	O7	O7	
H	L	H	HまたはL	x	O1	On	Z	O2	On	Z	O3	On	Z	O4	On	Z	O5	On	Z	O6	On	Z	O7	On	Z	O8	On	Z	シフトとOからB
H	L	H	·	H	H	H	Z	O1	O1	Z	O2	O2	Z	O3	O3	Z	O4	O4	Z	O5	O5	Z	O6	O6	Z	O7	O7	Z	
H	L	H	·	L	L	L	Z	O1	O1	Z	O2	O2	Z	O3	O3	Z	O4	O4	Z	O5	O5	Z	O6	O6	Z	O7	O7	Z	
H	H	L	HまたはL	x	Z	On	Z	Z	On	Z	Z	On	Z	Z	On	Z	Z	On	Z	Z	On	Z	Z	On	Z	Z	On	Z	シフト
H	H	L	·	H	Z	H	Z	Z	O1	Z	Z	O2	Z	Z	O3	Z	Z	O4	Z	Z	O5	Z	Z	O6	Z	Z	O7	Z	
H	H	L	·	L	Z	L	Z	Z	O1	Z	Z	O2	Z	Z	O3	Z	Z	O4	Z	Z	O5	Z	Z	O6	Z	Z	O7	Z	
H	H	H	HまたはL	x	Z	On	Z	Z	On	Z	Z	On	Z	Z	On	Z	Z	On	Z	Z	On	Z	Z	On	Z	Z	On	Z	クリア
H	H	H	·	x	Z	L	Z	Z	L	Z	Z	L	Z	Z	L	Z	Z	L	Z	Z	L	Z	Z	L	Z	Z	L	Z	

74876, 74878, 74881

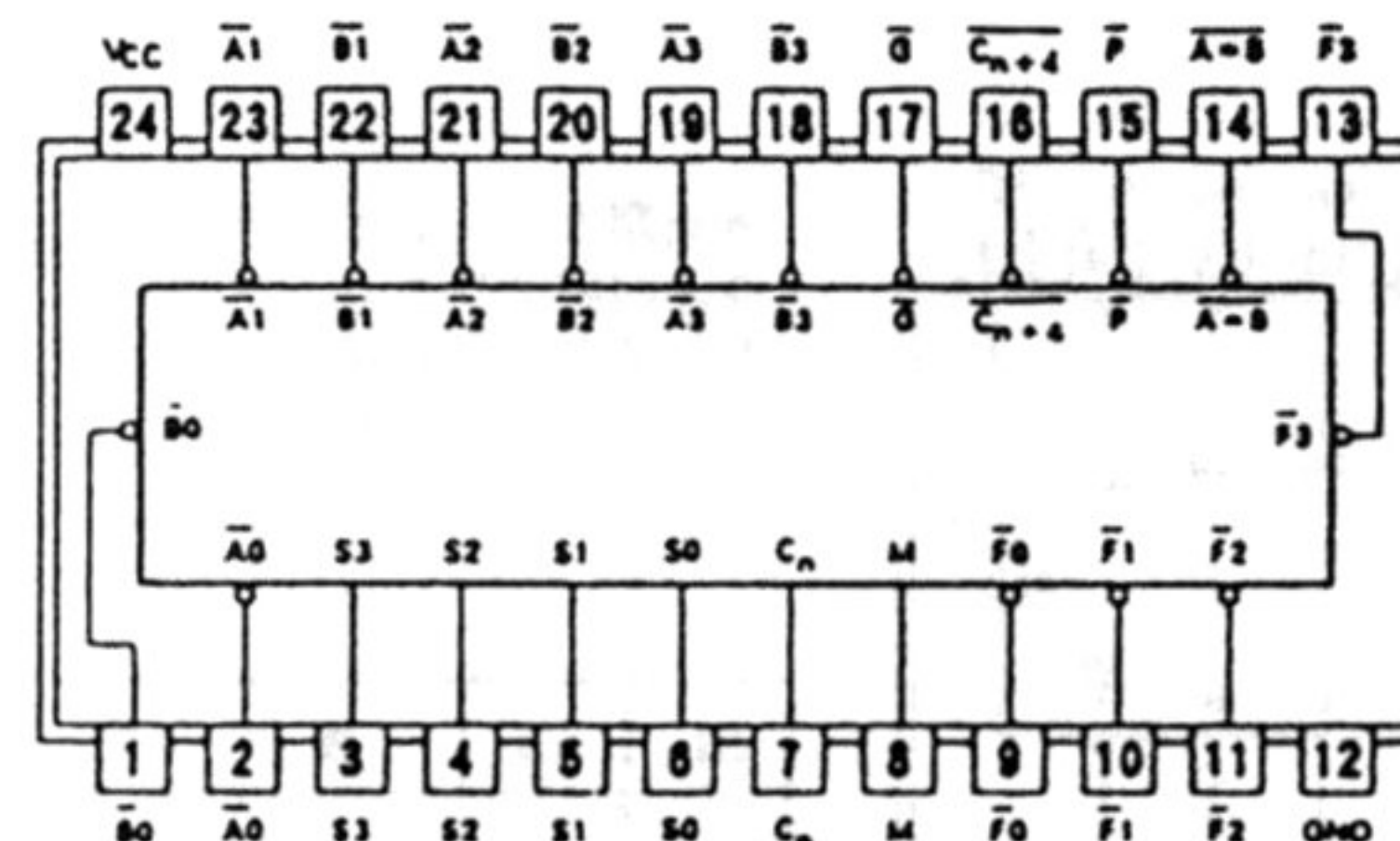
74876 DUAL 4-BIT D-TYPE EDGE-TRIGGERED FLIP-FLOPS WITH INVERTED OUTPUTS

- 3ステート出力
- バス構成に合ったピン配置
- 反転出力
- 非同期クリア

入		力		出 力
$\overline{OC}$	$\overline{PRE}$	CLK	D	
L	L	X	X	L
L	H	↑	H	L
L	H	↑	L	H
L	H	L	X	$\overline{Q}_0$
H	X	X	X	Z

74878 DUAL 4-BIT D-TYPE EDGE-TRIGGERED FLIP-FLOPS

- 3ステート出力
- 同期クリア

入		力		出 力
$\overline{OC}$	$\overline{CLR}$	CLK	D	Q
L	L	↑	X	L
L	H	↑	H	H
L	H	↑	L	L
L	H	L	X	Q_0
H	X	X	X	Z

74881 ARITHMETIC LOGIC UNIT/FUNCTION GENERATOR

- 24ピン，300milパッケージ
- 完全なルック・アヘッド
ワードが長い場合でも
高速動作可能

セレクション				アクティブ・ロー・データ		
				M＝H（論理演算）	M＝L（算術演算）	
S3	S2	S1	S0		Cn＝L	Cn＝H
L	L	L	L	$F=\overline{A}$	F＝Aマイナス1	F＝A
L	L	L	H	$F=\overline{AB}$	F＝ABマイナス1	F＝AB
L	L	H	L	$F=\overline{A}+B$	$F=A\overline{B}$マイナス1	$F=A\overline{B}$
L	L	H	H	F＝1	F＝マイナス1(2'sCOMP)	F＝ゼロ
L	H	L	L	$F=\overline{A+B}$	F＝Aプラス$(A+\overline{B})$	F＝Aプラス$(A+\overline{B})$プラス1
L	H	L	H	$F=\overline{B}$	F＝ABプラス$(A+\overline{B})$	F＝ABプラス$(A+\overline{B})$プラス1
L	H	H	L	$F=\overline{A\oplus B}$	F＝AマイナスBマイナス1	F＝AマイナスB
L	H	H	H	$F=A+\overline{B}$	$F=A+\overline{B}$	F＝$(A+\overline{B})$プラス1
H	L	L	L	$F=\overline{A}B$	F＝Aプラス(A＋B)	F＝Aプラス(A＋B)プラス1
H	L	L	H	$F=A\oplus B$	F＝AプラスB	F＝AプラスBプラス1
H	L	H	L	F＝B	$F=A\overline{B}$プラス(A＋B)	$F=A\overline{B}$プラス(A＋B)プラス1
H	L	H	H	F＝A＋B	F＝(A＋B)	F＝(A＋B)プラス1
H	H	L	L	F＝0	F＝A＋A*	F＝AプラスAプラス1
H	H	L	H	$F=A\overline{B}$	F＝ABプラスA	F＝ABプラスAプラス1
H	H	H	L	F＝AB	$F=A\overline{B}$プラスA	$F=A\overline{B}$プラスAプラス1
H	H	H	H	F＝A	F＝A	F＝Aプラス1

セレクション				アクティブ・ハイ・データ		
				M＝H（論理演算）	M＝L（算術演算）	
S3	S2	S1	S0		$\overline{C}n$＝H	$\overline{C}n$＝L
L	L	L	L	$F=\overline{A}$	F＝A	F＝Aプラス1
L	L	L	H	$F=\overline{A+B}$	F＝A＋B	F＝(A＋B)プラス1
L	L	H	L	$F=\overline{A}B$	$F=A+\overline{B}$	F＝$(A+\overline{B})$プラス1
L	L	H	H	F＝0	F＝マイナス1(2'sCOMP)	F＝ゼロ
L	H	L	L	$F=\overline{AB}$	F＝Aプラス$A\overline{B}$	F＝Aプラス$A\overline{B}$プラス1
L	H	L	H	$F=\overline{B}$	F＝(A＋B)プラス$A\overline{B}$	F＝(A＋B)プラス$A\overline{B}$プラス1
L	H	H	L	$F=A\oplus B$	F＝AマイナスBマイナス1	F＝AマイナスB
L	H	H	H	$F=A\overline{B}$	$F=A\overline{B}$マイナス1	$F=A\overline{B}$
H	L	L	L	$F=\overline{A}+B$	F＝AプラスAB	F＝AプラスABプラス1
H	L	L	H	$F=\overline{A\oplus B}$	F＝AプラスB	F＝AプラスBプラス1
H	L	H	L	F＝B	F＝$(A+\overline{B})$プラスAB	F＝$(A+\overline{B})$プラスABプラス1
H	L	H	H	F＝AB	F＝ABマイナス1	F＝AB
H	H	L	L	F＝1	F＝AプラスA*	F＝AプラスAプラス1
H	H	L	H	$F=A+\overline{B}$	F＝(A＋B)プラスA	F＝(A＋B)プラスAプラス1
H	H	H	L	F＝A＋B	F＝$(A+\overline{B})$プラスA	F＝$(A+\overline{B})$プラスAプラス1
H	H	H	H	F＝A	F＝Aマイナス1	F＝A

74882, 74885

74882 32-BIT LOOK-AHEAD CARRY GENERATOR

VCC NC C_{n+32} $\overline{P_7}$ $\overline{G_7}$ $\overline{P_6}$ $\overline{G_6}$ C_{n+24} $\overline{P_5}$ $\overline{G_5}$ $\overline{P_4}$ $\overline{G_4}$ (24–13)

C_n $\overline{G_0}$ $\overline{P_0}$ $\overline{G_1}$ $\overline{P_1}$ C_{n+8} $\overline{G_2}$ $\overline{P_2}$ $\overline{G_3}$ $\overline{P_3}$ C_{n+16} GND (1–12)

- 24 ピン, 300mil パッケージ
- カスケード接続可能
- Cn から $Cn+_1$ までのキャリ伝搬
- 時間の標準値は 6ns 以下 (C_L=15pF)

入力					出力
$\overline{G_1}$	$\overline{G_0}$	$\overline{P_1}$	$\overline{P_0}$	C_n	C_n+8
L	X	X	X	X	H
X	L	L	X	X	H
X	X	L	L	H	H
他の組合せ					L

入力									出力
$\overline{G_3}$	$\overline{G_2}$	$\overline{G_1}$	$\overline{G_0}$	$\overline{P_3}$	$\overline{P_2}$	$\overline{P_1}$	$\overline{P_0}$	C_n	C_n+16
L	X	X	X	X	X	X	X	X	H
X	L	X	X	L	X	X	X	X	H
X	X	L	X	L	L	X	X	X	H
X	X	X	L	L	L	L	X	X	H
X	X	X	X	L	L	L	L	H	H
他の組合せ									L

入力													出力
$\overline{G_5}$	$\overline{G_4}$	$\overline{G_3}$	$\overline{G_2}$	$\overline{G_1}$	$\overline{G_0}$	$\overline{P_5}$	$\overline{P_4}$	$\overline{P_3}$	$\overline{P_2}$	$\overline{P_1}$	$\overline{P_0}$	C_n	C_n+24
L	X	X	X	X	X	X	X	X	X	X	X	X	H
X	L	X	X	X	X	L	X	X	X	X	X	X	H
X	X	L	X	X	X	L	L	X	X	X	X	X	H
X	X	X	L	X	X	L	L	L	X	X	X	X	H
X	X	X	X	L	X	L	L	L	L	X	X	X	H
X	X	X	X	X	L	L	L	L	L	L	X	X	H
X	X	X	X	X	X	L	L	L	L	L	L	H	H
他の組合せ													L

入力																	出力
$\overline{G_7}$	$\overline{G_6}$	$\overline{G_5}$	$\overline{G_4}$	$\overline{G_3}$	$\overline{G_2}$	$\overline{G_1}$	$\overline{G_0}$	$\overline{P_7}$	$\overline{P_6}$	$\overline{P_5}$	$\overline{P_4}$	$\overline{P_3}$	$\overline{P_2}$	$\overline{P_1}$	$\overline{P_0}$	C_n	C_n+32
L	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	H
X	L	X	X	X	X	X	X	L	X	X	X	X	X	X	X	X	H
X	X	L	X	X	X	X	X	L	L	X	X	X	X	X	X	X	H
X	X	X	L	X	X	X	X	L	L	L	X	X	X	X	X	X	H
X	X	X	X	L	X	X	X	L	L	L	L	X	X	X	X	X	H
X	X	X	X	X	L	X	X	L	L	L	L	L	X	X	X	X	H
X	X	X	X	X	X	L	X	L	L	L	L	L	L	X	X	X	H
X	X	X	X	X	X	X	L	L	L	L	L	L	L	L	X	X	H
X	X	X	X	X	X	X	X	L	L	L	L	L	L	L	L	H	H
他の組合せ																	L

74885 8-BIT MAGNITUDE COMPARATOR

VCC PLE P7 P6 P5 P4 P3 P2 P1 P0 P<QOUT P>QOUT (24–13)

L/$\overline{A}$ P<Q IN P>Q IN Q7 Q6 Q5 Q4 Q3 Q2 Q1 Q0 GND (1–12)

- ラッチ付きの入力ポート P（電源投入時にクリアされる）
- 論理比較と算術（2 の補数）比較を選択可能
- PNP 入力
- カスケード接続可

比較モード	L／$\overline{A}$	データ入力 P0-P7, Q0-Q7	入力 P > Q	入力 P < Q	出力 P > Q	出力 P < Q
論理	H	P > Q	X	X	H	L
論理	H	P < Q	X	X	L	H
論理*	H	P = Q	H または L	H または L	H または L	H または L
算術	L	P > Q	X	X	H	L
算術	L	Q > P	X	X	L	H
算術*	L	P = Q	H または L	H または L	H または L	H または L

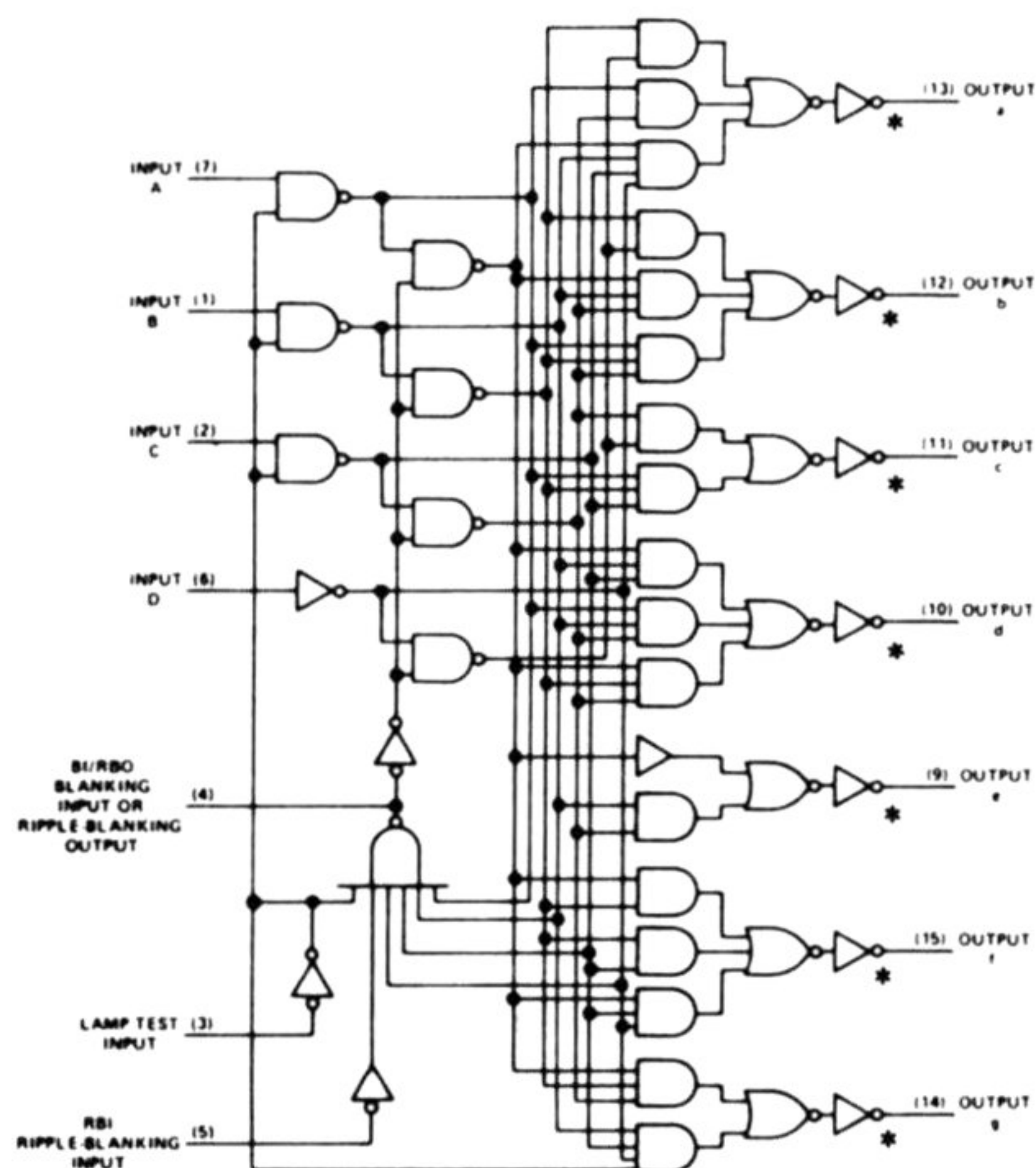
* この場合，P>Q 出力は P>Q 入力に従い P<Q 出力は P<Q 入力に従う。

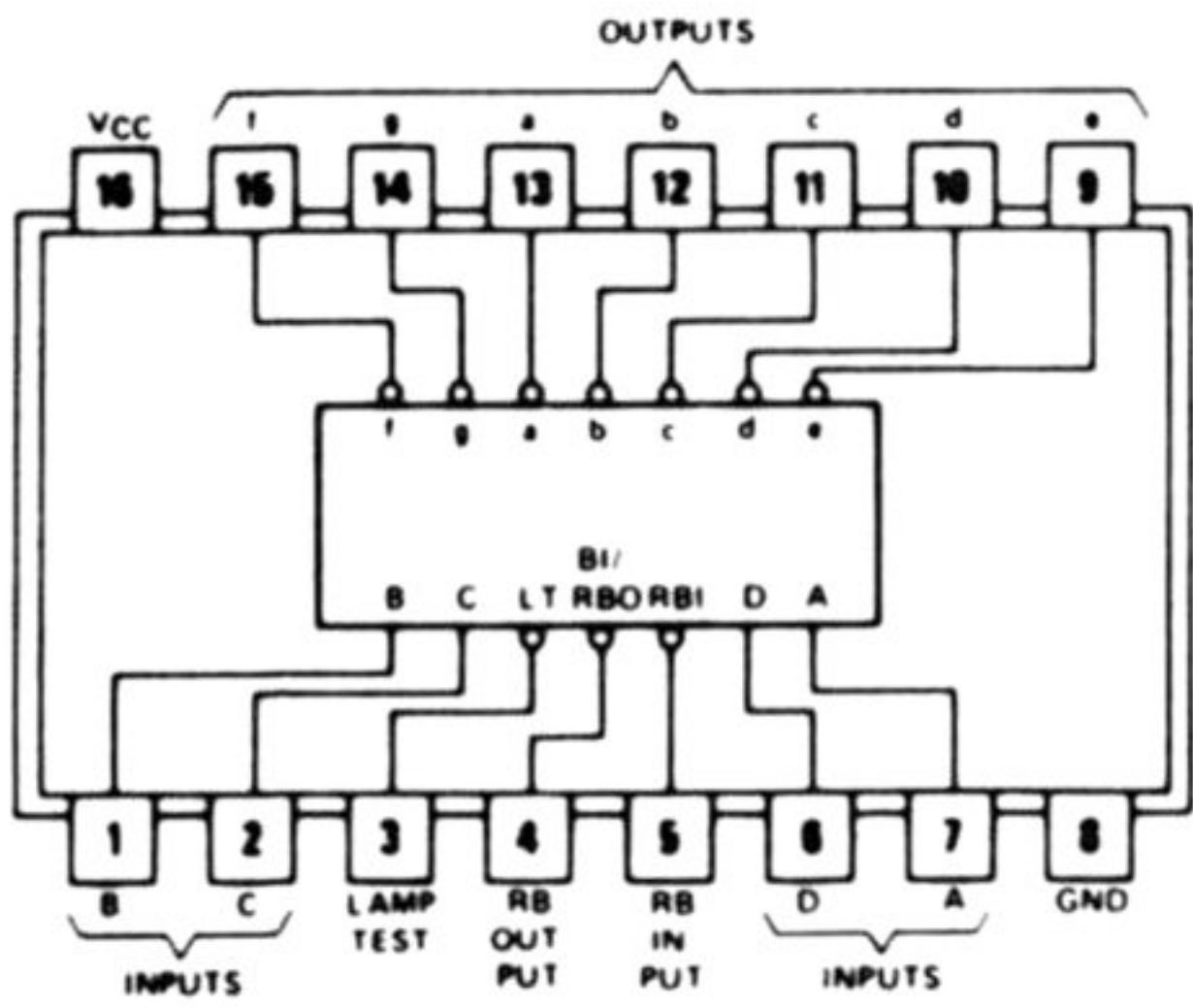
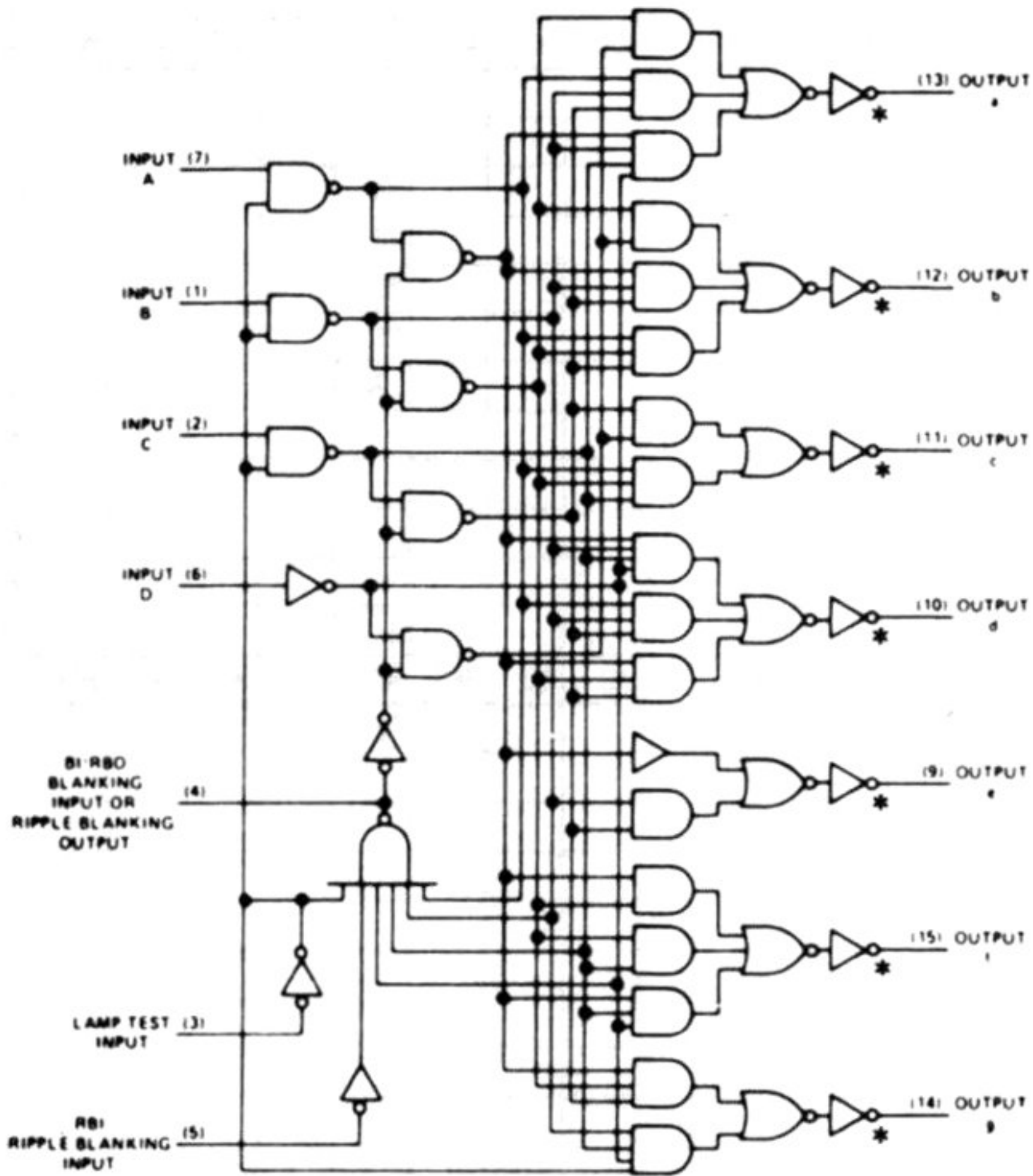
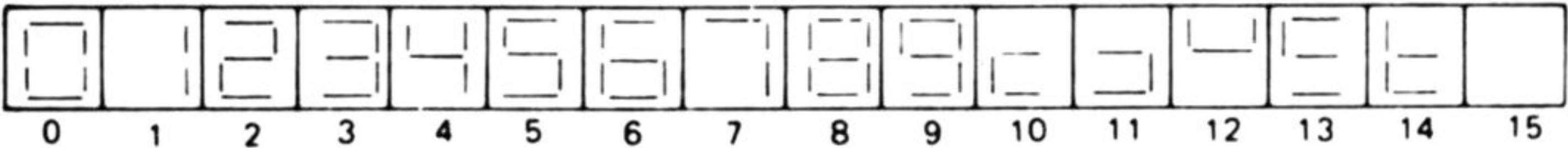
74347　　BCD to 7 Segment Decoder/Driver

○74LS47のa～g出力の耐圧を7Vに下げたタイプ

○74LS447とは6、9の字形が異なる

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max						100												ns
VOH	max			a～g			7												V
Icc	max	ALL	H	OPEN			13												mA
IIH	max	BI/RBO	H																μA
IIL	max	BI/RBO	L				1												MA
IIH	max	OTHERS	H				20												μA
IIL	max	OTHERS	L				0.4												mA
IOH	max			BI/RBC	H		0.05												mA
IOL	max			BI/RBO	L		3.2												mA
IOL	max			a～g	L		24												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

参考品種
7447
74447

74447 BCD to 7 Segment Decoder/Driver

○74LS274のa～g出力の耐圧を7Vに下げたタイプ
○74LS347とは6，9の字形が異なる

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max						100												ns
VOH	max						7												V
Icc	max	ALL	H	OPEN			13												mA
IIH	max	BI/RBO	H																μA
IIL	max	BI/RBO	L				1												mA
IIH	max	OTHERS	H				20												μA
IIL	max	OTHERS	L				0.4												mA
IOH	max			BI/RBO	H		0.05												mA
IOL	max			BI/RBO	L		3.2												mA
IOL	max			a～g	L		24												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS		D												
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

参考品種
74247
74347

74677　Address Comparator

Vcc	G̅	Y	P3	P2	P1	P0	A16	A15	A14	A13	A12
24	23	22	21	20	19	18	17	16	15	14	13
1	2	3	4	5	6	7	8	9	10	11	12
A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	GND

●16ビット・アドレス・コンパレータ
（イネーブル付き）

機　能　表

	入力																			出力
G̅	P3	P2	P1	P0	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	A13	A14	A15	A16	Y
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	L	L	H	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	L	L	H	H	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	L	H	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	L	H	L	H	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	L
L	L	H	H	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	L
L	L	H	H	H	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	L
L	H	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	L
L	H	L	L	H	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	L
L	H	L	H	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	L
L	H	L	H	H	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	L
L	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	L
L	H	H	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	L
L	H	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	L
L	H	H	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L
L	他の組合わせ																				H
H	任意の組合わせ																				H

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	P		Y	L→H			25						62					ns
tpd	max	P		Y	H→L			35						62					ns
tpd	max	A		Y	L→H			22						36					ns
tpd	max	A		Y	H→L			35						36					ns
tpd	max	G		Y	L→H			13						25					ns
tpd	max	G		Y	H→L			25						25					ns
Icc	max							33						.004					mA
Icc	max																		mA
IIH	max																		μA
IIL	max																		mA
IOH	max																		mA
IOL	max							24						4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT													

74678 Address Comparator

Pin	24	23	22	21	20	19	18	17	16	15	14	13
	Vcc	C	Y	P3	P2	P1	P0	A16	A15	A14	A13	A12

Pin	1	2	3	4	5	6	7	8	9	10	11	12
	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	GND

●16ビット・アドレス・コンパレータ
(出力ラッチ付き)

機　能　表

C	入力																				出力
	P3	P2	P1	P0	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	A13	A14	A15	A16	Y
H	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
H	L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
H	L	L	H	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
H	L	L	H	H	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L
H	L	H	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L
H	L	H	L	H	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	L
H	L	H	H	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	L
H	L	H	H	H	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	L
H	H	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	L
H	H	L	L	H	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	L
H	H	L	H	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	L
H	H	L	H	H	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	L
H	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	L
H	H	H	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	L
H	H	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	L
H	H	H	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L
H	他の組合わせ																				H
L	任意の組合わせ																				ラッチ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	P		Y	L→H			22						66					ns
tpd	max	P		Y	H→L			43						66					ns
tpd	max	A		Y	L→H			21						42					ns
tpd	max	A		Y	H→L			35						42					ns
tpd	max	C		Y	L→H			20						30					ns
tpd	max	C		Y	H→L			48						30					ns
Icc	max							35						.004					mA
Icc	max																		mA
IIH	max																		μA
IIL	max																		mA
IOH	max																		mA
IOL	max							24						4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF				
MOT													
日電													
NS													
PHIL													
RCA													
SIGNE													
TI													
東芝													
SGS													
CYPRES													
IDT													

用途別分類表

Single Input Logic

cct_type	#		logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
INV	6		NEG			14	04	*	*	*	*	*	*	*	*	*	*				19
INV	6		NEG		SCHMITT	14	14	*	*		*		*	*	*		*				29
INV	6		NEG		PNP INPUT:SCHMITT	14	19	*													31
INV	6		NEG	OC		14	05	*	*	*	*		*	*	*		*				20
INV	6		NEG	OC		14	35		*	*	*										43
INV	6		NEG	OC	BUFFER:15V	14	16														315
INV	6		NEG	OC	BUFFER:30V	14	06	*			*										21
BUFF	6		POS			14	34		*	*	*	*	*	*	*		*				42
BUFF	6		POS	OC	BUFFER:15V	14	17														315
BUFF	6		POS	OC	BUFFER:30V	14	07	*			*				*		*				22

Multi Inputs Logic

cct_type	#	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
3IN-NAND	3		NEG			14	10	*	*	*	*	*	*	*	*		*				25
3IN-NAND	3		NEG	OC		14	12	*	*		*										27
3IN-AND	3		POS			14	11	*	*		*	*	*	*	*		*				26
3IN-AND	3		POS	OC		14	15	*	*		*										30
3IN-NOR	3		NEG			14	27	*	*		*	*	*	*	*		*				36
4IN-NAND	2		NEG			14	20	*	*	*	*	*	*	*	*		*				32
4IN-NAND	2		NEG		SCHMITT	14	13	*	*		*		*	*							28
4IN-NAND	2		NEG		PNP INPUT:SCHMITT	14	18														315
4IN-NAND	2		NEG	OC		14	22	*	*						*						34
4IN-NAND	2		NEG		BUFFER	14	40	*	*		*										47
4IN-NAND	2		NEG		50Ω LINE	14	140														321
4IN-AND	2		POS			14	21	*	*		*	*	*	*	*		*				33
4IN-NOR	2	H:GATE	NEG		WITH STROBE INPUT	14	25														316
4IN-NOR	2	H:GATE	NEG		WITH STROBE INPUT(WITH 1EXP)	16	23														-
5IN-NOR	2		NEG			14	260	*			*										164
4IN-AND/NAND	3		P,N		BALANCED OUTPUT:BUFFER	20	800														-
8IN-NAND	1		NEG			14	30	*	*		*	*	*	*	*		*				38
12IN-NAND	1	L:OE	NEG	3S		16	134														321
13IN-NAND	1		NEG			16	133	*	*		*				*						90
MULTI GATE	4		P,N		BALANCED OUTPUT:1IN*2+2IN*2	16	265														323
MULTI GATE	6		P,N		INV*2+BUFF*2(PNP):2IN-NAND*2	16	31	*													39

Two Inputs Logic

cct_type	#	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
NAND	4		NEG			14	00	*	*	*	*	*	*	*	*		*		*		15
NAND	6		NEG			20	804														356
NAND	4		NEG		SCHMITT	14	132	*	*		*		*	*	*		*				89
NAND	4		NEG		PNP INPUT;SCHMITT	14	24	*													315
NAND	4		NEG	OC	REVERSE CONNECTION	14	01	*	*		*				*						16
NAND	4		NEG	OC		14	03	*	*	*	*				*		*				18
NAND	4		NEG	OC	15V	14	26	*													35
NAND	4		NEG		BUFFER	14	37	*	*		*										45
NAND	4		NEG	OC	BUFFER	14	38	*	*		*										46
AND	4		POS			14	08	*	*	*	*	*	*	*	*		*		*		23
AND	6		POS			20	808														356
NOR	4		NEG	OC		14	09	*	*		*				*						24
AND	4		NEG		REVERSE CONNECTION	14	02	*	*	*	*	*	*	*	*		*				17
NOR	6		NEG			20	805														356
NOR	6		NEG		NOR TYPE OF 7432	14	36								*						44
NOR	4		NEG		REVERSE CONNECTION;BUFFER	14	28	*	*		*										37
NOR	4		NEG		REVERSE CONNECTION;BUFFER	14	33	*	*		*										41
OR	4		POS			14	32	*	*	*	*	*	*	*	*		*		*		40
OR	6		POS			20	832														356
EX-OR	4		POS			14	86	*	*		*	*	*	*	*		*				68
EX-OR	4		POS		OPPOSITE LAYOUT	14	386	*							*						200
EX-NOR	4		NEG	OC		14	136	*			*				*						91
EX-NOR	4		NEG	OC	OPPOSITE LAYOUT	14	266	*					*		*						165
EX-OR/NOR	4	L:OR	P/N		OR/NOR SELECTABLE	16	135														321
AND/NAND	4		P,N		BALANCED OUTPUT	16	265														323
NAND	6				WITH 4 DELAY CIRCUITS	16	31	*													39
EX-NOR	4					14	810		*			*	*	*							292
EX-NOR	4			OC		14	811		*			*									293

And Or Inverter

cct_type	#		logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
2W-AOI	2		NEG		2,2IN+2,2IN	14	51	*	*		*				*						53
2W-AOI	2		NEG		2,2IN+3,3IN	14	51	*	*		*				*						53
2W-AOI	1		NEG		4,4IN	14	55	*	*												55
4W-AOI	1		NEG		3,2,2,3IN	14	54	*	*												54
4W-AOI	1		NEG		2,4,2,3IN	14	64		*		*										57
4W-AOI	1		NEG	OC	2,4,2,3IN	14	65		*												318
2W-AOI	2		NEG		2IN+3IN	14	58								*						56

Decoder/De-multiplexer

cct_type	#	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
2B_TO_4-DEC	2	L	NEG		SEPARATED SELECT	16	139	*	*		*		*	*	*		*				94
2B_TO_4-DEC	2	L&L	NEG		COMMON SELECT	16	155	*			*				*		*				102
2B_TO_4-DEC	2	L&L	NEG	OC	COMMON SELECT	16	156	*	*		*				*		*				103
2B_TO_4-DEC	2	L,L	P/N	3S	SEPARATED SELECT:POL CONTROL	20	539				*		*								227
3B_TO_8_DEC	1	H&L&L	NEG			16	138	*	*		*	*	*	*	*		*				93
3B_TO_8_DEC	1		NEG		WITH ACK & LATCH FOR SELECT	20	547				*										-
3B_TO_8_DEC	1	L&H	NEG		WITH D-FF(↑) FOR SELECT	16	131		*			*			*						88
3B_TO_8_DEC	1		NEG		WITH ACK	20	548				*										-
3B_TO_8_DEC	1	L&H	NEG		WITH LATCH(H) FOR SELECT	16	137	*	*						*		*				92
3B_TO_8_DEC	1	FN,L&L	P/N	3S	POL CONTROL:FN=L&L&(HorH)	20	538				*		*								226
BCD_TO_10DEC	1		NEG		3B_TO_8_DEC IS AVAILABLE	16	42	*							*		*				48
BCD_TO_10DEC	1		NEG	OC	30V 80mA SINK	16	45														316
BCD_TO_10DEC	1		NEG	OC	15V 80mA SINK	16	145	*													95
BCD_TO_10DEC	1		NEG	OC	7V 80mA SINK	16	445	*													-
BCD_TO_10DEC	1	L&H,L	P/N	3S	POLALITY CONTROL L:POS	20	537				*										225
BCD_TO_10DEC	1		NEG		OTHER CODE OUTPUTS ARE ALL H	16	43														-
GRAY_TO_10	1		NEG		OTHER CODE OUTPUTS ARE ALL H	16	44														-
4B_TO_16_DEC	1	L&L	NEG			24W	154	*			*		*	*	*		*				101
4B_TO_16_DEC	1	L&L	NEG	OC		24W	159	*													106
2B_TO_4-DEC	2	L	POS		ADDRESSABLE LATCH:WITH CLEAR	16	256	*			*		*	*							160
3B_TO_8_DEC	1	L	POS		ADDRESSABLE LATCH:WITH CLEAR	16	259	*	*		*		*	*	*		*				163
2B_TO_4-DEC	2	L	POS		SEPARATED SELECT	16	239						*		*						148
3B_TO_8_DEC	1	L,H&L	POS		WITH LATCH FOR SELECT	16	237								*		*				146
3B_TO_8_DEC	1	H&L	POS			16	238						*	*	*		*				147
4B_TO_16_DEC	1		POS		WITH LATCH FOR SELECT	24	4515														-
4B_TO_16_DEC	1		NEG			24	4514														-
BCD_TO_10DEC	1		POS			16	4028														-

7 Segments Decoder/Driver

cct_type	#	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
BDC_TO_7SEG	1	L, H	NEG	OC	30V, 40mA	16	46														317
BDC_TO_7SEG	1	L, H	NEG	OC	LETTER 6, 9 DIFFRENT FROM 46	16	246														-
BDC_TO_7SEG	1	L, H	NEG	OC	15V, 40/20mA	16	47	*													49
BDC_TO_7SEG	1	L, H	NEG	OC	LETTER 6, 9 DIFFRENT FROM 47	16	247	*													155
BDC_TO_7SEG	1	L, H	NEG	OC	7V 24mA	16	347	*													362
BDC_TO_7SEG	1	L, H	NEG	OC	LETTER 6, 9 DIFFRENT FROM 347	16	447	*													363
BDC_TO_7SEG	1	L, H	POS	PU	2KΩ PULL UP:6.4/6V	16	48	*													51
BDC_TO_7SEG	1	L, H	POS	PU	LETTER 6, 9 DIFFRENT FROM 48	16	248	*													156
BDC_TO_7SEG	1	H	POS	OC	NO RBI RBO SIGNALS:5.5V 8mA	14	49	*													52
BDC_TO_7SEG	1	L, H	POS	OC	5.5V 10/8mA	16	249	*													157
BCD_C_L_7SEG	1	↑, L	NEG	OC	WITH BCD COUNTER:7V, 15mA	24W	143														-
BCD_C_L_7SEG	1	↑, L	NEG	OC	WITH BCD COUNTER:15V, 25mA	24W	144														-
BCD_TO_10	1		NEG	OC	NIXIE DRIVER:7mA	16	41														-
BCD_TO_10	1		NEG	OC	NIXIE DRIVER:60V, 7mA	16	141														-
BCD_TO_C_TO_10	1	↑, L	NEG	OC	NIXIE DRIVER:55V, 7mA	16	142														-

Magnitude Comparater

cct_type	#	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
MAG_COMP	4		POS			16	85	*			*				*		*				66
EQUAL_COMP	8		POS	PU	20kΩ	20	518		*												219
EQUAL_COMP	8		POS	OC		20	519		*		*										220
EQUAL_COMP	8		NEG	PU	20kΩ	20	522														330
EQUAL_COMP	8		NEG	OC		20	689		*												282
EQUAL_COMP	8		NEG	PU	20kΩ	20	520		*		*		*	*							221
EQUAL_COMP	8		NEG			20	521		*		*		*	*	*		*				222
EQUAL_COMP	8		NEG			20	688	*	*						*		*				281
MAG_COMP	8		NEG	PU	20kΩ	20	682	*							*						275
MAG_COMP	8		NEG	PU	NO CASCADE SUPPORTED:20KΩ	20	683	*													276
MAG_COMP	8		NEG		NO CASCADE SUPPORTED	20	684	*							*						277
MAG_COMP	8		NEG	OC		20	685														278
MAG_COMP	8		NEG	OC		24	686	*													279
MAG_COMP	8		NEG	OC		24	687														280
MAG_COMP	8		POS			24S	885					*									361
16LEVEL_COMP	1	L	NEG		16 LEVEL TO 4B COMPARATER	24S	677								*						364
12LEVEL_COMP	1	H	NEG		WITH OUTPUT LATCH	24S	678								*						365
16LEVEL_COMP	1	L	NEG		12 LEVEL TO 4B COMPARATER	20	679		*						*						273
12LEVEL_COMP	1	H	NEG		WITH OUTPUT LATCH	20	680		*						*						274

Data Selecter/Encoder

cct_type	#	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
2LINE_TO_1	4	L, SEL	POS		A:SEL=L	16	157	*	*		*	*	*	*	*		*				104
2LINE_TO_1	4	L, SEL	NEG		A:SEL=L	16	158	*	*		*	*	*	*	*		*				105
2LINE_TO_1	4	L, SEL	POS	3S	A:SEL=L	16	257	*	*		*	*		*	*		*				161
2LINE_TO_1	4	L, SEL	NEG	3S	A:SEL=L	16	258	*	*		*	*		*	*		*				162
2LINE_TO_1+D-FF	4	↓, SEL	POS		A:SEL=L	16	298	*			*	*		*	*						176
2LINE_TO_1+D-FF	4	↑, SEL	P, N		A:SEL=L	20	398	*			*										205
2LINE_TO_1+D-FF	4	↑, SEL	POS		A:SEL=L	16	399	*			*			*							206
4LINE_TO_1	2	L, SEL	POS		COMMON SELECT:SEPARATED CTRL	16	153	*	*		*	*		*	*		*				100
4LINE_TO_1	2	L, SEL	NEG		COMMON SELECT:SEPARATED CTRL	16	352	*	*	*	*	*		*	*						184
4LINE_TO_1	2	L, SEL	POS	3S	COMMON SELECT:SEPARATED CTRL	16	253	*	*		*	*		*	*		*				159
4LINE_TO_1	2	L, SEL	NEG	3S	COMMON SELECT:SEPARATED CTRL	16	353	*	*		*	*		*	*						185
8LINE_TO_1	1	SEL	NEG		W/O OUTPUT CONTROL	14	152	*							*						99
8LINE_TO_1	1	L, SEL	P, N			16	151	*	*		*	*		*	*		*				98
8LINE_TO_1	1	L, SEL	P, N	3S		16	251	*	*		*	*		*	*		*				158
8LINE_TO_1	2	L, SEL	NEG	3S	COMMON 4 DATA/SELECT/CONTROL	20	351														-
16LINE_TO_1	1	L, SEL	NEG			24W	150								*		*				-
8LINE_TO_3B_PE	1	L	NEG		2 CASCADE OUT:PRIORITY ENCODER	16	148	*			*				*		*				97
8LINE_TO_3B	1		NEG		GLITACHLESS OF 148	16	748														348
8LINE_TO_3B	1	L	NEG	3S	2 CASCADE OUT	16	348	*													181
8LINE_TO_3B	1		NEG		GLITACHLESS OF 348	16	848														358
10LINE_TO_BCD	1		NEG		W/O OUTPUT CONTROL	16	147	*							*		*				96
7LINE_TO_1	1	SEL	POS	3S	4BITS SHIFTER	16	350				*		*	*							183
8LINE_TO_1	1	L&L&H, SEL	P, N	3S	WITH LATCH FOR SELECT IN(L)	20	354								*		*				186
8LINE_TO_1	1	L&L&H, SEL	P, N	3S	WITH LATCH FOR SELECT IN(↑)	20	356								*		*				187
2LINE_TO_1	6	COMP, MD	P/N	3S	MD:SELECTER/AND:COMP:POL SEL	24S	857		*												357
8LINE_TO_3B_PE	1				PRIOLITY ENCODER		149														-

Bus Buffer

cct_type	#	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
3S_BUFF	4	L	POS	3S	SEPARETED CONTROL	14	125	*	*		*		*	*	*		*			*	86
3S_BUFF	4	L	POS	3S	SEPARETED CONTROL	14	425														-
3S_BUFF	4	H	POS	3S	SEPARETED CONTROL	14	126	*			*		*	*	*		*			*	87
3S_BUFF	4	H	POS	3S	SEPARETED CONTROL	14	426														-
3S_BUFF	6	L&L	POS	3S		16	365	*			*		*	*	*		*		*		188
3S_INV	6	L&L	NEG	3S		16	366	*			*		*	*	*		*		*		189
3S_BUFF	6	L	POS	3S	4+2 COMMOM CONTROL	16	367	*			*		*	*	*		*		*		190
3S_INV	6	L	NEG	3S	4+2 COMMOM CONTROL	16	368	*			*		*	*	*		*		*		191
3S_BUFF	8	L&L	POS	3S	SCHMITT INPUT	20	541	*	*		*		*	*	*		*		*	*	229
3S_INV	8	L&L	NEG	3S	SCHMITT INPUT	20	540	*	*		*		*	*	*		*		*	*	228
3S_BUFF	8	L&L	POS	3S		20	465	*	*												213
3S_BUFF	8	L&L	POS	3S		20	795														351
3S_INV	8	L&L	NEG	3S		20	466	*	*												214
3S_INV	8	L&L	NEG	3S		20	796														352
3S_BUFF	8	L	POS	3S	4+4 COMMON CONTROL	20	467	*	*												215
3S_BUFF	8	L	POS	3S	4+4 COMMON CONTROL	20	797														353
3S_INV	8	L	NEG	3S	4+4 COMMON CONTROL	20	468	*	*												216
3S_INV	8	L	NEG	3S	4+4 COMMON CONTROL	20	798														354
3S_BUFF	8	L, L	POS	3S	4+4 COMMON CONTROL	20	244	*	*	*	*	*	*	*	*		*		*	*	153
3S_BUFF	8	L, H	POS	3S	4+4 COMMON CONTROL	20	241	*	*		*	*	*	*	*		*		*	*	150
3S_INV	8	L, L	NEG	3S	4+4 COMMON CONTROL	20	240	*	*	*	*	*	*	*	*		*		*	*	149
3S_INV	8	L, H	NEG	3S	4+4 COMMON CONTROL	20	231					*							*		145
3S_INV/BUFF	8	L, L	N, P	3S	4+4 COMMON CONTROL	20	230					*							*		144
3S_INV	8		NEG	3S			940														-
3S_BUFF	8		POS	3S			941														-
3S_INV	8	L&L	NEG	3S	REGISTER INPUT	20	746		*												-
3S_BUFF	8	L&L	POS	3S	REGISTER INPUT	20	747														-
3S_INV	8	L, L	NEG	OC	4+4 COMMON CONTROL	20	756				*	*									349
3S_BUFF	8	L, H	POS	OC	4+4 COMMON CONTROL	20	757				*	*								*	349
3S_BUFF	8	L, L	POS	OC	4+4 COMMON CONTROL	20	760				*	*								*	349
3S_BUFF	10	L, L	POS	3S		24S	827				*										300
3S_INV	10	L, L	NEG	3S		24S	828				*										301

Bus Transmitter/Receiver(with Register)

cct_type	#	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
2D_BUS_TR	4	L, H	POS	3S	SEPARATED OUTPUT CONTROL	14	243	*	*		*	*			*		*		*		152
2D_BUS_TR	4	L, H	NEG	3S	SEPARATED OUTPUT CONTROL	14	242	*	*		*	*			*		*		*		151
3D_BUS_TR	4	L&MODE	POS	OC	5 IN SELECT MODE	20	440														329
3D_BUS_TR	4	L&MODE	POS	3S	5 IN SELECT MODE	20	442	*							*						208
3D_BUS_TR	4	L&MODE	NEG	OC	5 IN SELECT MODE	20	441														329
3D_BUS_TR	4	L&MODE	NEG	3S	5 IN SELECT MODE	20	443								*						209
3D_BUS_TR	4	L&MODE	N, N, P	OC	B-C IS POS:5 IN SELECT MODE	20	448														330
3D_BUS_TR	4	L&MODE	N, N, P	3S	B-C IS POS:5 IN SELECT MODE	20	444								*						210
2D_BUS_TR	8	H, L	NEG	3S	SEPARATED OUTPUT CONTROL	20	620	*	*	*	*	*	*	*	*		*		*	*	251
2D_BUS_TR	8	H, L	POS	OC	SEPARATED OUTPUT CONTROL	20	621	*	*	*	*	*									252
2D_BUS_TR	8	H, L	NEG	OC	SEPARATED OUTPUT CONTROL	20	622	*	*	*	*	*									253
2D_BUS_TR	8	H, L	POS	3S	SEPARATED OUTPUT CONTROL	20	623	*	*		*	*	*	*	*		*		*	*	254
2D_BUS_TR	8	L				20	545				*										-
2D_BUS_TR	8	L			GPIB LEVEL	20	588				*										-
2D_BUS_TR	8	L&DIR	POS	3S	PNP INPUT	20	245	*	*	*	*	*	*	*	*		*		*	*	154
2D_BUS_TR	8	L&DIR	POS	3S		20	645	*	*	*	*	*			*		*		*		262
2D_BUS_TR	8	L&DIR	NEG	3S, OC	A_OUT:OC;B_OUT:3S	20	638		*			*									255
2D_BUS_TR	8	L&DIR	POS	3S, OC	A_OUT:OC;B_OUT:3S	20	639		*			*									256
2D_BUS_TR	8	L&DIR	POS	OC		20	641	*	*		*	*									258
2D_BUS_TR	8	L&DIR	NEG	3S		20	640	*	*	*	*	*	*	*	*		*		*	*	257
2D_BUS_TR	8	L&DIR	NEG	OC		20	642	*	*		*	*									259
2D_BUS_TR	8	L&DIR	N, P	3S	A TO B:INV;B TO A:BUFF	20	643	*	*		*	*	*	*	*		*		*		260
2D_BUS_TR	8	L&DIR	N, P	OC	A TO B:INV;B TO A:BUFF	20	644	*	*			*									261
2D_BUS_D-FF	8	L&DIR+FN	POS	3S	FN:4 CONTROL IN	24S	646	*	*	*	*	*	*	*	*		*			*	263
2D_BUS_D-FF	8	L&DIR+FN	POS	OC	FN:4 CONTROL IN	24S	647	*			*		*	*							345
2D_BUS_D-FF	8	L&DIR+FN	NEG	3S	FN:4 CONTROL IN	24S	648	*	*		*	*	*	*	*		*			*	264
2D_BUS_D-FF	8	L&DIR+FN	NEG	OC	FN:4 CONTROL IN	24S	649	*			*		*	*							345
2D_BUS_LATCH	8	L, H+FN	NEG	3S	SEP OUT CTRL;FN:4 CONTROL IN	24S	651		*		*	*	*	*	*		*			*	265
2D_BUS_LATCH	8	L, H+FN	POS	3S	SEP OUT CTRL;FN:4 CONTROL IN	24S	652		*		*	*	*	*	*		*				266
2D_BUS_LATCH	8	L, H+FN	NEG	OC/3S	SEP OUT CTRL;FN:4 CONTROL IN	24S	653						*	*							345
2D_BUS_LATCH	8	L, H+FN	POS	OC/3S	SEP OUT CTRL;FN:4 CONTROL IN	24S	654		*				*	*							345

Calculation Circuit

cct_type	#	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
FULL_ADDER	2		POS		SEPARATED	14	183	*							*						322
FULL_ADDER	4		POS		CARRY LOOK AHEAD	16	283	*			*		*	*	*		*				169
FULL_ADDER	4		POS		CARRY LOOK AHEAD;VCC 5,12	16	83	*			*				*						64
ALU	4	M,SEL	POS		CARRY LOOK AHEAD;A=B OC	24W	181	*			*	*	*	*	*		*				126
ALU	4	M,SEL	POS		SLIM TYPE OF 181	24S	881				*	*									360
ALU	4	SEL	POS		CARRY LOOK AHEAD;8 MODE SEL	20	381	*			*										198
ALU	4	SEL	POS		CARRY LOOK AHEAD;8 MODE SEL	20	382	*			*										327
BCD_ALU	1					24W	582				*										-
BCD_ADDER	1					16	583				*				*		*				243
CARRY	4				CARRY LOOK AHEAD FOR 181	16	182				*		*	*	*		*				128
SHIFT	4	L,SEL		3S	0 TO 3 BITS SHIFTER	16	350				*		*	*							183
ADD_SUB	4	↑,L	POS		SERIAL	20	385	*			*										199
MULT	8				SERIAL MULTIPLIER	16	384				*										328
CRC					EQUAL TO 9401	16	401				*										-
CARRY	32				CARRY LOOK AHEAD	24S	882				*										361
PARITY	8	H,H	POS		EVEN,ODD OUT SEPARATED CTRL	14	180								*						125
PARITY	9		POS		EVEN,ODD SEPARATED OUT	14	280	*	*		*	*	*	*	*		*				168

Bus Driver with Register

cct_type	#	clock	clear	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
D-FF+BUFF	10	↑		L	POS	3S		24S	821		*		*	*									295
D-FF+BUFF	10	↑		L	NEG	3S		24S	822					*									296
D-FF+BUFF	9	↑+EN	L	L	POS	3S		24S	823				*	*									297
D-FF+BUFF	9	↑+EN	L	L	NEG	3S		24S	824					*									298
D-FF+BUFF	8	↑+EN	L	L&L&L	POS	3S		24S	825				*	*	*	*							299
D-FF+BUFF	8	↑+EN	L	L&L&L	NEG	3S		24S	826					*									-
LATCH+BUFF	10	H		L	POS	3S		24S	841		*		*	*	*	*							303
LATCH+BUFF	10	H		L	NEG	3S		24S	842		*			*									304
LATCH+BUFF	9	H+EN	L	L	POS	3S		24S	843		*		*	*	*	*							305
LATCH+BUFF	9	H+EN	L	L	NEG	3S		24S	844		*			*									306
LATCH+BUFF	8	H+EN	L	L&L&L	POS	3S		24S	845														307
LATCH+BUFF	8	H+EN	L	L&L&L	NEG	3S		24S	846														357

Latch & Register with Bus Driver

cct_type	#	gate	clear	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
RS-FF	4	L, L, L, L	L, L, L, L		POS		2 CCTS WITH 2 SET INPUTS	16	279	*							*						167
LATCH	4	H, H			P, N		2+2 COMMON CONTROL:VCC 5, 12	16	75	*							*		*				60
LATCH	4	H, H			P, N		2+2 COMMON CONTROL	16	375	*							*						194
LATCH	4	H, H			POS		2+2 COMMON CONTROL:VCC 4, 11	14	77	*							*						62
LATCH+BUFF	8	H, H	L, L	L, L	POS	3S	4+4 COMMON CONTROL	24S	873		*			*	*	*							310
LATCH+BUFF	8	H, H	L, L	L, L	NEG	3S	4+4 COMMON CONTROL:CLEARED=H	24S	880		*			*									-
LATCH+BUFF	8	H		L	POS	3S	H LEVEL OUTPUT(3.65V)	20	363	*													326
LATCH+BUFF	8	H		L	POS	3S	IN/OUT PINS ARE ADJOIN	20	373	*	*		*	*	*	*	*		*		*	*	192
LATCH+BUFF	8	H		L	POS	3S	IN/OUT PINS ARE OPPOSITE	20	573	*	*		*	*	*	*	*		*		*	*	237
LATCH+BUFF	8	H		L	NEG	3S	IN/OUT PINS ARE OPPOSITE	20	563	*	*		*		*	*	*		*		*		232
LATCH+BUFF	8	H		L	NEG	3S	IN/OUT PINS ARE OPPOSITE	20	580		*			*									242
LATCH+BUFF	8	H		L	NEG	3S	IN/OUT PINS ARE ADJOIN	20	533	*	*		*	*	*	*	*		*		*		223
LATCH+BUFF	8	H	L		POS	3S	i8212	24W	412				*										-
LATCH+BUFF	8	H	L		NEG	3S	NEGATIVE LOGIC VESION OF 8212	24W	432				*										-
ADD_LATCH	1	H	L		POS		1IN 3 BITS ADDRESS	16	256	*			*		*	*							160
ADD_LATCH	1	H	L		POS		1IN 3 BITS ADDRESS	16	259	*	*		*		*	*	*		*				163
LATCH+BUFF	10	H		L	POS	3S		24S	841		*		*	*	*	*							303
LATCH+BUFF	10	H		L	NEG	3S		24S	842		*			*									304
LATCH+BUFF	9	H+EN	L	L	POS	3S		24S	843		*		*	*	*	*							305
LATCH+BUFF	9	H+EN	L	L	NEG	3S		24S	844		*			*									306
LATCH+BUFF	8	H+EN	L	L&L&L	POS	3S		24S	845														307
LATCH+BUFF	8	H+EN	L	L&L&L	NEG	3S		24S	846														357

JK Flipflop

cct_type	#	clock	clear	preset	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
JK-FF		↑	L	L	P, N			14	70														-
JK-FF	2	↓	L		P, N		VCC 4 11:SEPRATED CLOCK CLR	14	73	*	*		*				*		*				58
JK-FF	2	↓	L		P, N		SEPRATED CLOCK CLEAR	14	107	*	*		*		*	*	*		*				76
JK-FF	2	↓		L	P, N		SEPRATED CLOCK	14	113	*	*		*				*						82
JK-FF	2	↓	L	L	P, N		VCC 4 11:COMMON CLOCK CLEAR	14	78	*	*		*				*						63
JK-FF	2	↓	L	L	P, N		COMMON CLOCK CLEAR	14	114	*	*		*				*						83
JK-FF	2	↓	L	L	P, N		VCC 5 13:SEPARATED CLOCK CLR	16	76	*	*		*				*		*				61
JK-FF	2	↓	L	L	P, N		SEPRATED CLOCK CLEAR	16	112	*	*		*		*	*	*		*				81
JK-FF	2	↑	L	L	P, N		SEPRATED CLOCK CLEAR	16	109	*	*		*	*	*	*	*		*				80
MS_JK-FF		↓	L	L	P, N		EACH J K INPUT HAS 3IN AND	14	72														319
MS_JK-FF		↓	L	L	P, N		MASTER_SLAVE DATA LOCK_OUT	14	110														-
MS_JK-FF	2	↓	L	L	P, N		MASTER_SLAVE DATA LOCK_OUT	16	111														-

D-Flipflop & D-Register with Bus Driver

cct_type	#	clock	clear	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
D-FF	2	↑	L	L	P, N		SEPARATED:CONTROL=PRESET	14	74	*	*		*	*	*	*	*		*				59
D-FF	4	↑	L		P, N		COMMON CONTROLS	16	175	*	*		*	*	*	*	*		*				124
D-FF	4	↑+EN			P, N		COMMON CONTROLS	16	379	*			*		*	*	*						197
2IN_D-FF	4	↑		L:#1	POS		2 SORT OF DATA INPUT:COMMON	16	399	*			*			*							206
2IN_D-FF	4	↑		L:#1	P, N		2 SORT OF DATA INPUT:COMMON	20	398	*			*										205
2IN_D-FF	4	↓		L:#1	POS		2 SORT OF DATA INPUT:COMMON	16	298	*			*	*	*	*	*						176
D-FF+BUFF	4	↑	H	L&L	POS	3S	WITH 2 INPUT ENABLES, COMMON	16	173	*			*				*		*				122
D-FF+BUFF	6	↑	L		POS	3S	COMMON CONTROLS	16	174	*	*		*	*	*	*	*		*				123
D-FF+BUFF	6	↑+EN			POS	3S	COMMON CONTROLS	20	378	*			*		*	*	*						196
D-FF+BUFF	8	↑, ↑	L, L	L, L	POS	3S	4+4 COMMON CONTROL	24S	874		*			*	*	*							311
D-FF+BUFF	8	↑, ↑	L, L	L, L	NEG	3S	4+4 COMMON CONTROL	24S	876		*			*									360
D-FF+BUFF	8	↑, ↑	L, L	L, L	POS	3S	4+4 COMMON CONTROL:SYNC CLR	24S	878		*												360
D-FF+BUFF	8	↑, ↑	L, L	L, L	NEG	3S	4+4 COMMON CONTROL:SYNC CLR	24S	879					*									–
D-FF	8	↑	L		POS		IN/OUT PINS ARE ADJOIN	20	273	*	*		*		*	*	*		*				166
D-FF	8	↑+EN			POS		IN/OUT PINS ARE ADJOIN	20	377	*	*		*		*	*	*		*				195
D-FF+BUFF	8	↑		L	POS	3S	3.65V OUTPUT TYPE OF 374	20	364	*													327
D-FF+BUFF	8	↑		L	POS	3S	IN/OUT PINS ARE ADJOIN	20	374	*	*		*	*	*	*	*		*		*	*	193
D-FF+BUFF	8	↑		L	POS	3S	IN/OUT PINS ARE OPPOSITE	20	574	*	*		*	*	*	*	*		*		*	*	238
D-FF+BUFF	8	↑		L	NEG	3S	IN/OUT PINS ARE OPPOSITE	20	564	*	*		*		*	*	*		*		*		233
D-FF+BUFF	8	↑		L	NEG	3S	IN/OUT PINS ARE OPPOSITE	20	576		*			*									240
D-FF+BUFF	8	↑		L	NEG	3S	IN/OUT PINS ARE ADJOIN	20	534	*	*		*	*	*	*	*		*		*	*	224
D-FF+BUFF	8	↑	L	L	POS	3S	SYNCHRONUS CLEAR	24S	575		*			*							*		239
D-FF+BUFF	8	↑	L	L	NEG	3S	SYNCHRONUS CLEAR	24S	577		*			*									241
D-FF+BUFF	10	↑		L	POS	3S	10BIT VERSION OF 74574	24S	821		*		*	*									295
D-FF+BUFF	10	↑		L	NEG	3S		24S	822					*									296
D-FF+BUFF	9	↑+EN	L	L	POS	3S		24S	823				*	*									297
D-FF+BUFF	9	↑+EN	L	L	NEG	3S		24S	824					*									298
D-FF+BUFF	8	↑+EN	L	L&L&L	POS	3S		24S	825				*	*	*	*							299
D-FF+BUFF	8	↑+EN	L	L&L&L	NEG	3S		24S	826					*									–

Shift Register

cct_type	#	clock	clear	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
PI-PO_S-REG	4	↓, ↓		L:LOAD	POS		LOAD SHIFT SEPARATED CLOCK	14	95	*			*				*						75
PI-PO_S-REG	4	↑	L	L:LOAD	P, N		QD:P, N:J(-K) INPUT	16	195	*			*	*	*		*		*				137
PI-PO_S-REG	4	↓		L, L:SHFT	POS	3S		14	295	*													174
PI-PO_S-REG	4	↓	L	L, L:SHFT	POS	3S	QD':TP OUT	16	395	*			*										203
PI-PO_DS-REG	4	↑	L	MODE	POS		MODE:RIGHT/LEFT/LOAD	16	194	*			*	*	*	*	*		*				135
PI-SO_S-REG	5	↑	L	H:LOAD	POS			16	96	*							*						319
SI-SO_S-REG	8	↑			P, N		INPUT:2IN AND	14	91	*							*						71
PI-SO_S-REG	8	↑	L	H, L	POS		H:INPUT LATCH;L:LOAD	16	597	*							*		*				250
PI-PO_S-REG	8	↑	H		POS		DUAL 4BIT REG	16	495														-
SI-PO_S-REG	8	↑, ↑	L	L	POS		SEPARATE SHIFT, D-FF CLOCK	16	595														249
SI-PO_S-REG	8	↑	L		POS		INPUT:2IN AND	14	164	*	*		*		*	*	*		*				113
PI-SO_S-REG	8	↑+EN		L:LOAD	P, N		SHIFT:EN=L	16	165	*	*				*	*	*		*				114
PI-SO_S-REG	8	↑+EN	L	L:LOAD	POS			16	166	*	*		*		*	*	*		*				115
PI-PO_S-REG	8	↑+EN	L	L:LOAD	P, N		QD:P, N:J(-K) INPUT	24W	199				*										142
PI-PO_DS-REG	8	↑	L	L, MODE			2 SERIAL INPUT SELECTABLE	20	322	*			*										179
PI-PO_DS-REG	8	↑	L	MODE	POS		MODE:RIGHT/LEFT/LOAD	24W	198				*										141
PI-PO_DS-REG	8	↑	L	L&L, MODE	POS	3S	I/O COMMON:S-P/P-S CONVERT	20	299	*	*		*		*	*	*		*				177
PI-PO_DS-REG	8	↑	L	L&L, MODE	POS	3S	SAME AS 299 EXCEPT SYNC CLR	20	323	*	*		*		*	*	*		*				180
SHIFT-REG	8	↓				3S	DUAL 8BIT	24W	674	*			*				*						272
SHIFT-REG	8	↓					WITH INPUT LATCH	24W	673	*			*				*						271
SHIFT-REG								16	589								*						244

Asynchronus Counter

cct_type	#	clock	clear	load	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
BCD_US_COUNT	1	↓	H&H	H&H:9	POS		2×5;VCC 5, 10	14	90	*													69
BCD_US_COUNT	1	↓	H&H	H&H:9	POS		2×5	14	290	*													170
BCD_US_COUNT	2	↓	H		POS		2×5:DUAL SEPARATED	16	390	*	*				*		*		*				201
BCD_US_COUNT	2	↓	H	H:9	POS			16	490	*							*						218
BCD_US_COUNT	1	↓	L	L	POS		2×5	14	196	*													138
16C_US_COUNT	1	↓	H&H		POS		2×8;VCC 5, 10	14	93	*							*		*				74
16C_US_COUNT	1	↓	H&H		POS		2×8	14	293	*							*						172
16C_US_COUNT	2	↓	H		POS		2×8:DUAL SEPARATED	14	393	*			*		*		*		*				202
16C_US_COUNT	1	↓	L	L	POS		2×8	14	197	*													139
12C_US_COUNT	1	↓	H&H		POS		2×6;VCC 5, 10	14	92	*							*						73

Synchronus Counter

cct_type	#	clock	clear	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
BCD_S_COUNT	1	↑	L	L	POS		SYNCHRONUS LOAD	16	160	*	*		*		*	*	*		*				107
BCD_S_COUNT	1	↑	L	L	POS		SYNCHRONUS CLEAR, LOAD	16	162	*	*		*	*	*	*	*		*				110
BCD_S_COUNT	1	↑	L	L	POS	3S	160+175+257	20	690								*						283
BCD_S_COUNT	1	↑	L	L	POS	3S	162+175+257	20	692								*						285
BCD_S_COUNT	1	↑	L, L	L, L	POS	3S	SYNC, ASYNC LOAD, CLEAR	20	560		*												330
BCD_UD_COUNT	1	↑		L, L:UP	POS			16	190	*	*		*		*	*	*		*				129
BCD_UD_COUNT	1	↑, ↑	H	L	POS		UP/DOWN SEPARATED CLOCK	16	192	*	*		*				*		*				132
BCD_UD_COUNT	1	↑		L, L:DOWN	POS		SYNCHRONUS LOAD	16	168	*	*		*				*						116
BCD_UD_COUNT	1	↑		L, L:DOWN	POS		LOW SPEED VERSION OF 168	16	668	*							*						267
BCD_UD_COUNT	1	↑	L, L	L	POS	3S	SYNC LOAD:SYNC, ASYNC CLEAR	20	568	*	*		*										234
BCD_UD_COUNT	1	↑	L	L	POS	3S	168+175+257	20	696								*						287
BCD_UD_COUNT	1	↑	L	L	POS	3S	168+175+257:SYNC CLEAR	20	698								*						289
16C_S_COUNT	1	↑	L	L	POS		SYNCHRONUS LOAD	16	161	*	*		*	*	*	*	*		*				108
16C_S_COUNT	1	↑	L	L	POS		SYNCHRONUS CLEAR, LOAD	16	163	*	*		*	*	*	*	*		*				111
16C_S_COUNT	1	↑	L	L	POS	3S	161+175+257	20	691	*							*						284
16C_S_COUNT	1	↑	L	L	POS	3S	163+175+257	20	693								*						286
16C_S_COUNT	1	↑	L, L	L, L	POS	3S	SYNC, ASYNC LOAD, CLEAR	20	561		*												230
16C_UD_COUNT	1	↑		L, L:UP	POS			16	191	*	*		*		*	*	*		*				130
16C_UD_COUNT	1	CF	H	L	POS		UP/DOWN SEPARATED CLOCK	16	193	*	*		*		*	*	*		*				133
16C_UD_COUNT	1	↑		L, L:DOWN	POS		SYNCHRONUS LOAD	16	169	*	*		*	*	*	*	*						117
16C_UD_COUNT	1	↑		L, L:DOWN	POS		LOW SPEED VERSION OF 169	16	669	*							*						268
16C_UD_COUNT	1	↑	L, L	L	POS	3S	SYNC LOAD:SYNC, ASYNC CLEAR	20	569	*	*		*										235
16C_UD_COUNT	1	↑	L	L	POS	3S	169+175+257	20	697	*							*						288
16C_UD_COUNT	1	↑	L	L	POS	3S	169+175+257:SYNC CLEAR	20	699	*							*						290
256C_UD_CNT	1	↑	L	L	POS		SYNCHRONUS LOAD	24S	867		*			*									369
256C_UD_CNT	1	↑	L	L	POS		SYNCHRONUS CLEAR, LOAD	24S	869		*			*									359
256C_S_COUNT	1	↑, ↑	L	L	POS	3S	WITH OUTPUT D-FF	16	590	*					*		*						245
256C_S_COUNT	1	↑, ↑	L	L	POS	OC	WITH OUTPUT D-FF	16	591														334
256C_S_COUNT	1	↑, ↑	L	L	POS		WITH INPUT D-FF	16	592	*							*						246
256C_S_COUNT	1	↑, ↑	L	L	POS		I/O COMMON:WITH INPUT D-FF	20	593	*							*						247

Single Shot Flipflop

cct_type	#	clock	clear	ck-gate	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
SINGLE_SHOT	1	↑/↓		L/H	P,N		SCHMITT INPUT:WITH RINT	14	121														320
SINGLE_SHOT	2	↑/↓	L	L/H	P,N		DUAL 121 WITH CLEAR	16	221	*			*		*		*		*				143
RE-TRIG_SS	1	↑/↓	L	L/H	P,N		WITH RINT:RETRIGGERABLE	14	122	*													84
RE-TRIG_SS	2	↑/↓	L	L/H	P,N		DUAL 122	16	123	*					*		*		*				85
RE-TRIG_SS	1	↑/↓	L	L/H	P,N		NOT RETRIG'D ON CLR REMOVED	14	422														329
RE-TRIG_SS	2	↑/↓	L	L/H	P,N		DUAL 422	16	423	*							*		*				207

Clock Circuit

cct_type	#	clock	clear	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
VCO	2	CAP		L	POS		WITH RANCE CONTROL	16	124														320
VCO	1	CAP		L	P,N		WITH RANCE CONTROL	14	624	*				*									340
VCO	2	CAP			P,N		DUAL 624:SEPARATE OSC SUPPLY	16	625	*													340
VCO	2	CAP		L	P,N		DUAL 624:COMMON OSC SUPPLY	16	626	*													340
VCO	2	CAP			NEG		DUAL 624:SEPARATE OSC SUPPLY	14	627														341
VCO	1	CAP+R		L	P,N		WITH RANCE CONTROL	14	628	*													341
VCO	2	CAP		L	NEG		WITH RANCE CONTROL	16	629	*													341
XTAL_OSC	1	XTAL			P,N			16	320														-
XTAL_OSC	1	XTAL			P,N;P		WITH F/2,F/4 OUTPUT	16	321	*													325
CLOCK_DRIVER							SYNCHRONOUS CLK DRIVER	16	120														-
50-MULTIPLY	1		H				5×5×2 COUNTER	8	56														318
50-MULTIPLY	1		H			3S	6×5×2 COUNTER	8	57														318

RAM,Register File

cct_type	#	write	read	address	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
REG_FILE	16	L	L	2B+2B	NEG	OC	4×4:CONCURRENT R/W	16	170	*													120
REG_FILE	16	L	L	2B+2B	NEG	3S	3S TYPE OF 170	16	670	*			*		*		*		*				270
RAM	64				NEG	OC	16×4	16	289														-
RAM	64				NEG	3S	16×4	16	189				*										-
RAM	64				POS	3S	16×4	16	219				*										-
REG_FILE	64					3S	4×16:DUAL BI-D I/O PORT	24S	870					*									-
REG_FILE	64					3S	4×16:BI-D I/O,SEP'D I/O	28S	871														-

■メーカ・商社問合わせ先

㈱東芝　半導体事業本部半導体営業統轄部半導体業務担当　〒105-01 東京都港区芝浦1-1-1 （東芝ビル） TEL 03-3457-3405
ＮＥＣ　半導体ソリューション技術本部技術情報支援部　〒210 神奈川県川崎市幸区塚越三丁目484 TEL 044-548-8888
㈱日立製作所　汎用半導体事業本部製品技術部　〒100 東京都千代田区大手町2-6-2 （日本ビル） TEL 03-5201-5024

Cypress Semiconductor Corp. 日本サイプレスセミコンダクタ㈱　〒160 東京都新宿区新宿1-23-1 （新宿マルネビル） TEL 03-5269-0781
Integrated Device Technology, Inc　日本IDT㈱　技術部技術管理担当　〒102 東京都千代田区三番町6-26 （住友不動産三番町ビル） TEL 03-3221-9821
Motorola, Inc.　日本モトローラ㈱　〒141 東京都品川区西五反田4-32-1 TEL 0120-068030
National Semiconductor Corp. ナショナルセミコンダクタージャパン㈱　カスタマ・レスポンス・センタ
〒261 千葉市美浜区中瀬一丁目7-1 (SCECビル) TEL 0120-666-116
Philips Semiconductors　日本フィリップス㈱　半導体事業部マーケティング部宣伝販捉課
〒108 東京都港区港南2-13-37 （フィリップスビル） TEL 03-3740-5130
RCA （現在 Harris Co.）　ハリス㈱　マーケティング部　〒102 東京都千代田区麹町5-3-5 （麹町中田ビル） TEL 03-3265-7572
Signetics Corp. （現在 Philips Semiconductors） 日本フィリップス㈱　半導体事業部マーケティング部宣伝販捉課
〒108 東京都港区港南2-13-37 （フィリップスビル） TEL 03-3740-5130
SGS-Thomson Microelectronics P　エス・ジー・エス・トムソン・マイクロエレクトロニクス㈱　営業本部
〒108 東京都港区高輪2-18-10 （日石高輪ビル） TEL 03-3280-4120
Texas Instruments Inc.　日本テキサスインスツルメンツ㈱　プロダクト・インフォメーション・センター
〒108 東京都港区芝浦4-13-23 （ＭＳ芝浦ビル） TEL 0120-81-0026

MANUFACTURER'S GUIDE

<広告主情報>

社　名（販売拠点）	所　在　地	TEL	FAX
㈱東芝　半導体事業本部	**〒105-01 東京都港区芝浦1-1-1 東芝ビルディング**	**03-3457-3414**	
半導体広域顧客営業推進担当	〒101 東京都千代田区外神田1-8-13 東芝秋葉原ビル	03-3257-5671	03-3257-7511
半導体特営業担当	〒101 東京都千代田区外神田1-8-13 東芝秋葉原ビル	03-3257-5602	03-3257-2025
関西支社	〒531 大阪府大阪市北区大淀中1-1-35 梅田スカイタワーウェスト	06-440-2202	06-244-2789
中部支社	〒460 愛知県名古屋市中区名駅南1-24-30 名古屋三井ビル本館	052-564-8725	052-562-5785
九州支社	〒810 福岡県福岡市中央区渡辺通り1-1-1 サンセルコビル7F	092-711-5731	092-741-3936
中国支社	〒730 広島県広島市中区大手町2-7-10 広島三井ビルディング12F	082-246-3130	082-246-3112
北陸支社	〒930 富山県富山市桜橋通り2-25 第一生命ビル8F	0764-45-2624	0764-45-2671
東北支社	〒980 宮城県仙台市青葉区本町2-1-29	022-264-7621	022-264-7637
北海道支社	〒060 北海道札幌市中央区北３条西１丁目 東芝札幌ビル	011-214-2481	011-214-2417
四国支社	〒760 香川県高松市鍛冶屋町３ 香川三友ビル	0878-25-2491	0878-25-2405
神奈川支社	〒231 神奈川県横浜市中区尾上町1-8 関内新井ビル5F	045-664-8567	045-651-7465
新潟支社	〒950 新潟県新潟市東大通り1-4-2 三井物産ビル	025-246-8250	025-244-0078
長野支店	〒380 長野県長野市南石堂町1293 清水長野ビル	0262-28-3371	0262-28-3935
埼玉支店	〒331 埼玉県大宮市錦町682-2 大宮情報センタービル17F	048-640-1127	048-645-8229
横河・ヒューレット・パッカード㈱ 電子部品営業本部	**〒168 東京都杉並区高井戸3-29-21**	**03-3335-8152**	
大阪支社	〒532 大阪府大阪市淀川区西中島5-4-20	06-301-9729	
名古屋支社	〒450 名古屋市中村区名古野1-47-1 名古屋国際センタービル15F	052-571-5168	
東京エレクトロン㈱	〒107 東京都港区赤坂5-3-6 ＴＢＳ放送センター	03-5561-7229	
菱電商事㈱	〒170 東京豊島区東池袋3-15-15	03-5396-6206	
菱洋エレクトロ㈱	〒104 東京都中央区築地1-12-22 コンワビル	03-3456-5011	
㈱山田洋行	〒107 東京都港区南青山1-1-1 新青山ビルデング東館	03-3475-1121	
アイアールファーイースト㈱	**〒171 東京都豊島区西池袋3-30-4 K&Hビル**	**03-3983-0641**	**03-3983-0642**
大阪支社	〒532 大阪市淀川区 西中島7-6-12 新大阪駅前末広ビル	06-302-9005	06-302-9105
名古屋支社	〒465 名古屋市名東区社台3-247 第三名昭ビル6-B	052-774-7707	052-774-7731
クレイアス㈱	**〒258 神奈川県足柄上郡松田町寄5501番地**	**0465-89-2825**	**0465-89-2826**
㈲そらコンピュータ・プロダクツ	**〒232 神奈川県南区新川町1-1-5-301**	**045-262-1097**	**045-232-1637**

CQ出版社 定価1,200円(本体1,165円) ISBN4-7898-4328-9 C3055 P1200E